

实验一、二

常用电子测量仪器的使用、晶体管低频单级放大器

韩振、邱哲儒

(PB15000009、PB15000034)

2017年9月26日

1 实验目的

- 了解掌握直流稳压电源、波形发生器、万用表、示波器、交流毫伏表这五个电子仪器的使用方法。
- 学习单级放大器的原理与构成，学会设置静态工作点，测量放大器的各项放大性能指标。

2 实验原理

2.1 放大器

放大器是能量控制元件，将直流电源所供电能转化为更大的交流电能加于负载。放大器的正常工作最重要的条件是合适的静态工作点。而偏置电路的选择能决定静态工作点。

2.2 偏置电路

一般对于共发射极放大电路，利用分压式电流反馈偏置电路可以得到较为稳定的工作点 Q 。如图1所示，调节电阻 R_w 可以使得 B 点的电压发生变化，从而调节大小，影响静态工作点。其优点在于即使更换晶体管、或者环境温度发生变化时，由于 B 点电压仅有直流电压和分压电阻影响， Q 点相对稳定。

2.3 两种失真

静态工作点的选取会影响到输出的动态范围、功耗、增益等。如图2所示，假如 Q 点位置过高，那么 BJT 三极管则会进入饱和区，其放大规律不再满足线性关系；这时发生饱和失真。实际情况并不会如图中直接截取信号顶部，而是导致信号的峰变矮变扁。

当 Q 点过低时，当输入信号动态幅度过大时，有可能元件会进入截止区，导致截止失真。

出于输出动态范围的考虑， Q 点应该设置在输出特性曲线交流负载线的中点。对于处于负载线中点的静态工作点 Q ，当信号幅度较小时，信号不失真；当信号幅度逐渐增加时，应该同时发生两种失真，此时既有波峰处的饱和失真，也有波谷出的截止失真。所以可以在幅度很大时调整波形，使其失真完全对称；之后将输入幅度调小，能获得上下都不失真的较为对称的输出波形。这时就可以认为找到了合适的 Q 点，此时保持无明显失真时最大出幅度即为了最大不失真电压。

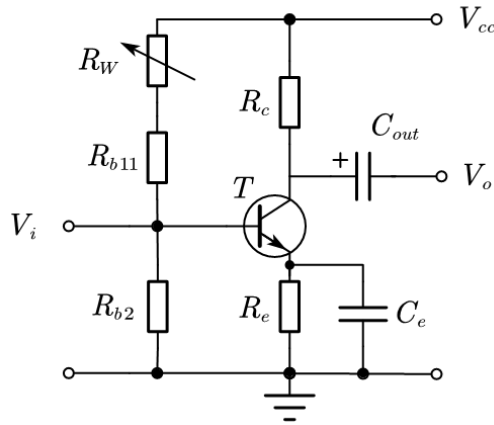


图 1: 分压式偏置共射放大电路

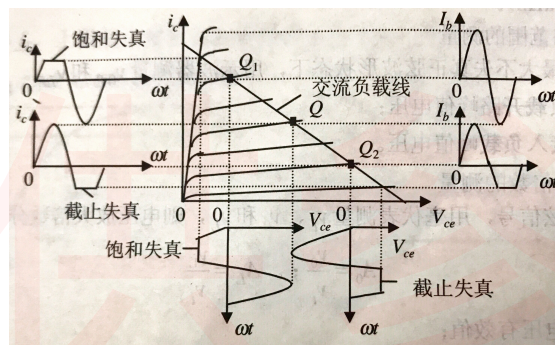


图 2: 静态工作点位置对输出失真与动态范围影响示意

2.4 放大性能测量

2.4.1 电压放大倍数的测量

调节一定频率的正弦波加在 V_s 处（注意不是 V_i ），分别在 V_i 处、 R_L 两段测量电压并记录波形。放大倍数的计算公式为

$$A_u = \frac{U_o}{U_i} \quad (1)$$

2.4.2 输入电阻的测量

输入电阻定义为在输入端电压 U_i 与输入端电流 I_i 大小之比，有计算公式

$$R_i = \frac{U_i}{I_i} = \frac{U_i}{\frac{U_R}{R_i}} = \frac{U_i}{U_s - U_i} R_L \quad (2)$$

2.5 输出电阻的测量

输出电阻可以通过比较输出开路时输出端电压 v_0 与加有负载时输出端电压 v_l 来测量，有公式

$$R_0 = \left(\frac{v_0}{v_L} - 1 \right) R_L \quad (3)$$

2.6 幅频特性曲线

由于电路中存在电抗元件，所以电路在不同频率时的相应不同，对应的放大倍数也不同。一般而言，放大电路放大性能在低频区和高频区分别下降，而在中频区保持稳定，如图3。一般我们用带宽，即放大倍数与中频相差 3dB 的两个频率来表征放大电路性能。

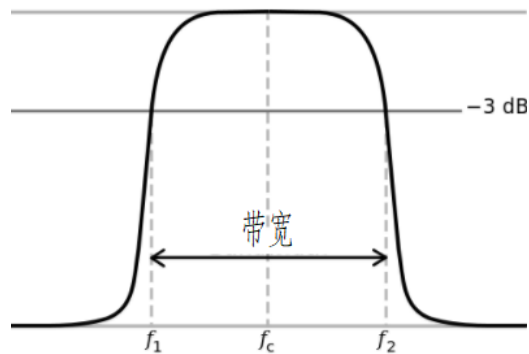


图 3: 幅频特性曲线与带宽示意

3 数据分析与处理

3.1 测量仪器的使用

3.1.1 信号幅值、有效值的测量

在设置信号源输出频率 $f=1\text{kHz}$ ，幅度峰峰值 $V_{pp} = 4\text{V}$ 。

表 1: 信号幅值、有效值测量数据记录与分析

信号源衰减	0dB	20dB	40dB
毫伏表有效值 V_{rms}	1.402 V	139.0 mV	14.05 mV
示波器测峰峰值 V_{pp}	4.08 V	400 mV	41.6 mV
理论有效值 V_{rms}	1.414 V	141.2 mV	14.14 mV
理论峰峰值 V_{pp}	4 V	400 mV	40 mV
有效值相对误差	0.80%	1.70%	0.60%
峰峰值相对误差	2%	0%	4%

结果概述:

- 衰减强度相差 20dB 时，信号强度相差 10 倍。
- 信号有效值 V_{rms} 与峰峰值 V_{pp} 在误差范围内满足关系 $V_{pp} = 2\sqrt{2}V_{rms}$ 。
- 毫伏表和示波器能够测量出正确的结果，但是测量值均存在一定误差。

误差分析：可能的误差来源包括仪器性能与实验者本身，主要包括

- 信号发生器产生的信号幅度并不完全准确，且由于谐波分量的影响，信号有效值与峰峰值不一定完全符合 $V_{pp} = 2\sqrt{2}V_{rms}$ 的关系。

- 毫伏表的数值显示一直在波动，所以测量者很难记录正确的结果。
- 实验中使用的 GDS-1042 型示波器其模数转换器仅有 8-bits 精度，且前级电路性能较差，测得的数值并不精确。

3.1.2 信号频率的测量

表 2: 示波器测量信号频率数据记录

信号源频率	50Hz	1kHz	20kHz
示波器测频率	50Hz	1.001kHz	20.02kHz
相对误差	0%	0.10%	0.10%

结果概述: 示波器对频率的测量较为准确，和信号源的频率十分接近，相对误差仅在千分之一量级。但示波器的频率测量分辨率并不高，性能仍有局限性。

误差分析: 可能的误差来源包括

- 最主要来自示波器模数转换器的量化噪声。
- 可能信号发生器或示波器时基的不稳定性也会造成影响。

3.1.3 示波器测量直流电压

表 3: 示波器直流电压测量数据记录

极性	正	负
电源输出 5V 时测量值 /V	5.12	-4.86
相对误差	2.40%	2.80%
电源输出 0.5V 时测量值 /V	560mV	-413mV
相对误差	12%	17.40%

结果概述: 可以看到用示波器可以对直流信号进行测量，一定程度内测量精度勉强可以接受，测量结果的正负号和极性相关。在电压较小时测量精度非常差。测量结果的正负号和极性相关。且测量结果有一正的偏差。

这种测量方法的误差相对于之前的实验而言非常大，这说明了示波器并不是适合测量直流信号的仪器。对于直流信号的测量还是使用电表进行测量比较合适。

误差分析: 主要的误差来源包括

- 示波器模拟前端失调电压较大，导致测得信号有一偏置。
- 示波器模数转换器精度与分辨率有限。
- 实验中使用的直流电源精度较差，

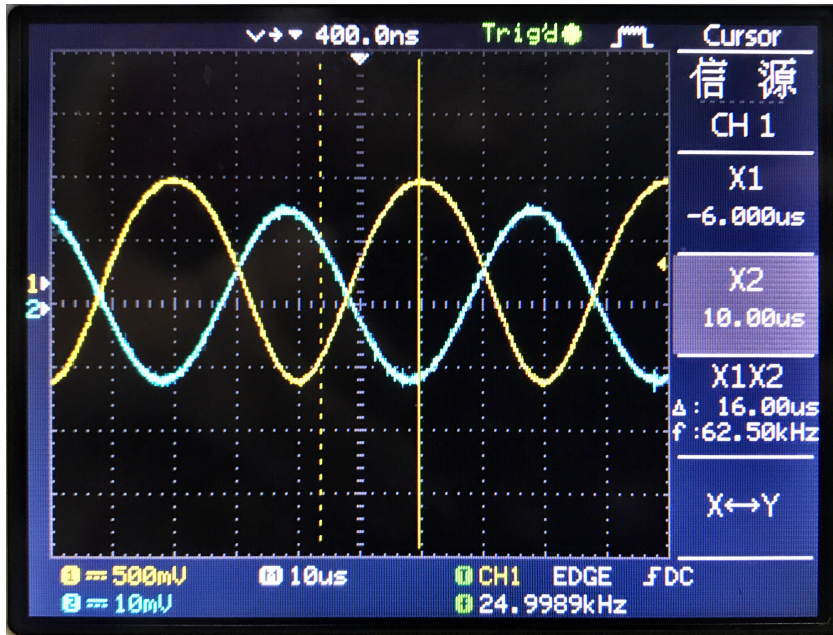


图 4: 输入输出信号相差

3.2 单级放大电路

3.2.1 静态工作点的调整和测量

实验中调节电路中的电位器 R_w , 使得 $I_c = 2.0mA$, 用万用表直流档测量 U_b, U_c, U_e 的值 据公式

表 4: 静态工作点测量数据与计算值

测量值			计算值		
U_b/V	U_e/V	U_c/V	U_{be}/V	U_{ce}/V	I_c/mA
2.6945	2.0041	7.1997	0.6904	5.1956	2.182

$I_c = \frac{E_c - U_c}{R_c}$, 当 $U_e = 2V$ 时, $I_c = 2.1820mA$, 与 $2mA$ 较为接近。

3.2.2 电压放大倍数测量与输出电阻测量

调节输入信号 U_i 为频率为 $1kHz$, 同时测量 U_i 与 U_o , 得到以下结果 可注意到输出信号与输入信

表 5: 电压放大倍数测量与输出电阻测量数据记录

$R_C/k\Omega$	$R_L/k\Omega$	U_o/V	A_u	$R_o/k\Omega$
2.4	2.2	250.5	67.16	2.32
2.4	∞	515	138.07	

号反向, 有一个非常接近 180° 的相移。实测结果如图4所示, 示波器通道一为输出信号, 通道二为输入信号。

理论计算电压增益公式：在接入 R_L 时有

$$A_u = -\frac{\beta(R_c//R_L)}{r_b + \left(1 + \beta\frac{26mV}{I_{CQ}}\right)} = -\frac{150 \cdot (2k//2.2k)}{200 + \left(1 + 150 \cdot \frac{26}{2}\right)} = -73$$

而不接 R_L 时有

$$A_u = -\frac{\beta(R_c//R_L)}{r_b + \left(1 + \beta\frac{26mV}{I_{CQ}}\right)} = -\frac{150 \cdot (2.2k)}{200 + \left(1 + 150 \cdot \frac{26}{2}\right)} = -153$$

算得输出电阻： $R_O = (r_o//R_c) \approx R_c = 2.2k\Omega$

误差分析：在接有负载时，放大倍数相对误差为： $\frac{|A_u - A'_u|}{A_u} = \frac{73 - 67.16}{73} = 8\%$

不接负载时，放大倍数相对误差为： $\frac{|A_u - A'_u|}{A_u} = \frac{153 - 138.07}{153} = 9.76\%$

输出电阻误差为： $\frac{|R_o - R'_o|}{R_o} = \frac{2.32 - 2.2}{2.2} = 5.45\%$

一方面，计算公式中得 R_b 无法获知，用比较具有代表性的 200Ω 来进行代替，会带来一些不准确性；另一方面晶体管的放大倍数和环境密切相关，计算时采用值为 150，可能实际情况与与此有偏差。同时，理论计算输出电阻的公式中有 R_o 存在，这一量难以通过对电路的直接测量得到，所以使用了近似公式，难免会有误差。另外，用毫伏表进行读数时由于数字波动剧烈（经查部分原因是毫伏表通道一 BNC 接头松动），所以可能难以记录准确的数值。

3.3 输入电阻测量

在实验中我们另外测量了标称为 $10k\Omega$ 的电阻 R_s ，测得阻值为 $9.8611k\Omega$ ，以下计算均采用此值。

表 6: 输入电阻测量数据记录

U_s	U_i
30.76mV	6.708mV

$$\begin{aligned} R_i &= \frac{U_i}{I_i} = \frac{U_i}{U_R/R_L} = \frac{U_i}{U_s - U_i} R_S \\ &= \frac{0.708}{30.76 - 6.708} \cdot 9.8611k\Omega = 2.75022\Omega \end{aligned}$$

3.4 测量幅频曲线

测量得到的放大倍数最高值为 65.162 倍，在频率 $f=25kHz$ 时取得。其 $1/\sqrt{2} \approx 0.707$ 倍为 46.070 倍，分别在频率为 $110Hz$ 和 $120kHz$ 处取得；因此上截止频率为 $f_H=120kHz$ ，下截止频率为 $f_L=110Hz$ ，通频带宽 $BW=119.89kHz$ 。

3.5 最大不失真输出电压

我们从对称失真的情形下一点点降低信号幅度，最后得到了最大不失真电压大小，这时信号如图5所示。此时 U_e 并没有偏离标准值 $2V$ 过多，说明电路此时还处于线性放大区。

表 7: 幅频曲线测量数据

f/Hz	25kHz	100Hz	110Hz	115Hz
U_o /mV	563	383	401	410
U_i /mV	8.64	8.66	8.68	8.68
A_u	65.16204	44.22633	46.19816	47.23502
f	200Hz	300Hz	60kHz	80kHz
U_o /mV	505	543	488	461
U_i /mV	8.68	8.7	8.3	8.46
A_u	58.17972	62.41379	58.79518	54.49173
f	100kHz	120kHz	110kHz	105kHz
U_o /mV	421	388	406	418
U_i /mV	8.35	8.33	8.39	8.4
A_u	50.41916	46.57863	48.39094	49.7619

表 8: 最大不失真输出电压测量数据

U_b /V	U_e /V	U_c /V	U_{op+} /V	U_{op-} /V	U_i /mV	U_o /V
2.4619	1.7746	7.7532	1.68	-2.52	26.59	1.382

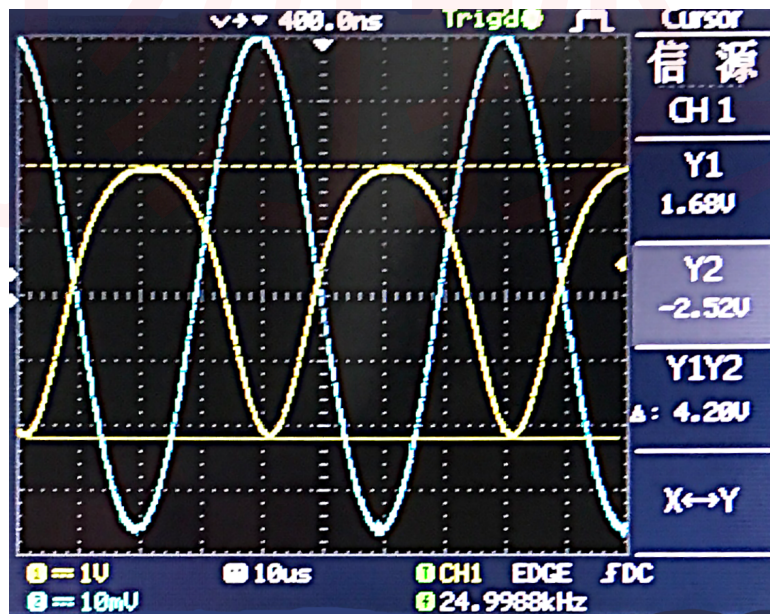


图 5: 最大不失真输出电压测量示意

4 实验心得与体会

在本次实验中，本组同学学习了实际的测量仪器的使用方法，了解了基础电子学仪器的性能特点与使用方法。在示波器和信号发生器的使用学习中还了解了正弦波的主要参数间的关系和衰减的概念。

在之后的单级放大器实验中，我们有了将上学期在模拟电子线路中学习到的知识进行实践的机会，直观地体会到了静态工作点 Q 与放大电路的两种失真的密切关系。同时，对于单级放大电路，我们还学习了电压增益、输入输出电阻的测量方式，以及通频带宽和静态工作点 Q 的调节。

实验中我们明白了：1. 静态工作点对于放大电路的效果起到决定性作用，失真时信号会有很严重的变形。2. 理论模型计算电路各种指标虽然具有表征意义，但是很难达到很好的精度，这是由于实验环境不同所导致的。经验公式能给出物理量的大概数值，但是误差会比较大，例如本次实验中增益的误差达 10%。3. 单级放大器工作时，当频率在通频带外时，放大倍数显著下降，所以在实际应用时也要根据放大信号频率范围设计合适的放大电路。

5 思考题

问 1: 负载对动态范围及放大倍数有何影响？

答: 有影响，根据共射极放大电路倍数公式： $A_u = -\frac{\beta}{r_{be}} R'_L$ ，其中 R'_L 为 R_L 与某电阻的并联电阻， R_L 越大，则放大倍数越大。

问 2: 元件参数变化对于性能指标及 Q 点有何影响？

答: 影响放大电路性能指标与 Q 点的参数很多，主要包括晶体管的几个重要参数以及其他阻容元件的参数。具体包括：

- 晶体管的 β 值会影响放大器的放大倍数与输入阻抗，也会影响 Q 点， β 越大，放大倍数越大，输入阻抗越大。
- 晶体管的 I_{CBO}, V_{BE} 会影响 Q 点位置。
- 晶体管的截止频率 f_T 会影响通频带宽。
- 电阻 R_e 在无旁路电容时会影响放大倍数与输入阻抗，也影响 Q 点位置。 R_e 越大，放大倍数越小，输入阻抗越大。
- 基极偏置分压电阻 R_{b1}, R_{b2}, R_W 会影响 Q 点位置和放大器输入阻抗。
- 电阻 R_c 会影响输出阻抗，通频带宽与 Q 点。

问 3: 电阻 R_e 及旁路电容 C_e 对 A_0, R_i, R_o 有何影响？

答: 增加电阻 R_e 在起到反馈稳定 Q 点的作用同时，会降低电压增益的绝对值 $A_0 = -R_c / (r_e + R_E)$ ，大大增加输入阻抗 $R_i = R_B || \beta(r_e + R_E)$ ，几乎不影响输出阻抗 R_o ，旁路电容在不影响静态工作点的同时，可将电压增益 A_0 增为，输入阻抗 R_i 减为不加电阻 R_e 时的值，也基本不改变 R_o 。

题 4: 本实验中输出波形顶部失真属于截止失真，是因为 Q 点进入截止区所致的。底部失真属于饱和失真，是因为 Q 点进入饱和区所导致的。

实验三

RC 桥式正弦波振荡器

韩振、邱哲儒
(PB15000009、PB15000034)

2017年10月15日

1 实验目的

- 了解自激振荡的物理现象与形成条件
- 掌握各种电子测量仪器的使用方法
- 了解文式电桥电路的各部分组成与作用，了解文式电桥选频网络的特性

2 实验原理

2.1 反馈电路

反馈电路是指将放大电路的输出的一部分接入输入端所组成的电路。根据反馈信号与输入信号的极性，反馈电路分为正反馈电路和负反馈电路。负反馈电路可以提高放大电路的稳定性，实现稳定控制，而正反馈电路则可以用作振荡器，如图1所示。

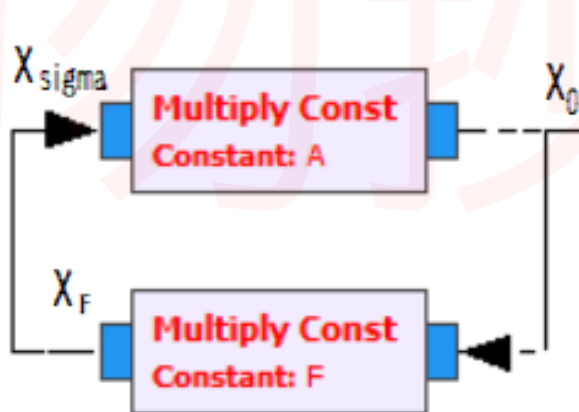


图 1: 反馈电路示意

2.2 自激振荡

对于一个典型的反馈放大电路，如果我们将外部输入信号置零，在放大电路和反馈回路参数特定的情况下，仅仅由反馈信号接入输入端，还是能够产生输出信号。我们称之为自激振荡现象。

2.3 自激振荡条件

2.3.1 起振条件

振荡器起振要求 $\dot{A}\dot{F} > 1$ ，包括振幅条件与相位条件两项

$$\begin{cases} \text{振幅起振条件 } |\dot{A}\dot{F}| > 1 \\ \text{相位起振条件 } \phi_A + \phi_F = 2n\pi \end{cases} \quad (1)$$

2.3.2 平衡条件

振荡器维持稳定工作，输出幅度均匀的信号要求 $\dot{A}\dot{F} = 1$ ，包括振幅条件与相位条件两项

$$\begin{cases} \text{振幅平衡条件 } |\dot{A}\dot{F}| = 1 \\ \text{相位平衡条件 } \phi_A + \phi_F = 2n\pi \end{cases} \quad (2)$$

2.4 RC 桥式振荡器

文氏电桥包含一个放大电路和一个正反馈网络，如图2所示，实际的实验板如图3所示。放大电路为三极管 3DG6 构成的两级共射电路，而正反馈网络则由 (C_1, R_1, R_2) 构成，由于正反馈网络由 RC 元件构成，其频率响应使得正反馈网络兼有选频作用

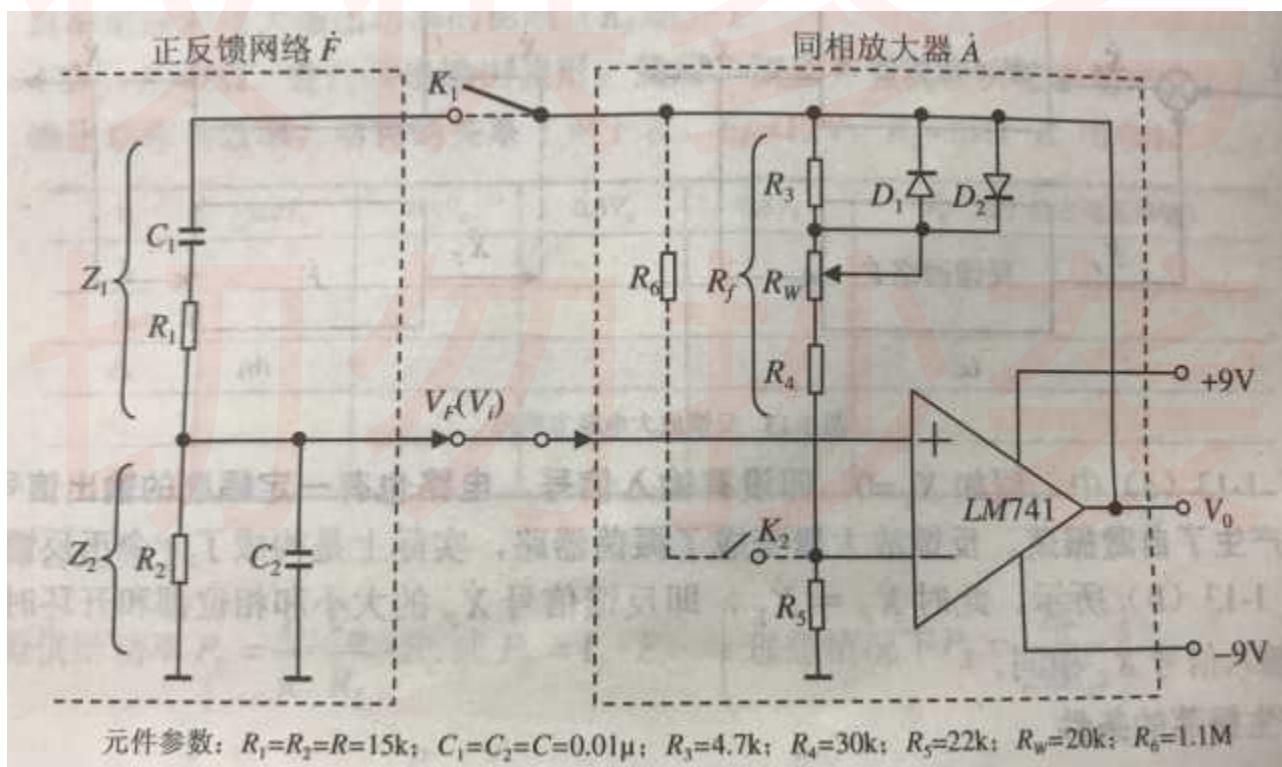


图 2: 文氏电桥振荡器电路示意

2.4.1 文氏电桥特性

振荡器中的文氏电桥选频网络在不同频率时的响应不同，输入输出间的幅度与相位均与频率有关。在输入频率增加时，输出信号 V_f 与输入信号 V_s 的相位差不断变化，从接近 -90° 不断增至 90° ，在

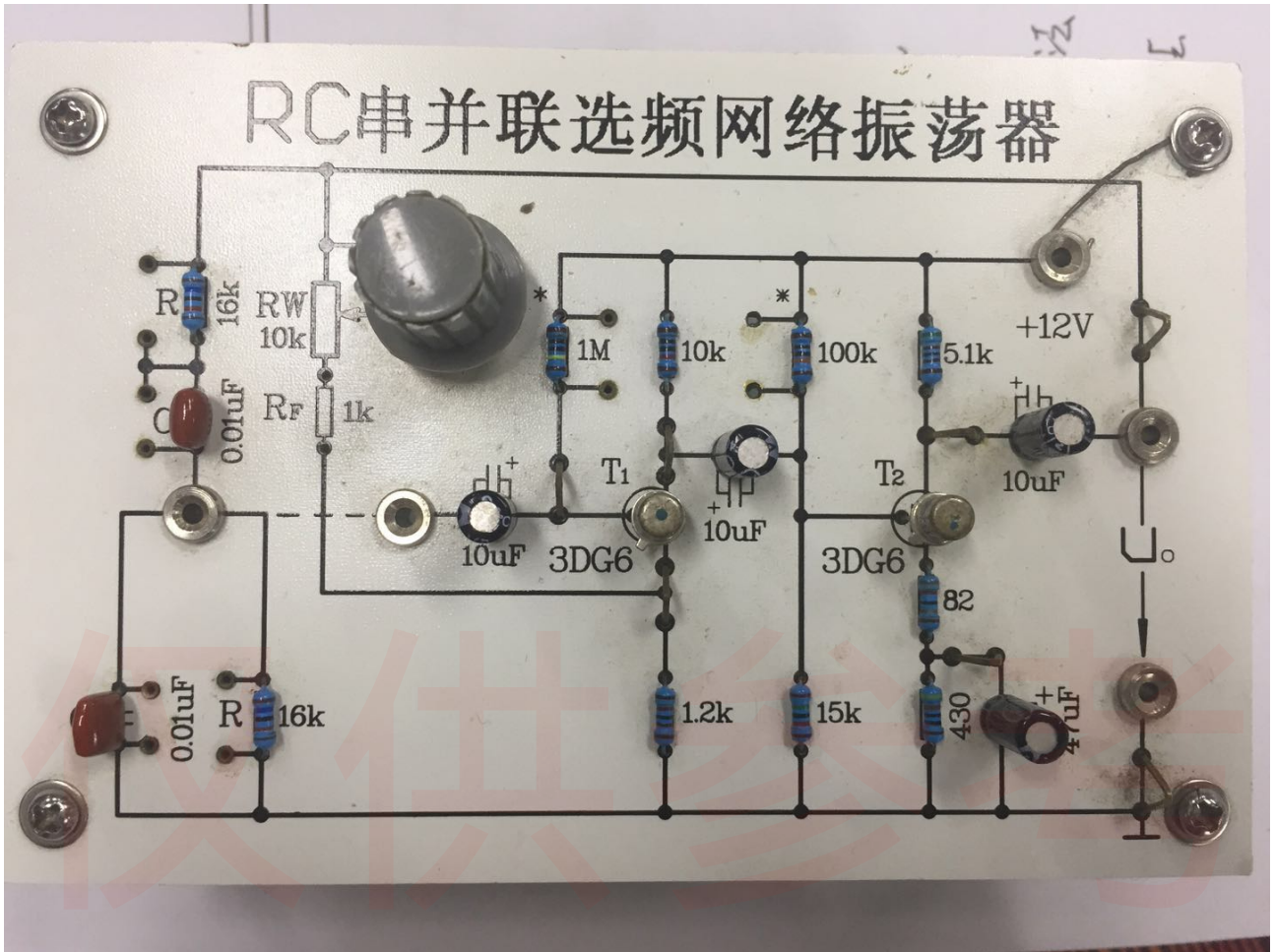


图 3: 文氏电桥振荡器实际实验电路

某个频率 f_0 处取 0。幅度比先增大，在中心频率 f_0 处取得极大值，后不断减小，这样在中心频率处同时满足幅度与相位条件，发挥选频作用。

3 数据分析与处理

3.1 测量振荡器的振荡幅度

当振荡器连接 12V 电源时，将振荡器输出端接示波器，利用三种幅值的测量方法得到以下数据

表 1: 不同方式测量振荡器输出幅度数据记录

测量方法	结果
Cursor 法	6.47V(峰峰值)
meas 法	2.3428V(有效值)
万用表 ACV 法	2.3274V(有效值)

结果概述: 三种方法测量振荡器输出有效值平均值为

$$V = \frac{V_1 + V_2 + V_3}{3} = \frac{6.47 \div 2 \div \sqrt{2} + 2.3428 + 2.3274}{3} V = 2.31923V \quad (3)$$

示波器光标测量法（Cursor 法）结果相对误差

$$\eta_1 = \frac{|V/\sqrt{2} - V_1|}{V} = \frac{|2.2875 - 2.31923|}{2.31923} = 1.36\% \quad (4)$$

示波器自动测量法（meas 法）结果相对误差

$$\eta_2 = \frac{|V - V_2|}{V} = \frac{|2.3428 - 2.31923|}{2.31923} = 1.02\% \quad (5)$$

数字万用表 ACV 挡测量法结果相对误差

$$\eta_3 = \frac{|V - V_3|}{V} = \frac{|2.3274 - 2.31923|}{2.31923} = 0.35\% \quad (6)$$

误差分析：可能的误差来源包括仪器性能特点与实验者本身，光标法（cursor 法）的误差最大，最为准确的测量方法是用万用表 ACV 挡进行测量。

具体分析如下

- 实验中使用的 Agilent 34450A 型万用表在交流电压测量上具有较高的精度，按正常方式使用，在适当的量程使用不太短的积分时间进行测量，在振荡器工作的 1kHz 频段误差仅有 ± 0.2 读数的 $\% + 0.1$ 量程的 $\%$ ，使用 10V 量程时误差小于 $2.3274 * 0.2\% + 10 * 0.1\% = 0.015V$ ，对应于 0.63%。这个精度远超过示波器能达到的水平。
- 实验中使用的 Keysight DSOX2024A 示波器在信号幅度测量上受制于直流垂直精度与模数转换器量化误差，其模数转换器仅有 8 位精度，其技术指标中直流垂直精度为 \pm [直流垂直增益精度 + 直流垂直偏置精度 + 0.25% 量程]，直流垂直增益精度为 $\pm 3\%$ 量程，直流垂直偏置精度为 ± 0.1 格 ± 2 mV。从硬件上看精度差于万用表交流电压档。
- 使用示波器光标读出测量峰峰值时人对波峰波谷的肉眼判断的不准确性可能带来误差，且此时不能使用软件方式减小模数转换器量化误差的影响。
- 实验中的振荡器输出信号并不是完美的正弦波，包含谐波分量，此时示波器光标读出的峰峰值转换成有效值的转换系数会偏离理论值 $\sqrt{2}$ 。而 Agilent 34450A 型万用表带有性能较好的真有效值测量功能，可以计入谐波的影响，测量值相当精确。示波器自动测量的结果（‘meas 法’）的有效值测量精度还与测量算法的设计有关，可以通过平均化以及一些较复杂的信号处理手段减小量化误差的影响。

3.1.1 测量振荡频率

利用四种方法对 RC 桥式振荡电路进行测量：万用表 Freq 功能，光标法，meas 法，李莎育图形方法。对于李莎育图形法，调节 R_w 产生不失真正弦波后用示波器 CH1 接通信号源，示波器 CH2 接

表 2: 信号频率测量数据记录

测量方法	频率
meas 方法	986.49Hz
cursor 法	986.19Hz
频率计	986.31Hz
李莎育图形	986.22Hz

通振荡器，示波器设置为 X-Y 工作模式。当参考频率调节为 $f = 986.220\text{Hz}$ 时，得到了相对稳定的椭圆环李莎育图形，如图4，可以看到此时实际频率与参考频率之间的比值为 1:1，因此可知实际频率 $f_L = f = 986.220\text{Hz}$ 。

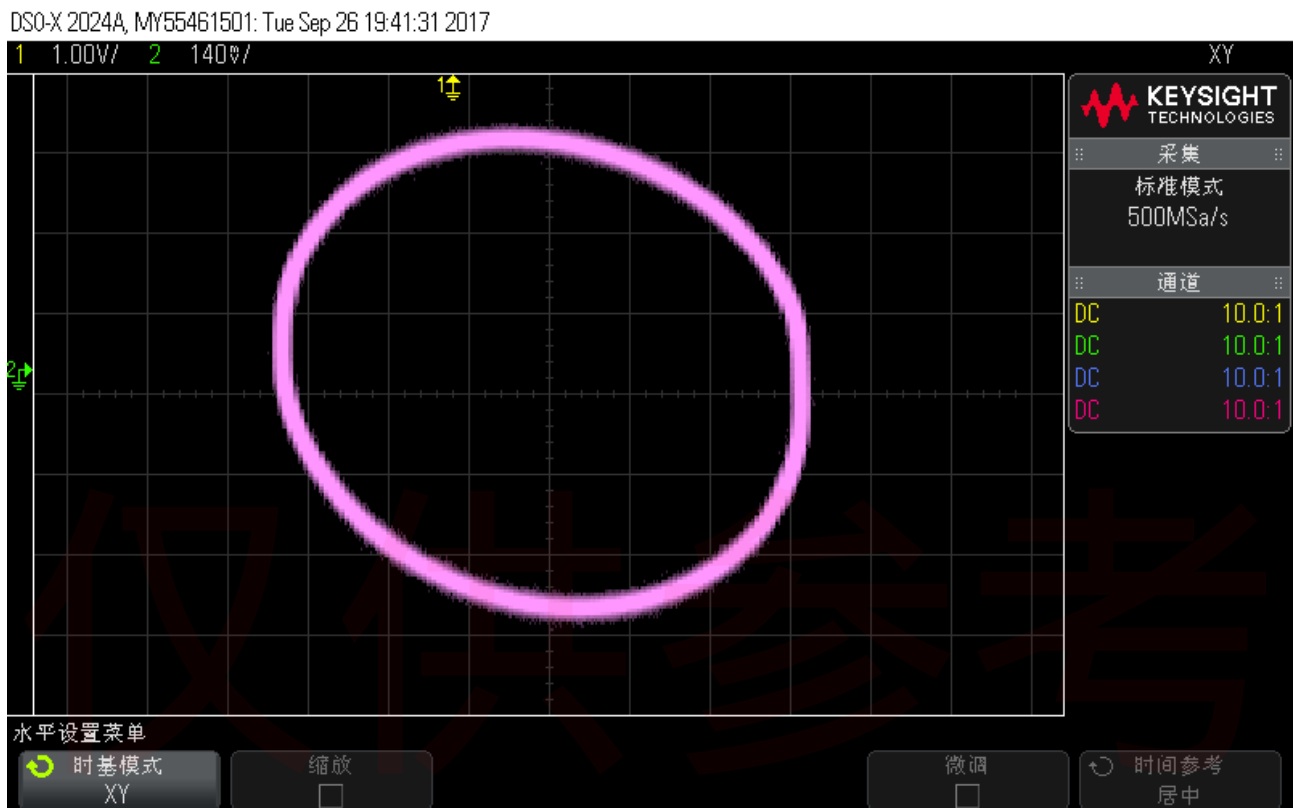


图 4: 实验测得李莎育图形

四种方法测量平均值为

$$f = \frac{f_1 + f_2 + f_3 + f_4}{4} = \frac{986.49 + 986.19 + 986.31 + 986.22}{4} \text{Hz} = 986.303\text{Hz} \quad (7)$$

结果概述与误差分析: 可以看到四次测量结果与平均值都十分接近，误差都相对较小。

另外通过观察李莎育图形的形态，即使在频率调定、李莎育图形固定后，也可见李莎育图形只能稳定较短的一段时间，在 30 秒后基本上就可见明显李莎育图形的旋转、扭动。这可能是因为振荡器的频率稳定性较差，导致其与信号源输出间不能长期维持稳定的相位差所致，也可能与信号源基准频率稳定度有限有关，还可能与手动设置信号源频率时判断李莎育图形稳定有一定的主观性有关。

频率测量可能的其他误差来源还包括

- 振荡器源本身的不稳定性。
- 虽然实验中使用的 DSOX2024 示波器有内置 6 位频率计选件，但自动测量中的频率测量分辨率并不高，性能仍有局限性。
- 示波器光标读出时人肉眼判断的不准确性可能带来误差。
- 可能示波器的量化噪声，示波器时基的不稳定性也会造成影响。

- 频率测量受万用表 Freq 挡测量精度限制，精度与分辨率并不高。Agilent 34450A 的指标中频率功能年偏差值为 $\pm 0.02\% + 3$ 个字，实验中的波动实际上接近仪器的指标极限，实际上应该选用性能更好的仪器测定频率。

3.1.2 测量频率稳定度

由于实验室环境难以控制，所以对温度、湿度等环境指标对频率的影响的测量比较困难。因此认为这些量随时间浮动，体现为一个时变的“噪声”，并且对不同时间的测量能够表现这种不稳定性。

实验中在五分钟内多次对频率进行测量，测量方法使用数字万用表 Freq 挡直接测量。得到结果如表3。

表 3: 频率稳定性测量数据记录

f/kHz	0.98603	0.98598	0.98603	0.98605	0.98609
t/s	30	60	90	120	150
f/kHz	0.98608	0.98611	0.98608	0.98601	0.98598
t/s	180	210	240	270	300

由表3数据可以知道最大偏离值在 $t = 210\text{s}$ 时取得。可计算稳定度

$$\frac{\Delta f}{f_o} = \frac{|f_{ox} - f_o|}{f_o} = \frac{|0.98611 - 0.986044|}{0.986044} = 6.69341 \times 10^{-5} \quad (8)$$

此时，不稳定度定义为

$$\frac{\Delta f}{f_o} = \frac{|f_{ox} - f_o|}{f_o} \quad (9)$$

另外电源电压也对振荡频率有较大的影响，振荡器正常工作时为 12V 供电，在振荡器供电电压改为 11V 时，测得频率为 $f_{11V} = 985.08\text{Hz}$ ，可计算供电电压下降 1V 时频率稳定度为

$$\frac{\Delta f}{f_o} = \frac{|f_{ox} - f_o|}{f_o} = \frac{f_{12V} - f_{11V}}{f_{12V}} = \frac{0.98592 - 0.98508}{0.98592} = 0.000851996 = 8.5200 \times 10^{-4}\%/\text{V} \quad (10)$$

结果概述: 可以看到，在本实验室环境下，环境因素导致的频率在随时间涨落在 10^{-5} 量级，对于 RC 稳频的简易振荡电路来说并不大。供电电压下降 1V 使频率有接近 10^{-3} 量级的变化，因此，在使用简单的 RC 桥式电路等选频性能一般的反馈网络时，要根据频率稳定性需求保证电源的稳定性，以保证电路的输出质量。

误差分析: 频率稳定性测量主要的误差来源包括

- 频率测量受万用表 Freq 挡测量精度限制，分辨率并不高。
- 测量时间只有 5 分钟，频率偏差统计上的随机性较大。
- 实验中使用的稳压电源输出电压不准，也可能包含纹波与长周期的波动。但实际上实验中选用的固伟 GPD-3303S 型直流电源性能较好，指标中电压精度达 $\leq 0.01\% + 3\text{mV}$ ，纹波各 $\leq 1\text{mVrms}$ (5Hz~1MHz)，噪声 $\leq 10\text{mVpp}$ (5Hz~1MHz)，在本次实验中影响有限。
- 实验中读数时间由实验者通过手机计时控制，可能与规定的采样时间有偏离，带来较小的误差。
- 另外实验中的简易测量方法及其计算的频率稳定性指标较有局限性，实际上采用测量计算阿伦方差等其他方式可以更好的全面的表现振荡器的频率稳定特性

3.1.3 测量振荡器的三种工作状态

振荡器一般有三种工作状态：保真工作状态、失真工作状态、停振工作状态。在不同的工作状态下，放大网络增益 A 与开环增益 FA 的数值不同，理论上在正常工作时，振荡器参数应满足振荡条件2，在失真振荡时 $FA > 1$ ，当停振时应有 $FA < 1$ 。

实验中观察了不同振荡器运行状态下的增益 A 与开环增益 FA ，数据见表4

表 4: 不同振荡器运行状态下参数测量记录

工作状态	保真	失真	停振
U_i/V	0.53509	0.5351	0.53507
U_o/V	1.6441	1.7873	1.08233
U_f/V	0.54117	0.58925	0.35664
A	3.072567	3.340123	2.022782
F	0.329159	0.329687	0.329511
AF	1.011363	1.101196	0.66653

结果概述: 由此可见，当桥式电路处于保真工作状态时，其放大器增益 $A = 3.073$ 接近 3，开环增益 $FA = 1.011$ 接近于 1，与理论预期相符合；而失真振荡时 $A = 3.340$ 大于 3， $FA = 1.101$ 大于 1；当停振时， $A = 2.023$ 小于 3， $FA = 0.665$ 值明显地小于 1。这些结果都与振荡条件理论相符合。

误差分析: 振荡器工作状态测量误差来源除了判断振荡状态稍有主观性外，与3.1小节完全一致。

4 观察起振与停振过程

用示波器观察缓慢调节电位器 R_w 时的起振与停振过程，记录得起振过程如图5、6，停振过程如图7、8。

DSO-X 2024A, MY55461501: Tue Sep 26 19:58:20 2017

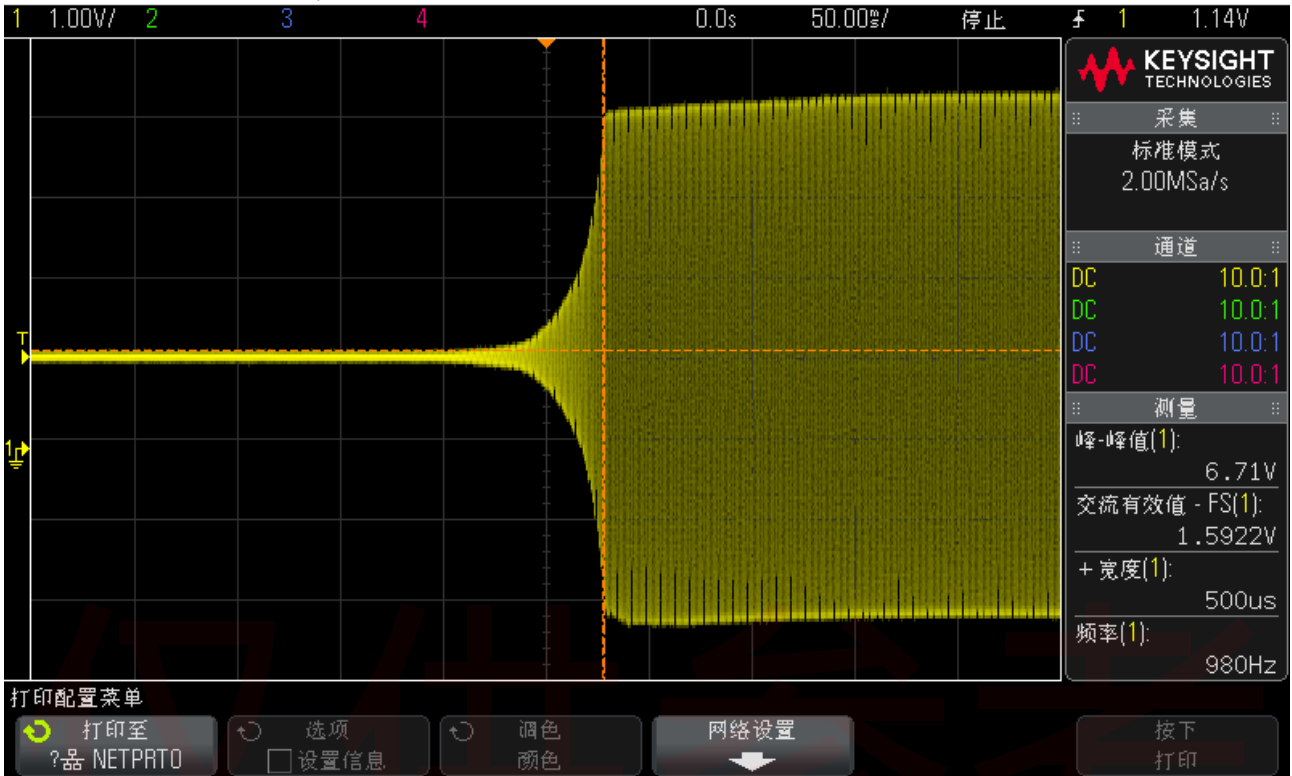


图 5: 实验测得起振过程波形

DSO-X 2024A, MY55461501: Tue Sep 26 19:58:51 2017



图 6: 实验测得起振过程波形放大图

DSO-X 2024A, MY55461501: Tue Sep 26 20:00:13 2017

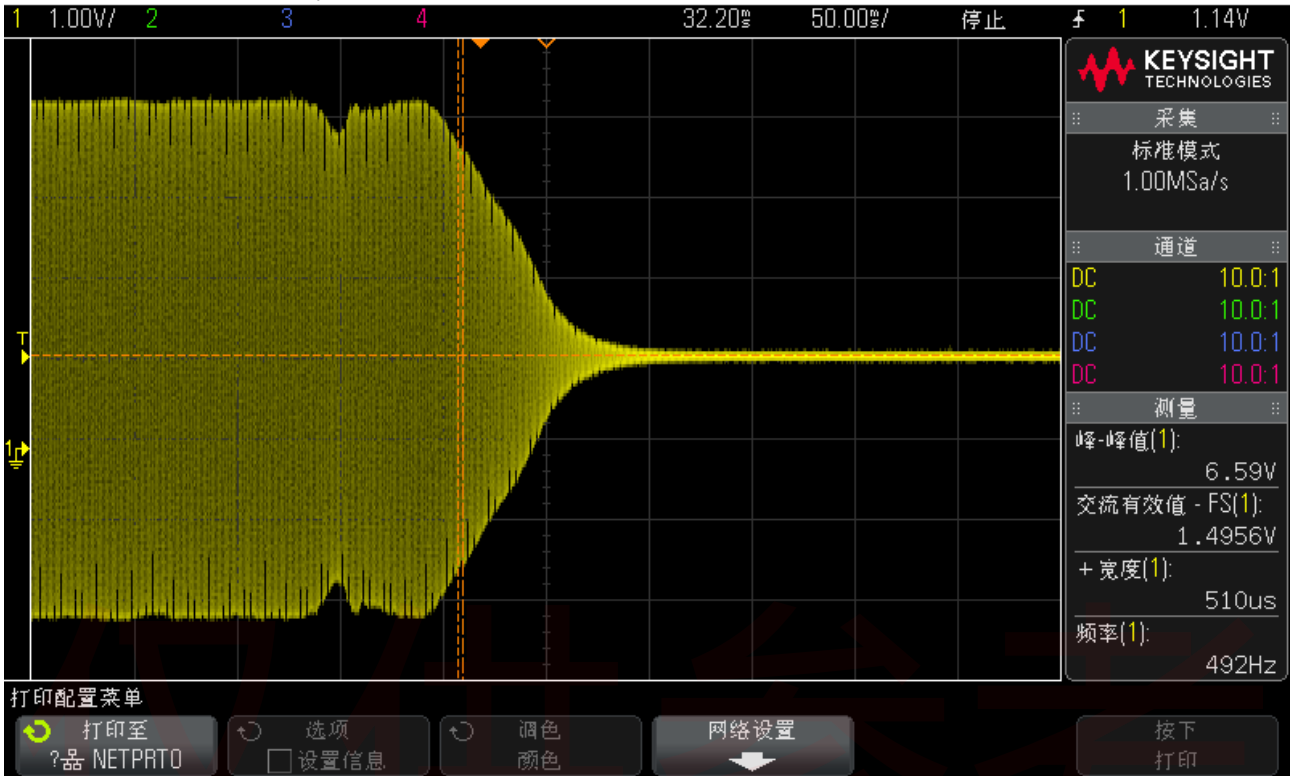


图 7: 实验测得停振过程波形

DSO-X 2024A, MY55461501: Tue Sep 26 20:00:36 2017

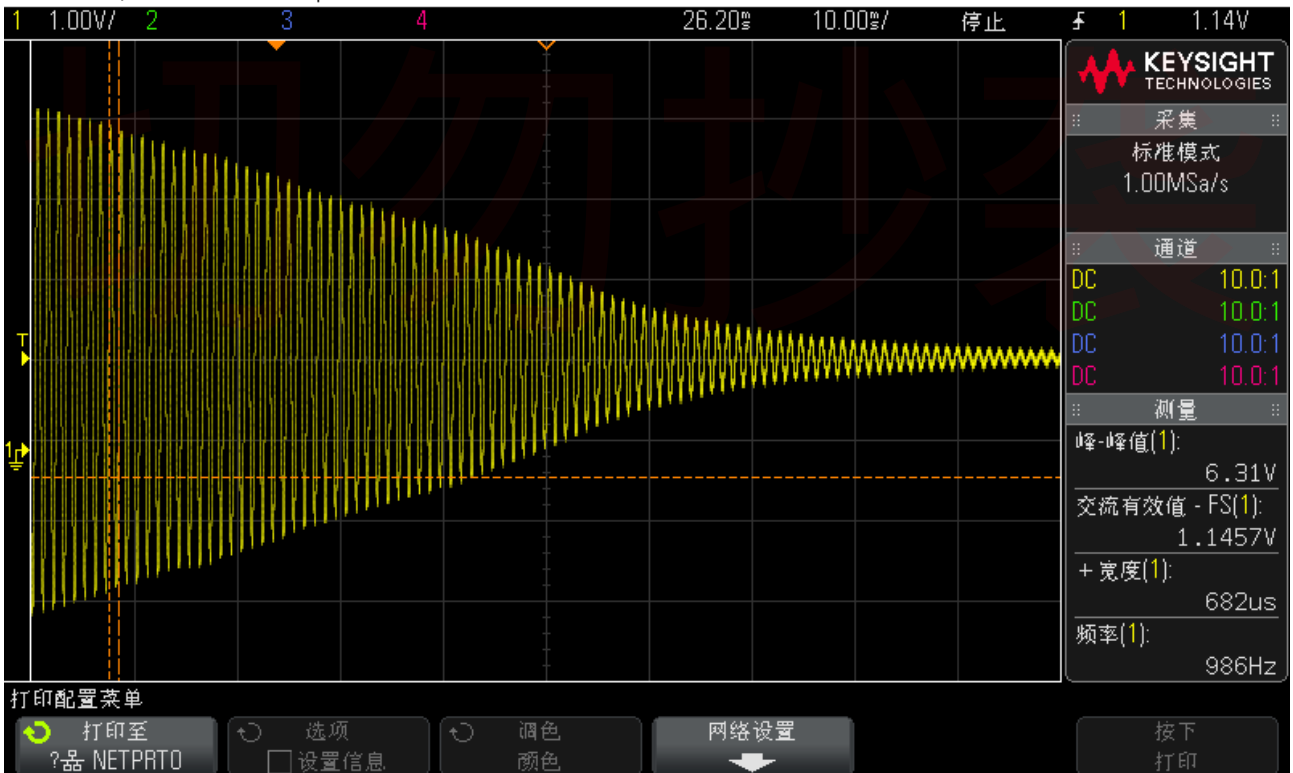


图 8: 实验测得停振过程波形放大图

结果概述与误差分析: 可见起振与停振时都有一个幅度渐变的过程, 起振过程信号包络在接近稳定幅值附近有一个类似一个指数增幅的过程, 在刚达到稳态时, 信号的包络也还没有完全稳定, 有一个轻微的反向偏压波动, 后迅速恢复。在停振时, 信号包络在一个短暂的收缩后暂时恢复, 后继续迅速减幅至零。起振过程耗时约 100ms, 停振过程耗时约 150ms。

此实验仅进行了定性的观察, 起振与停振过程的细节也与调节电位器的具体方式与电位器工作点附近的具体特性有关。

5 *RC 网络幅频、相频特性

由于实验时间比较充裕, 我们在 100Hz 至 3500Hz 间还测量了 RC 桥式振荡电路中的选频文氏电桥的幅频, 相频特。由于实验板的设计问题, 无法单独接出文氏电桥电路, 实验中用在示波器上比较不同频率下三极管放大电路的输出信号与经过选频网络后的信号的幅度、相位来测量幅频, 相频特性, 数据如表5, 绘出幅频特性曲线如图9, 绘出相频特性曲线如图10。

表 5: RC 文氏桥幅频相频特性测量值

fs/Hz	Vs/V	Vf/mV	$F \times 10^{-3}$	Vs 与 Vf 的相位差 $\theta/^\circ$
100	1.5441	152.0	98.43922	-71.7
200	1.5443	277.4	179.6283	-57.0
296	1.5436	363.8	235.6828	-42.63
300	1.5445	367.0	237.6174	-44.0
400	1.5450	426.2	275.8576	-32.0
500	1.5448	464.2	300.492	-24.0
600	1.5445	488.0	315.9599	-18.3
700	1.5444	502.6	325.4338	-12.1
800	1.5441	510.9	330.8724	-7.0
900	1.5444	514.5	333.1391	1.0
1000	1.5437	515.3	333.8084	3.0
1200	1.5426	510.7	331.0644	8.0
1400	1.5419	500.8	324.7941	15.0
1600	1.5410	487.8	316.5477	19.0
1800	1.5403	473.0	307.083	24.0
2000	1.5400	457.5	297.0779	29.0
2500	1.5384	417.8	271.5809	36.0
3000	1.5371	380.6	247.6091	42.51
3240	1.5361	363.8	236.8335	47.1

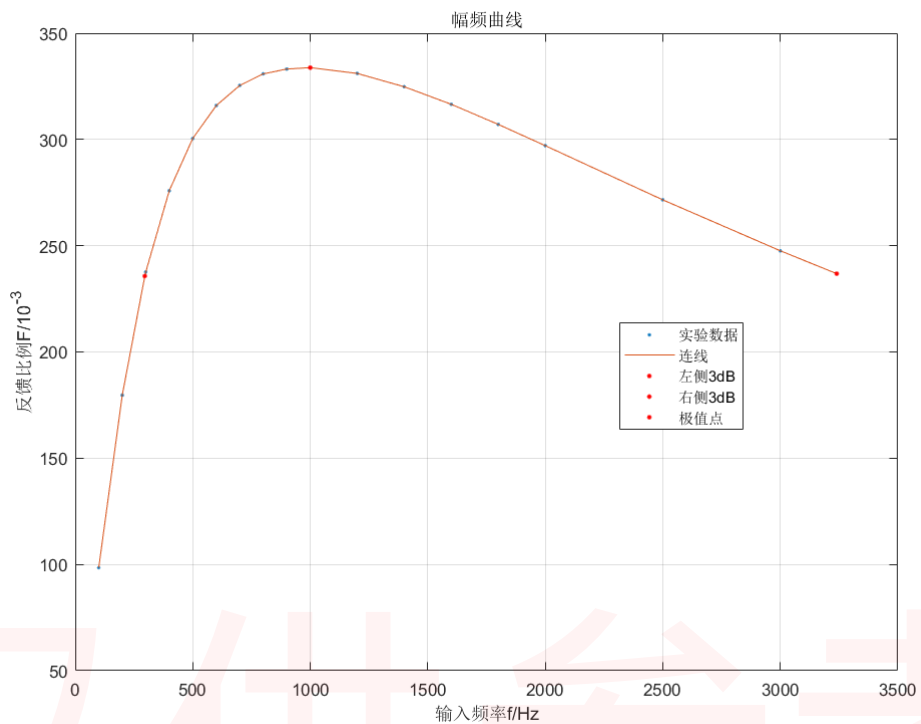


图 9: 幅频特性曲线

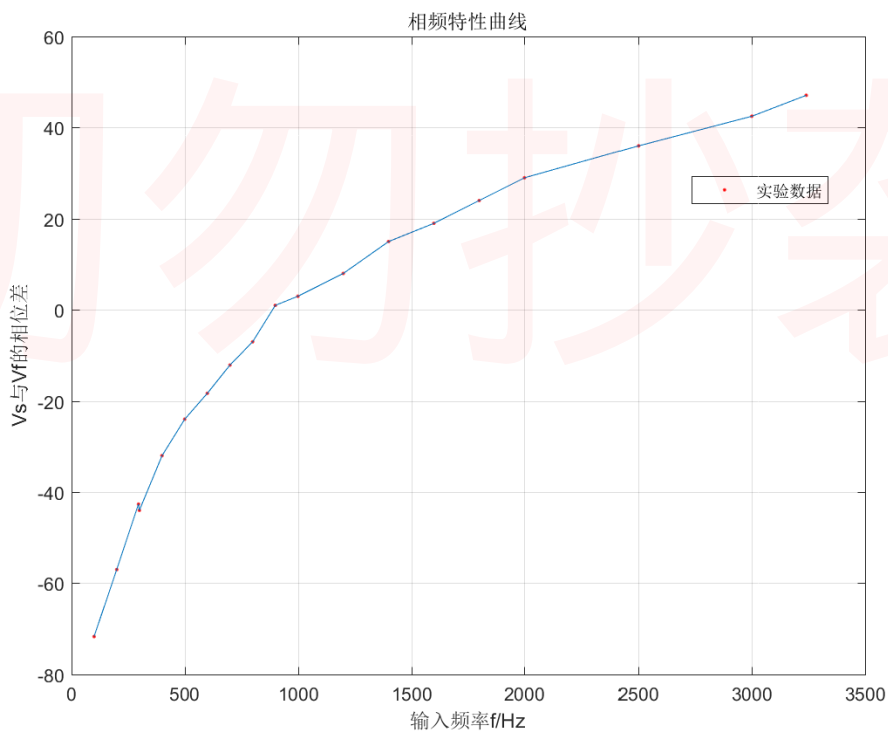


图 10: 相频特性曲线

结果概述: 在幅频曲线图9上可见随频率增加幅度先增后减, 中心频率在 1kHz 附近, 这与实验中测得的振荡器工作频率一致, 在相频特性曲线图10上也可见随频率增加相移在 -90° 至 $+90^\circ$ 间变化, 误差范围内在 1kHz 附近相移取得 0, 这与3.1小节中的理论完全一致

我们发现幅频曲线上高低频段的 3dB 点分别在 $f=296\text{Hz}$ 与 3240Hz 取得, 因此本桥式振荡电路选频网络的带宽 $BW=3240-296=2944\text{Hz}$ 。其带宽较宽, 选频特性并不佳。

6 实验心得与体会

在本次实验中, 我们测量了文氏电桥振荡器的许多性质, 并且学习了几种频率的测量方法, 熟悉了电路实验的基本操作, 熟悉了示波器、万用表、信号发生器、直流电源等电子学仪器的性能特点与使用方法。

首先, 我们测量了文氏电桥在不失真情况下的稳定振幅, 并发现其中测量精度最好的是用万用表的 ACV 档; 然后, 我们利用频率计、示波器、李莎如图形法对振荡频率进行了测量。

之后, 我们在一段时间内观察电桥电路的稳定性, 又改变电源输入再进行观察, 结果发现电源电压的改变对于系统的影响也较显著, 这说明在利用振荡电路的时候一个稳定的电源是十分重要的。之后我们观察了振荡器的三种工作状态, 并发现这几种状态的 AF 值与理论预言相吻合。

我们还观察了起振、停振时的振荡波形, 发现起振过程信号包络在接近稳定幅值附近有一个类似一个指数增幅的过程, 停振时也有一个减幅振荡的过程。

由于实验时间充裕, 我们最后还测量了 RC 网络的幅频与相频特性曲线。

7 讲义上思考题

问 1: 分析出现三种工作状态的原因。

答: 出现三种不同工作状态是由于在振荡限幅控制电位器 R_w 取值不同时, 放大部分增益 A 与限幅值不同, 此时的振荡器开环增益 AF 不同, 在某些时候在中心频率附近 AF 乘积绝对值恰好等于 1, 电路可维持稳定不失真振荡; 在某些时候 A 小于 3, 中心频率附近因为文氏电桥特性, $F < 1/3$, AF 乘积绝对值仍然小于 1, 无法在任一频点上达到起振条件或振荡条件(1),(2), 所以电路不能起振或振荡在很短的时间内衰减, 进入停振状态。而在某些 R_w 的取值下 $|A|$ 大于 1, 使得其他频率处 AF 仍然可能大于 1, 允许激发出谐波等其他频率信号, 造成失真工作状态。

问 2: 如果本实验电路中的放大器改用单级共射放大器, 请分析电路的工作状态。

答: 单级共射放大器的输出信号与输入信号相位相反, 在不另加移相部分或改变文氏电桥接法为移相网络时来补偿这个 π 的相位差时, 无法满足相位平衡条件, 不能起振。同时单级放大器的增益也较低, 有一定可能不能满足振幅条件。

问 3: 设计一个振荡频率为 30kHz 的 RC 文氏电桥振荡器。

答: 在设计中令选频网络中的 $R_1 = R_2 = R$, $C_1 = C_2 = C$, 则谐振频率满足公式

$$f = \frac{1}{2\pi RC} \quad (11)$$

此时若选取 $R = 1.608\text{k}\Omega$, $C = 3.3\text{nF}$ 则可得振荡频率为 30kHz 的 RC 文氏电桥振荡器。实际电阻值序列中并无准确阻值的电阻, 可用 $2\text{k}\Omega$ 的多圈电位器代用, 或使用 $1.5\text{k}\Omega$ 与 100Ω 的串联, 电容可选用 $3.3\text{nF} = 3300\text{pF}$ 的普通瓷片或涤纶电容。

此时使用 Multisim 仿真的电路图与输出如图11所示, 起振过程如图12所示。由于时间有限, 未加稳幅部分, 有明显失真, 实际电路应该加上。

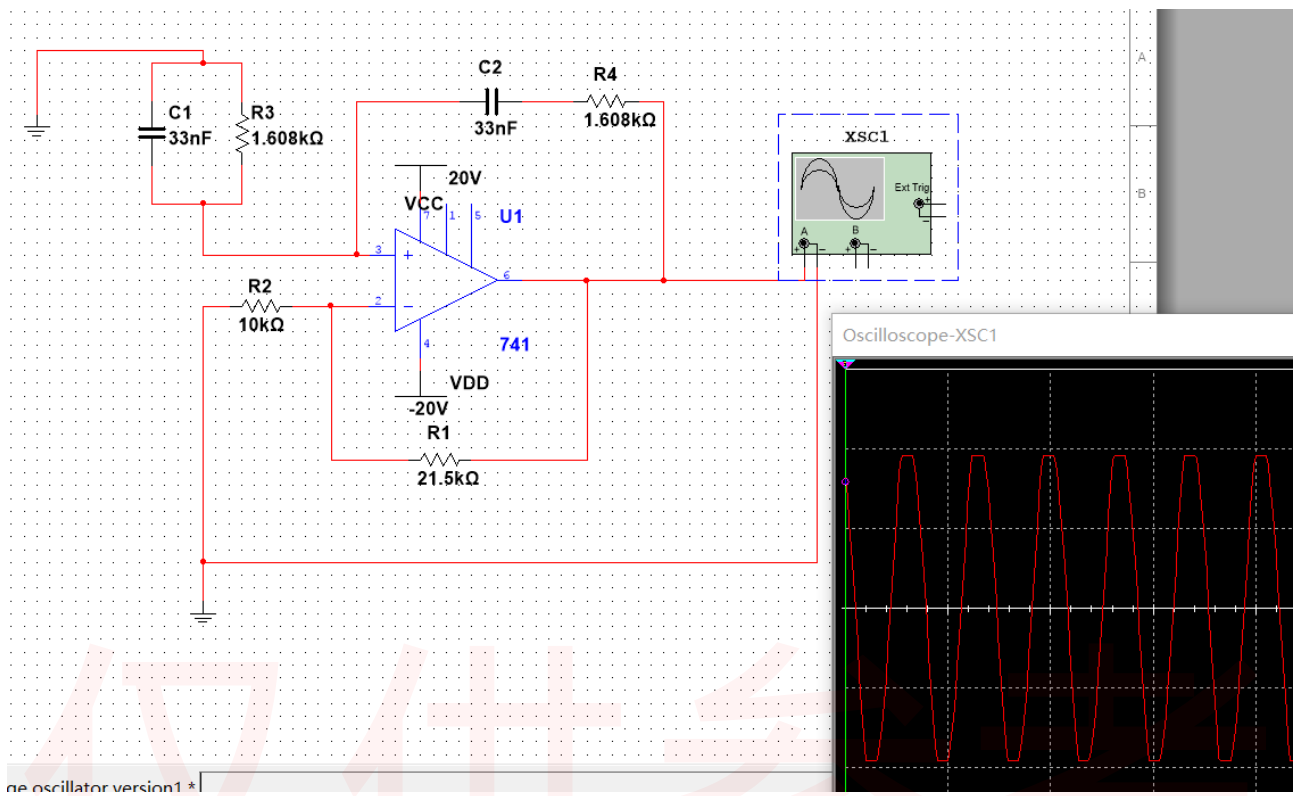


图 11: 设计电路仿真

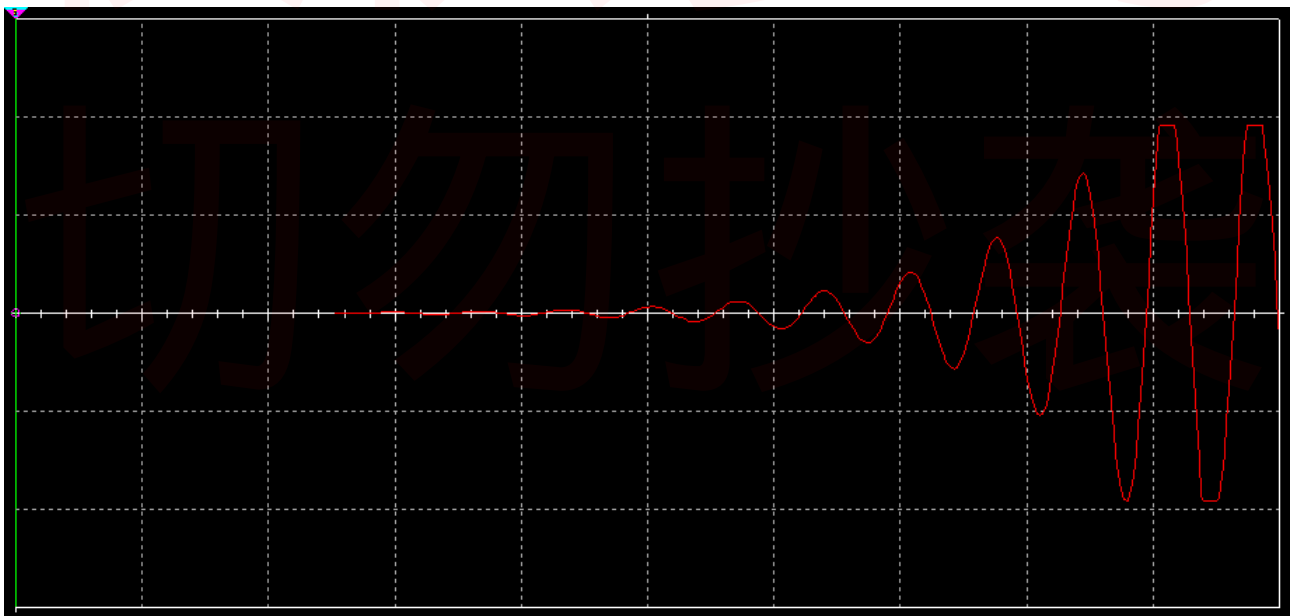


图 12: 设计电路仿真起振过程

8 书后思考题

问 1: 叙述二极管的稳幅原理。

答: 在书上电路图2中的两个二极管接在放大部分电路中的一个负反馈环中, 在运放的输出电压幅

值超过一定值时，在负半周 D1 导通，在正半周 D2 导通，起到钳位作用此时接入运放反向端一个幅度较大的信号，使输出信号幅度下降，形成负反馈，从而达到电压稳幅的目的。使用二极管主要是利用其正向电阻的非线性特性，在振幅较小时不导通，使负反馈很弱，可以让系统开环增益较大，使起振更快，而在导通后很快加强负反馈，使电路快速稳定。两只二极管可使正负半周期钳位效应相当，使波形对称，防止失真。

问 2: 再总结几种常用稳幅电路。

答: 常用稳幅电路有较多种，具体包括：

- 不另接稳幅网络，通过放大器自身在输入幅度过大时的失真非线性效应来实现幅度稳定。
- 使用两只稳压二极管或双向稳压二极管作为钳位元件，可采用与图2一致的电路拓扑。
- 使用具有正或负温度特性热敏电阻作为负反馈元件。
- 在输出端到地间接入两个反向并联的二极管或其他有非线性电阻特性的器件（甚至白炽灯）作为钳位元件。
- 另接一路比较器、运放、其他放大电路、光阻性光电耦合器（photoresistive optocoupler）作为负反馈回路稳定幅度。
- 接入分压网络或发射极电阻作为负反馈、自生反向偏置稳幅。

问 3: 总结几种常用的频率测量方法

答: 电子学中常用的频率测量方法包括

- 使用频率计（频率计数器）进行测量。
- 搭建数字逻辑计数电路（计数器、双计数器）、使用 FPGA 器件自行编程或使用带数字量输入的数据采集卡计数计算周期。
- 使用示波器自动测量或光标读出功能简易测量。
- 使用频谱仪进行测量。
- 使用频率-电压转换器将信号转换为电压信号进行测量。
- 通过示波器 XY 模式观察李莎育图形、或使用混频器或鉴相器将待测信号与基准信号比较测量。
- 使用其他非线性器件将基准信号与待测信号相乘或经过增益处理后相加进行比较测量。
- 通过电抗元件、传输线、谐振腔等器件对不同频率信号不同的响应测量。
- 使用交流电桥，根据平衡条件与频率的关系测量。

太赫兹、光学以及更高频段主要使用介质对辐射的响应间接测量，在此不再概述。

电子技术实验 报告 4

二极管的基本应用

韩振, 邱哲儒

PB15000009, PB15000034

实验目的:

1. 熟悉二极管的种类
2. 掌握判断二极管极性和好坏的方法
3. 掌握二极管常见应用电路和测试方法

实验原理:

1. 二极管的基本性质

二极管是一种具有不对称电导的二端电子器件。理想二极管在正向导通时两个电极（阳极和阴极）间电阻为零，而反向时则有无穷大电阻，即电流只允许由单一方向流过二极管。其伏安特性是非线性的，在电压为正时电流快速增加，电压为负时电流很小直至击穿。

2. 半导体二极管的分类

二极管按照结构划分：主要有点接触型、面接触型、平面型。

在制造材料上主要包括硅管、锗管以及砷化镓等其他材料制成的二极管。

还有一些工艺特殊、性能特殊如肖特基二极管、检波二极管、耿氏二极管、发光管、光电管、稳压管等等有特殊用途的二极管。

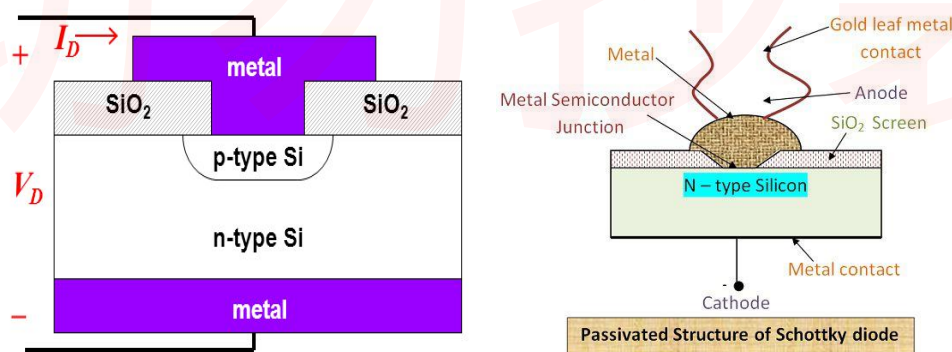


图 1. 常见二极管 (PN 结、肖特基) 结构示意图

3. 二极管的电路模型

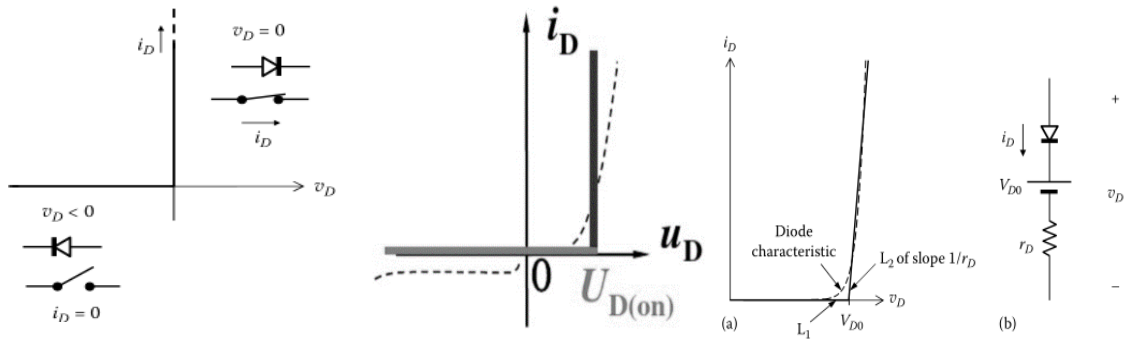


图 2. 二极管的电特性模型

常用的二极管的电路模型有：理想二极管模型、恒压降模型、折线模型与指数模型。

理想二极管的伏安曲线如图所示，认为只要二极管两端有正向电压就导通。

恒压降模型的伏安曲线如图所示，认为二极管两端的正向电压要大于某一恒定阈值电压 V_{D0} 后导通，导通时二极管等效为一个恒压源，电压大小与阈值电压一致。

折线模型的伏安曲线如图所示，与恒压降模型类似，不同之处在于导通之后，等效为一恒压源与电阻的串联。

据固体物理理论，理想的 PN 结二极管的伏安特性可以写为

$$I_D = I_s (e^{V_D/V_T} - 1)$$

$$I_s = A_J |q| \left(\frac{D_h}{L_h N_D} + \frac{D_e}{L_e N_A} \right) n_i^2$$

二极管电流 I_D 与 V_D 间有指数关系，在给定器件 PN 结的各个参数后，可直接使用这个公式进行器件的建模，这样的方式普遍用于电路的 SPICE 分析里。

对于稳压二极管，其工作特性特殊，其往往工作在击穿区，利用击穿区的很低的动态电阻起到稳定电压的作用，在模型中常常视为一个电压源与一个小的动态电阻的串联。

4. 二极管应用电路

应用电路一：半波整流电路

电路结构与工作特性如图所示：

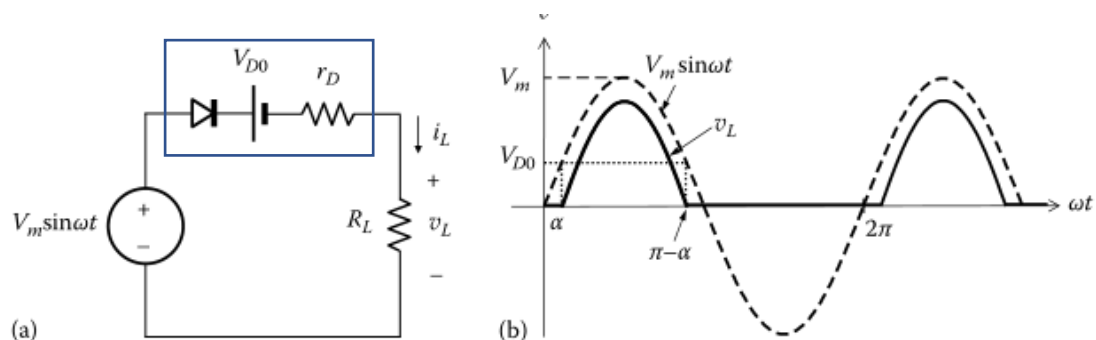


图 3.半波整流电路示意

若输入为 $V_i = V_m \sin \omega t$ ，则当 $V_i > V_{D_{on}}$ 时二极管导通，采用折线模型，通过电流即为 $i_L = (V_m \sin \omega t - V_{D_{on}}) / (R_L + r_D)$ ，其他时刻二极管截止，电路中几乎无电流通过。

这样得到的整流电压虽然恒非负，但是包含大量的交流分量，这些交流分量往往是很有害的，实际上可另连接较大的滤波电容以降低纹波的影响。

应用电路二：钳位电路

电路结构与工作特性如图所示：

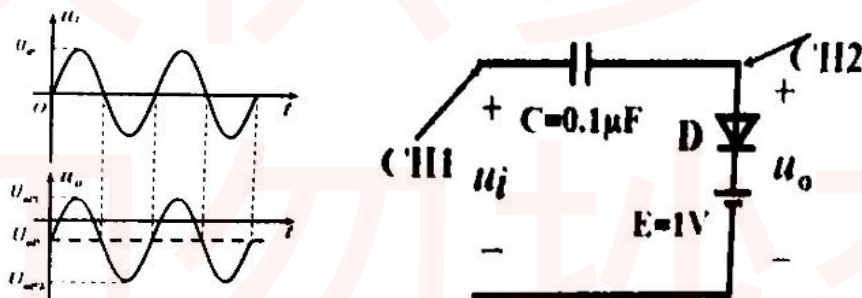


图 4.钳位电路示意

当输入电压 u_i 上升到至等于 $V_{D_{on}} + E$ 时，二极管导通，二极管的瞬态电阻极小，输出电压被“钳制”，不再上升，之后多余电压就会充电给电容 C 。当输入电压从峰值下降时，二极管截止，输出电压就是电容上电压与输入电压的代数和。电压达到稳态后的平均值就因此被钳位在恒压源的电压 E 上。

应用电路三：限幅电路

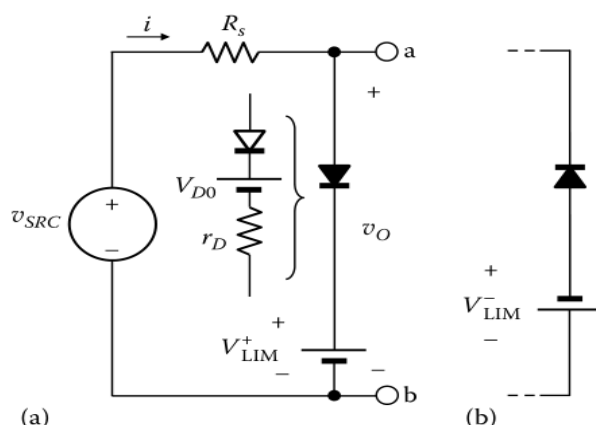


图 5.限幅电路示意

电路结构与工作特性如图所示：

其工作原理与整流电路相近，由于恒压源的存在，使得当输入电压加上恒压源一旦超出了二极管的导通范围，就会截止，因此具有限制幅度的功能。

应用电路四：稳压电路

电路结构与工作特性如图所示：
具体用途请参见思考题第二题

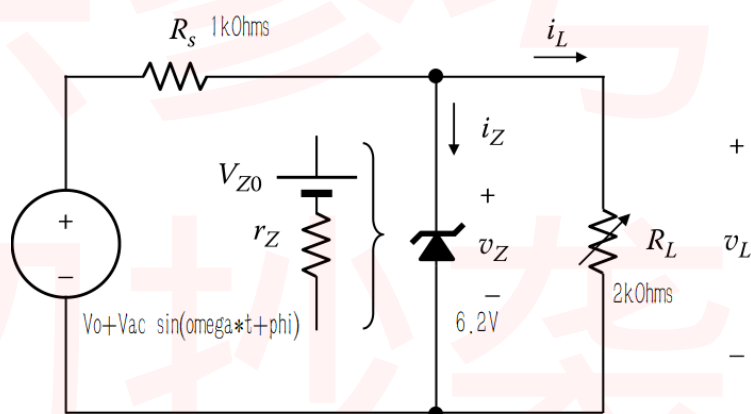


图 6 稳压电路示意

数据处理与误差分析：

二极管基本参数测量

先使用万用表测量了二极管的正向导通压降为

$$U_{diode} = 0.7012V$$

此测量值与 1N4147 型整流管性能指标相符。

实验一：整流电路

无滤波时

实验中使用常见的 1N4147 型整流管，输入电压峰峰值为 $5.00V$ ，负载电阻 $R_L = 1k\Omega$

测量结果：

$$\begin{aligned}U_{ip+} &= 2.64V \\U_{ip-} &= -2.40V \\U_{op} &= 1.92V \\t_1 &= 490.0\mu s \\t_2 &= 1.050ms\end{aligned}$$

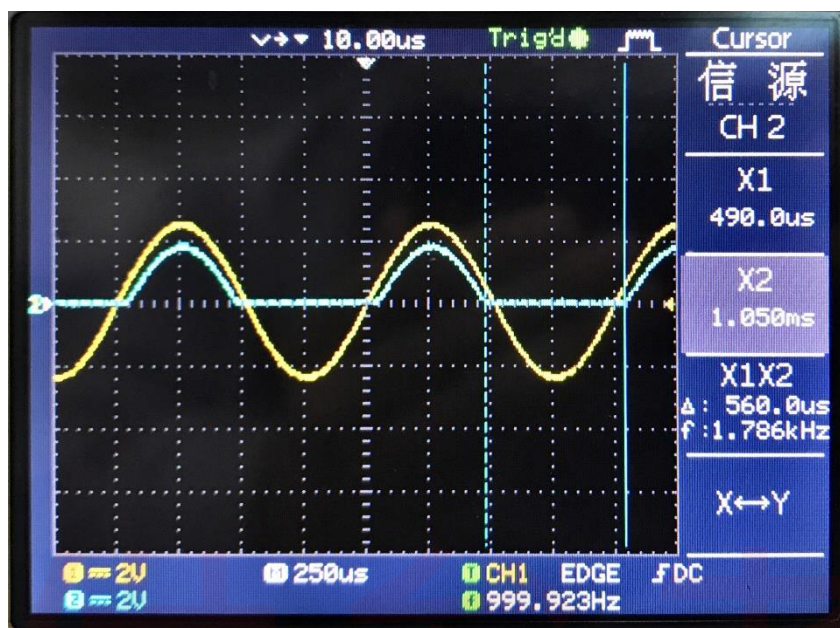


图 7.半波整流电路实测波形

结果分析：使用万用表测量得 $U_{diode} = 0.7012V$ ，理论上应该有：

$$U_{ip+} - U_{op} - U_{diode} = 0$$

根据实际结果我们有

$$U_{ip+} - U_{op} - U_{diode} = 2.64 - 1.92 - 0.7012V = 0.0188V$$

结果比较准确，误差可能来自

1. 示波器 ADC 分辨率仅有 8-bits，难以精确的测定电压峰值
2. 测量使用光标读出时人眼无法准确判断峰点。
3. 万用表测量导通压降时为二极管通过 $0.5mA$ 时的测量值（来自 Agilent 34450A 数据手册 5991-1133），而实际二极管并非理想，伏安特性曲线仍是倾斜的（存在 r_D ），导通压降并非定值而与通过电流有关，实验中二极管上通过的电流并不是 $0.5mA$ ，导致误差。

在理论上 $\Delta t = t_2 - t_1$ 与二极管压降有关，使得对于 $1kHz$ 输入的信号， Δt 不再是精确的 $0.5ms$ 。而应该为：

$$U_{ip+} \times \cos(2\pi f t_h) - 0.7012 = 0 \Rightarrow t_h = 207.21\mu s$$

$$\Delta t = T - 2t_h = 585.57\mu s$$

而实验中测量结果为 $\Delta t = t_1 - t_2 = 1050 - 490.0 = 560\mu s$

$$\text{相对误差为: } \eta = \frac{|585.57 - 560|}{585.57} \times 100\% = 4.37\%$$

我们对于整流后波形 t_1, t_2 测量有 4.37% 的误差，基本在可以接受的范围内，

误差产生的原因可能包括：

1. 示波器的 cursor 法读数非常不方便，每次移动步长太大（根本原因是示波器水平时基较粗，采样较疏），难以测量准确
2. 理论计算使用了恒压降模型，也就是在电压达到 V_{Don} 以前都认为二极管截止，之后导通，但实际上二极管的伏安特性曲线导通段并非竖直线，所以与恒压降模型有所出入。
3. 二极管的特性会受温度等环境因素的影响，并非完全稳定，在实验过程中可能发生了漂移。

加设滤波电容时

我们在负载 ($1k\Omega$ 电阻) 两端并联上了不同大小的电解电容，观察得到的波形，并使用交流毫伏表测量纹波电压有效值。

测量结果：

接入电容为 $C = 10\mu F$ 时，电路输出如图所示：

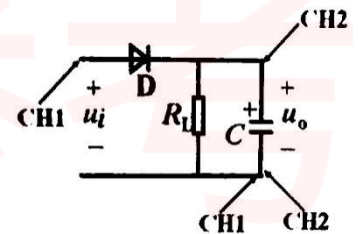


图 9. 增设滤波电容后电路

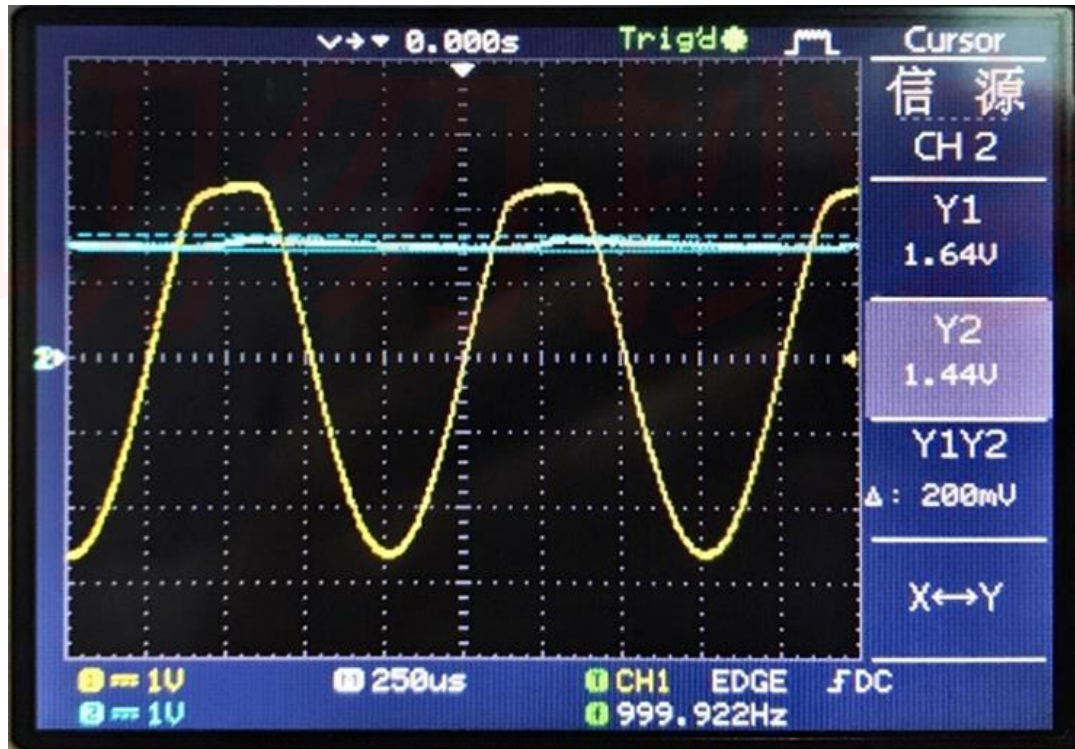


图 8. 接入 $10\mu F$ 滤波电容后输出波形

$$U_{\text{纹波有效}} = 37.6\text{mV} \quad U_{\text{纹波峰峰}} = 53.2\text{mV}$$

接入电容为 $C = 100\mu\text{F}$ 时, 电路输出如图所示:

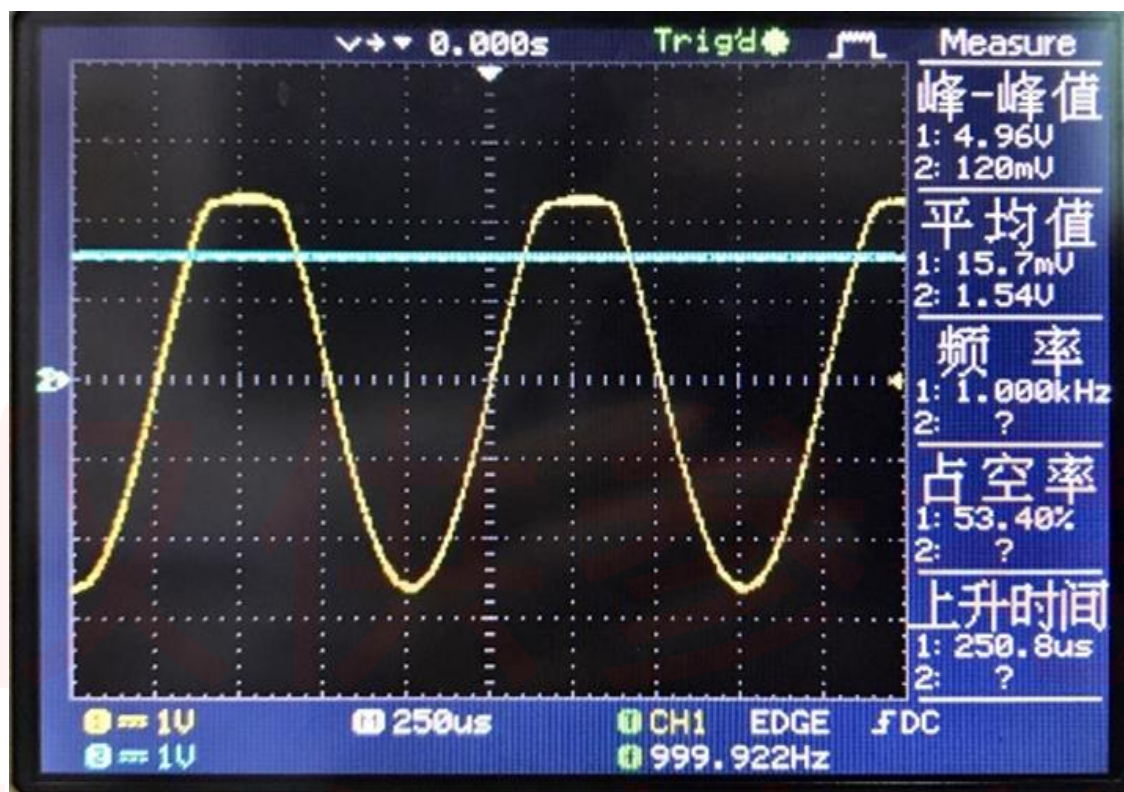


图 10. 接入 $100\mu\text{F}$ 滤波电容后输出波形

$$U_{\text{纹波有效}} = 4.7\text{mV} \quad U_{\text{纹波峰峰}} = 6.6\text{mV}$$

结果分析:

我们可以看到对于10倍大的电容, 纹波电压降低至原先的 $1/10$ 。

观察波形, 我们发现接入较大的电容时, 输出已经几乎可以看作是一条直线了, 在示波器上难以分辨出纹波的存在。

同时在正半周二极管导通时, 从信号源看去, 整个电路的阻抗很低, 尤其是电容尚未充满电时, 而信号源有一个 50Ω 的内阻, 这使得信号源输出端(即示波器 CH1 连接处)电压被拉低, 在波形图上可见波峰被“削平”。

在理论上对半波整流输出电压纹波有公式

$$U_{\text{纹波峰峰}} = \frac{I_{pp}}{fC} = \frac{5\text{V}/1\text{k}\Omega}{1\text{kHz} \times 10\mu\text{F}} = 50\text{mV}$$

$$U_{\text{纹波有效}} = U_{\text{纹波峰峰}}/\sqrt{2} = 35.36\text{mV}$$

$$U_{\text{纹波峰峰}} = \frac{I_{pp}}{fC} = \frac{5\text{V}/1\text{k}\Omega}{1\text{kHz} \times 100\mu\text{F}} = 5\text{mV}$$

$$U_{\text{纹波有效}} = U_{\text{纹波峰峰}}/\sqrt{2} = 3.536\text{mV}$$

计算结果与实测纹波电压相近，电容值增加10倍而纹波降至1/10的结果也与理论中纹波电压与电容 C 反比相符。

可能导致误差的原因有

1. 实验中纹波电压较小，使用交流毫伏表测量时毫伏表误差较大，易受噪声干扰。
2. 实验中电容容量不准，采用的电解电容相对容差一般较大，可能会偏离标称值较多。
3. 滤波电容的等效串联电阻会影响电容充放电速度，从而使滤波效果变差。

实验二：钳位电路

测量结果：

当二极管正极与电源正极相连时，测得各项电压数据与波形图如下

$$U_{op+} = 1.60\text{V}$$
$$U_{op-} = -3.44\text{V}$$
$$U_{\text{钳位电压}} = -931\text{mV}$$

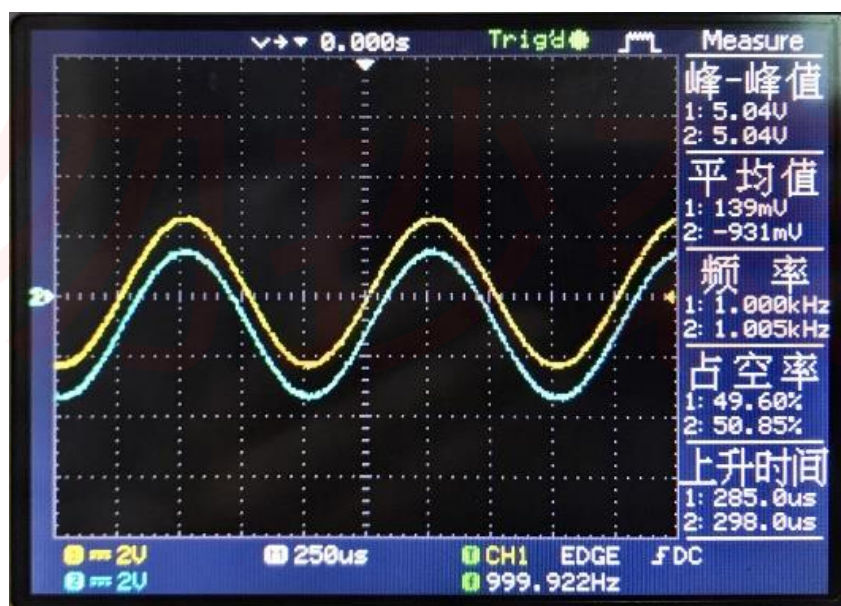


图 11.正向连接二极管钳位电路输出波形

当二极管正极与电源负极相连时：

$$U_{op+} = -400\text{mV}$$

$$U_{op-} = -5.44\text{V}$$

$$U_{\text{钳位电压}} = -2.90\text{V}$$

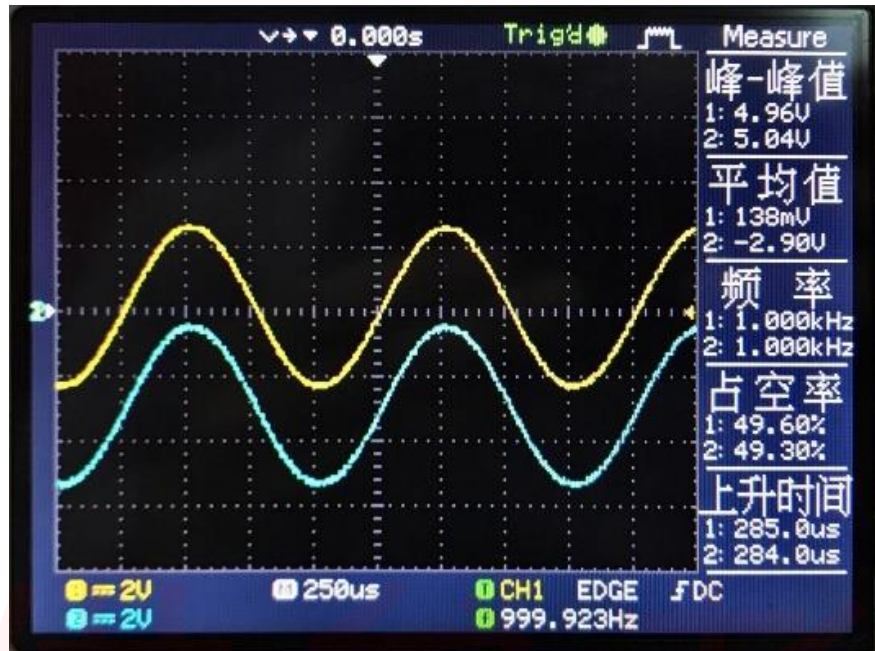


图 12.反向连接二极管钳位电路输出波形

结果分析：

当二极管正极与电源正极相连时，输出电压的最高值钳制为电源电压与二极管压降的代数和：

$$U_{op+} = E + U_{diode} = 1\text{V} + 0.7012\text{V} = 1.7012\text{V}$$

$$U_{\text{钳位电压}} = 1.7012\text{V} - 2.5\text{V} = -0.7988\text{V}$$

实测结果为 $U_{\text{钳位电压}} = -0.931\text{V}$ ，误差为 $\eta = \frac{0.931 - 0.7988}{0.7988} \times 100\% = 16.5\%$ ；

当二极管正极与电源负极相连时，同理：

$$U_{op+} = E + U_{diode} = -1\text{V} + 0.7012\text{V} = -0.2988\text{V}$$

$$U_{\text{钳位电压}} = -0.28\text{V} - 2.5\text{V} = -2.7988\text{V}$$

实际结果为 $U_{\text{钳位电压}} = 2.90\text{V}$ ，误差为 $\eta = \frac{2.90 - 2.7988}{2.7988} \times 100\% = 3.62\%$

从结果上来看，钳位电压有一定误差。

误差可能的来源有以下几个：首先在进行理论考虑时，认为由于电容很小，充放电过程是近乎瞬间完成的，但是实际情况中这是需要时间的，因此有一些不相符合。虽然实验中信号频率相当低，但是二极管的交流特性可能对实验也有影响。

实验三：限幅电路

测量结果：如各波形图与折线图上数据标注

当二极管正极与恒压源正极相连时：

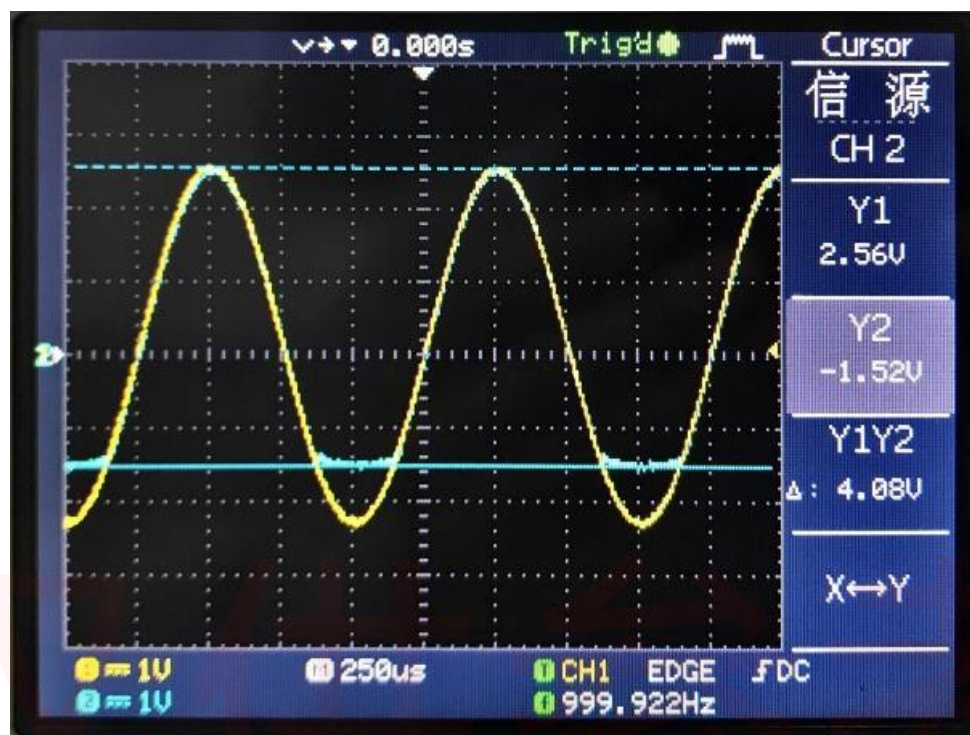


图 13.限幅电路输出波形



图 14(a).限幅电路输出特性曲线

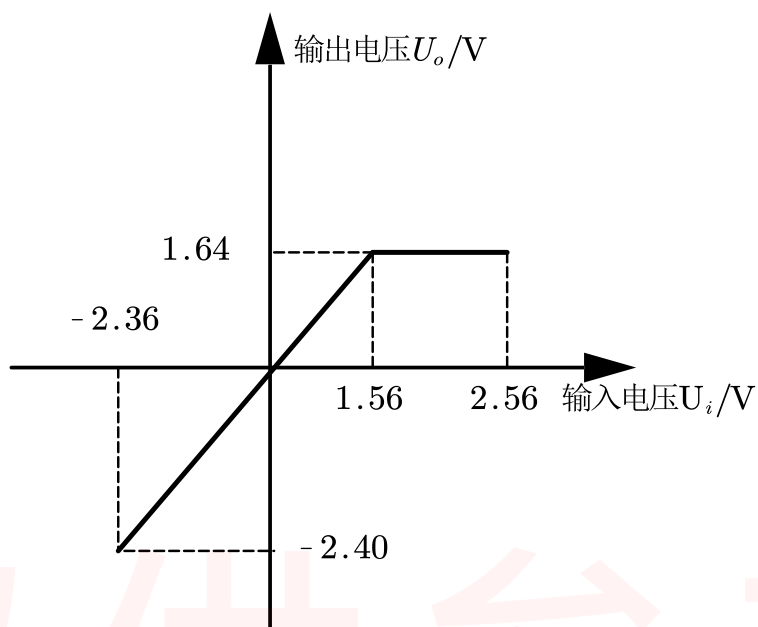


图 14(b).限幅电路输出特性曲线 (与数据标注)

$$U_{op} = 1.64V$$

$$U_{iT-} = 1.56V \text{ (开始限幅时的输入电压)}$$

当二极管正极与恒压源负极相连时:

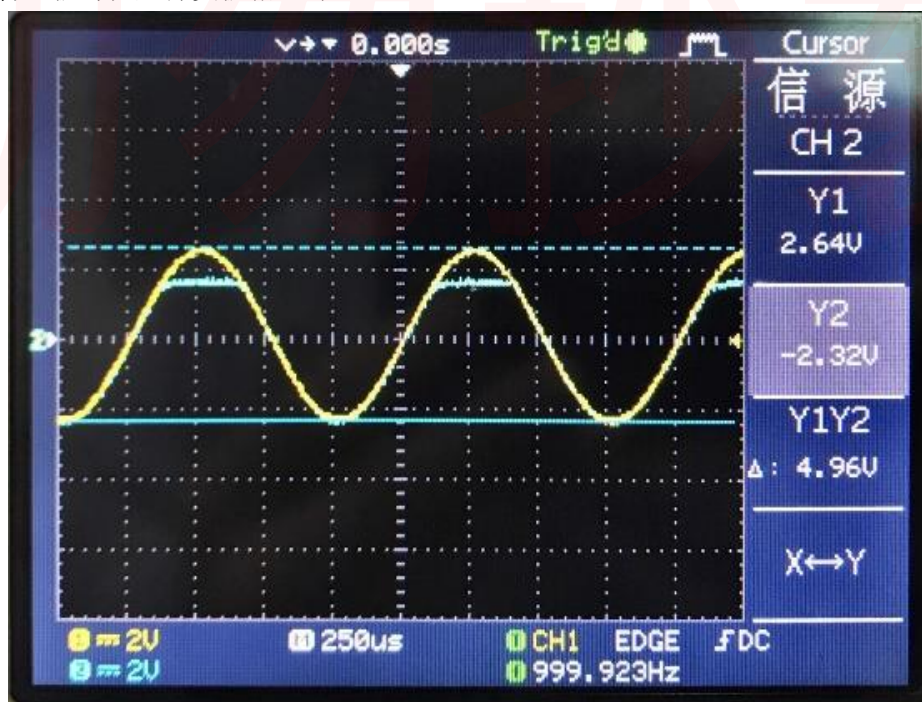


图 15.限幅电路反接时输出波形图

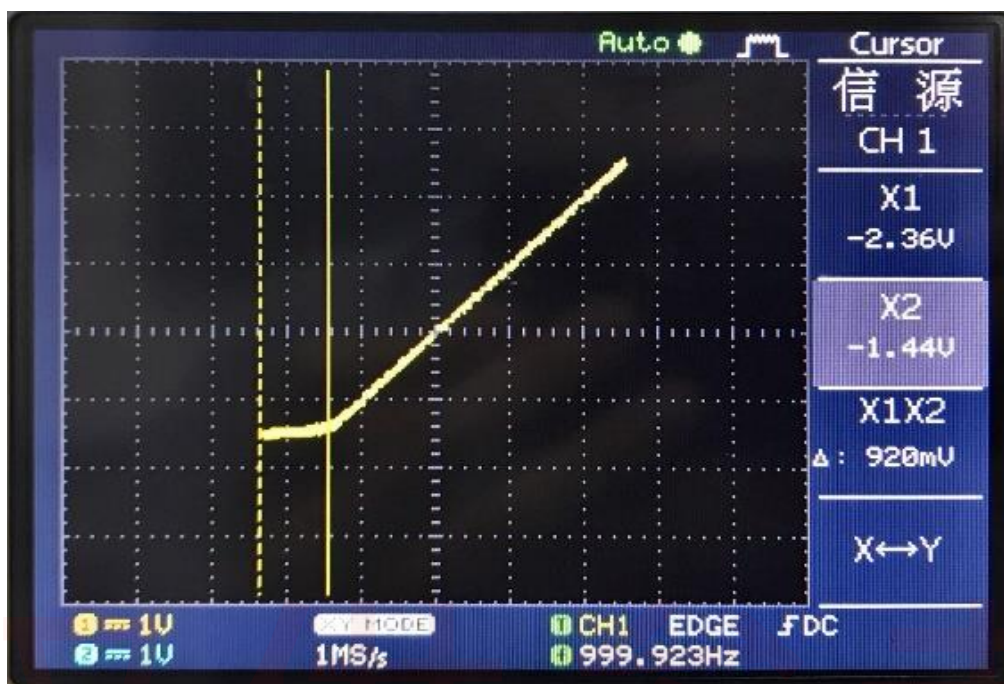


图 16(a).限幅电路反接时输出特性曲线

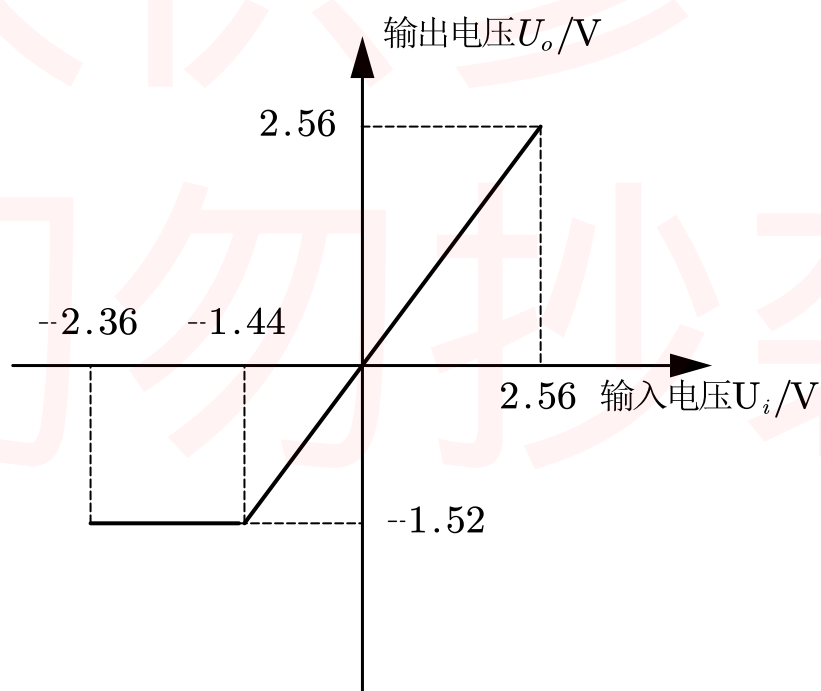


图 16(b).限幅电路反接时输出特性曲线（与数据标注）

$$U_{op} = -1.52\text{V}$$

$$U_{iT-} = 1.44\text{V (开始限幅时的输入电压)}$$

实验四：稳压电路

测量结果与数据分析：

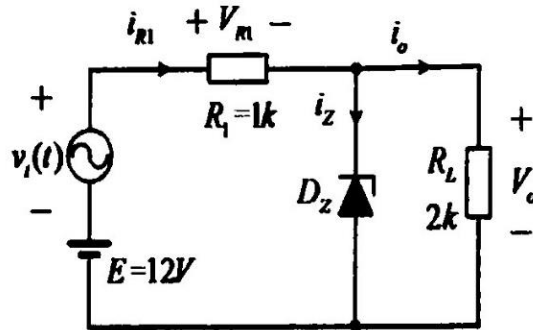


图 17. 稳压管稳压实验电路

实验中研究了稳压二极管的特性，首先用万用表直流电压挡测得其稳定电压为

$$V_z = 6.1534V$$

这与二极管玻璃封装上的 6V2 文字标识相符。

在接入 $0.1\sqrt{2}\cos(2\pi \times 10^3 t)V$ 交流信号（使用示波器标定幅度）后，使用交流毫伏表测出

$1k\Omega$ 的串联电阻 R_s 上的压降有效值为

$$V_{RL} = 95.2mV$$

负载电阻 R_L 上的压降有效值为

$$V_o = 0.956mV$$

可计算出通过各支路的电流有效值分别为

$$I_{RL} = \frac{V_{RL}}{R} = 95.2\mu A$$

$$I_o = \frac{V_o}{R_L} = 0.478\mu A$$

最后得到齐纳二极管此时的瞬时等效电阻为

$$r_z = \frac{V_o}{(I_{RL} - I_o)} = \frac{0.956mV}{95.2\mu A - 0.478\mu A} = 10.09\Omega$$

这个数值在普通稳压管的指标范围内。

实验总结:

在本次实验中,我们试验了晶体二极管的几种常见电路,运用1N4147开关二极管搭建了整流、钳位、限幅电路,使用6.2V稳压管测试了稳压电路。实验中利用了晶体二极管的单向导电性、齐纳击穿特性等等,结合二极管的理想模型、恒压降模型、电源电阻模型对结果进行了分析。

在整流电路中由于二极管的单向导电性,输入信号小于零时输出电压被固定在零,输入信号大于零时二极管导通,不计二极管压降时输出与输入相同,这样输出即为直流。二极管压降的存在使得输出波形占空比有所下降;这时的直流输出中包含很大幅度的交流谐波分量,在很多场合会带来问题,常常需要接入滤波电容。在接入滤波电容后,可见输出变得接近恒定,可看出波形变为一个直流电压与较小的纹波的叠加。此时接入的电容容量越大,输出越平稳,纹波电压越小;

在钳位电路中,输入信号最高点会被钳制在恒压源电压处;实验测得的钳位电压与理论预测有15%左右的误差,这说明我们的模型中对于二极管的描述是有效但不精确的。

在限幅电路中,信号高于某一阈值的部分会被截去,其原理和整流电路类似,我们通过示波器的XY扫描模式测量了电路的一些参数;

最后,我们测量了并联稳压管稳压电路的特性,并且根据测量数据得到了稳压二极管在反向击穿工作时的等效电阻,其数值在 10Ω 左右。

思考题:

问 1: 二极管在什么工作条件下可以等效成一个电压源,在什么工作条件下可以等效为一个小电阻?

答 1: 在导通情况下且研究较大范围的直流电流电压信号时,二极管的伏安特性曲线很陡峭,此时可以将其等效为一个电压源;在二极管反向击穿时,若管子未过热损坏,此时的伏安特性曲线也可等效于一个电压源。

在二极管两端输入一个交流小信号与一个可以使二极管导通的直流偏置,这时对于输入的交流小信号,二极管可以等效为一个小电阻;当然在二极管处在反向击穿状态时,输入对应的较高电压的反向偏置与交流小信号时,对小信号也可等效为小电阻。

问 2: 说明稳压管并联稳压电路的工作原理。

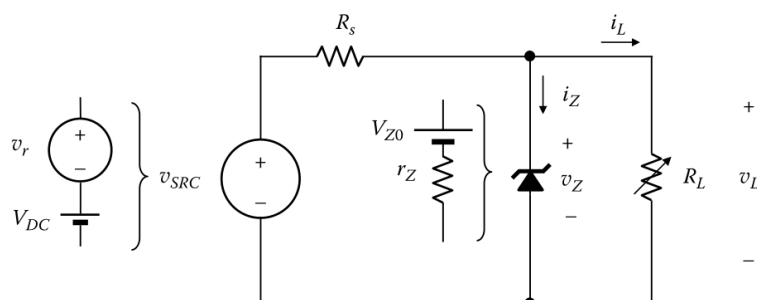


图 18.稳压管稳压电路

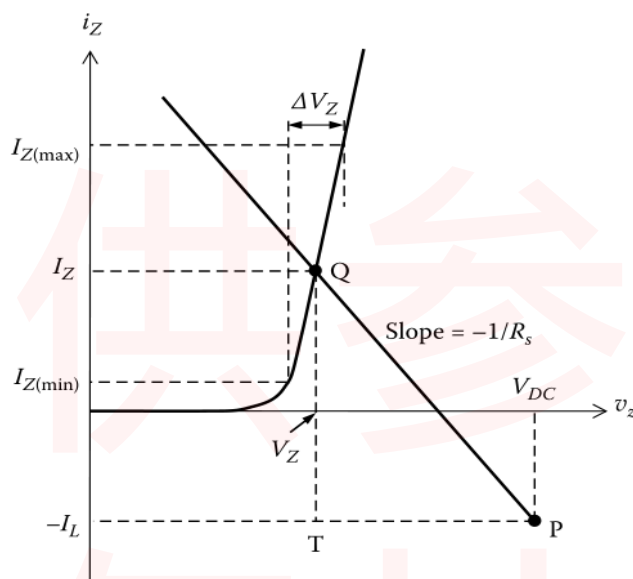


图 19.稳压管稳压电路伏安特性曲线分析图

答 2: 在如图 18 所示的二极管稳压电路中，齐纳二极管能够发挥稳压的作用。图 19 是齐纳二极管的典型伏安特性曲线（注意齐纳二极管正负端规定相反），当齐纳二极管反向击穿的时候，其等效为一个直流电压源 V_{Z0} 与一个很小的电阻 r_z （实验中测得约为 10Ω ）的串联，伏安特性曲线接近于经过 V_Z 点的一条竖直线。也就是说，在反向击穿的区域内，即便电流有急剧的变化，齐纳二极管两端的电压仅发生很小的变化，起到稳定的效果。或者说当电源输出因为某些原因有一个小的增量时，负载 R_L 上的电压有增大的趋势，然而反向击穿时的齐纳二极管动态电阻 r_z 很小，分担了大部分电流，导致限流电阻与电源内阻 R_s 上的电压降增大，从而在一定程度上起到了负反馈的作用，抵消了电压源增大的影响。若电源输出减小，情况完全类似。这样就能起到稳定电压的作用。

问 3: 设计一个全波整流电路，并对电路进行分析说明。

答 3: 一种设计是桥式整流电路：

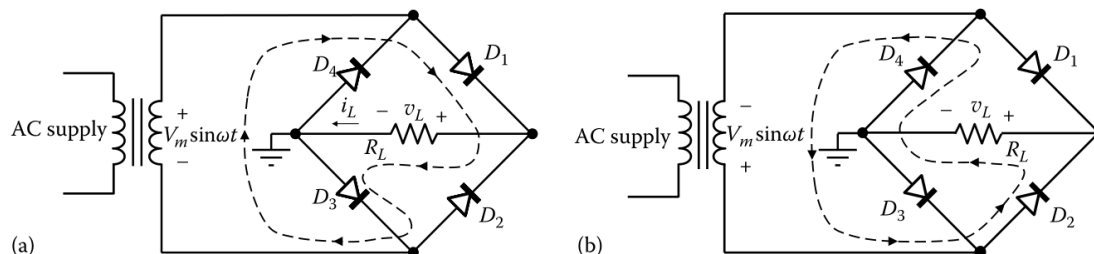


图 20.全桥全波整流电路

当输入电压瞬时极性如图 20. (a), 此时 D_1, D_3 导通, 电流顺 $D_1 \Rightarrow R_L \Rightarrow D_3$ 的路径流过 R_L ,

此时有 $V_L = V_m \sin \omega t$ 。

当输入电压瞬时极性变负, 如图 20. (b) 示时, 此时 D_2, D_4 导通, 电流顺 $D_2 \Rightarrow R_L \Rightarrow D_4$ 的

路径流过 R_L , 此时有 $V_L = -V_m \sin \omega t$ 。

综上所述, 负载两端电压 $V_L = |V_m \sin \omega t|$, 电路起到了全波整流的作用。

也可使用中心抽头变压器 (CTT) 全波整流电路, 电路设计如图 21

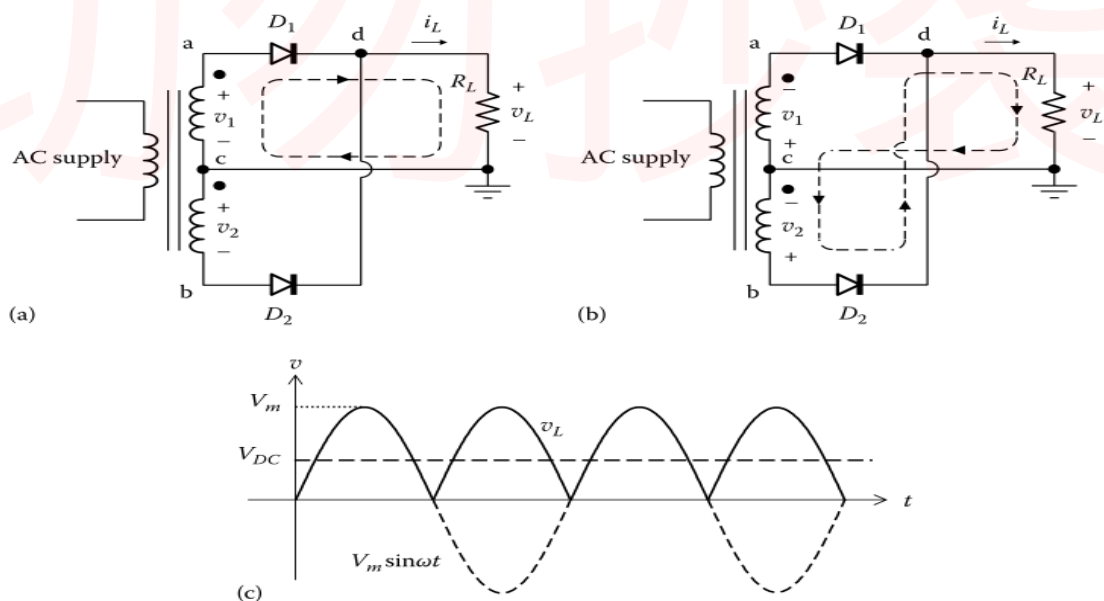


图 21.中心抽头变压器全波整流电路

在正负半周时瞬时极性与电流方向已标注于图上。

在图(a)中正半周来临时， D_1 正偏，电流流过变压器次级，此时变压器a,d端等效于被短接，

D_2 反偏，不导通，输出正向电压。

在图(b)负半周来临时， D_2 导通， D_1 截止，输出方向与正半周完全相同。

综上所述不计管压降时输出即为 $|V_m \sin \omega t|$ ，可起到全波整流作用。

参考文献：

Sabah N H. Electronics: basic, analog, and digital with PSpice[M]. CRC Press, 2009.

部分示意图来自网络。

仅供参考
切勿抄袭

实验五 差分放大器

韩振、邱哲儒

(PB15000009、PB15000034)

2017年11月1日

1 实验目的

- 熟悉差分放大器的原理、工作特性和用途。
- 学习了解差分放大器主要性能指标及其含义。
- 了解恒流偏置对于差分放大器作用

2 实验原理

差分放大电路是一种利用了对称电路和负反馈来确保工作点稳定的放大电路，能够抑制共模信号、放大差分信号从而抑制零点漂移。其可通过“恒阻”或“恒流”的方式作为放大管的偏置。

带“恒阻”偏置的差分放大电路如图1a所示

在实际实验板上 $R_{c1} = R_{c2} = R_e = 10k\Omega$ ，均为 3DG6C 型三极管。 $R_{b1} = R_{b2} = 10k\Omega$ ，在两个差分输入端到标志为地的端子间并联有 510Ω 的电阻。

对于差分放大器，输入输出方式可以有四种选择：单/双端输入、单/双端输出，双端输入双端输出时能够发挥差分放大器的最佳性能，使用其他输入输出方式时电路的基本工作原理类似，只是将一端接地。

差分放大电路的输入可以分解为共模分量与差模分量，理论上当电路的两边完美对称时，在输入 $U_{I1} = U_{I2}$ 时，输入只有共模信号分量，输出信号应有 $U_O = U_{C1} - U_{C2} = 0$ 。

当输入信号 $U_{I1} = -U_{I2} = U_I/2$ 时，输入只有差模分量，在保证三极管处于放大区工作状态时，利用三极管的小信号等效模型可以得到双端输出的输出信号 $U_O = -\beta \frac{R_C}{r_{be}} U_I$ ，对差模输入信号有反相放大作用。

另外在两侧电路完全对称时，在电路中无论是温度变化还是电源电压波动都会引起两管集电极电流以及相应的集电极电压相同的变化，其效果相当于在两个输入端之间加入了共模信号电压，可以被完全抵消，使得输出电压不变，这样可以抑制零点漂移的问题。

通常使用共模抑制比 K_{CMR} 来描述差分放大电路的共模抑制性能，其定义为差模放大倍数和共模抑制倍数之比

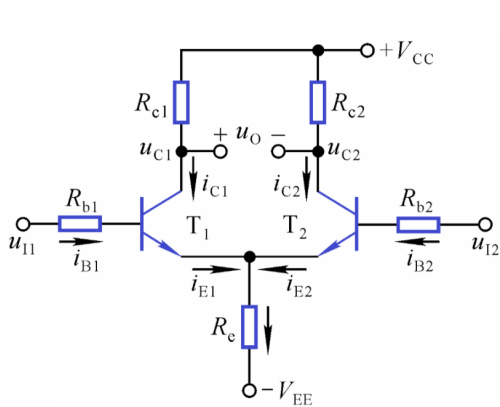
$$K_{CMR} = \left| \frac{A_d}{A_c} \right|$$

常用分贝表示为

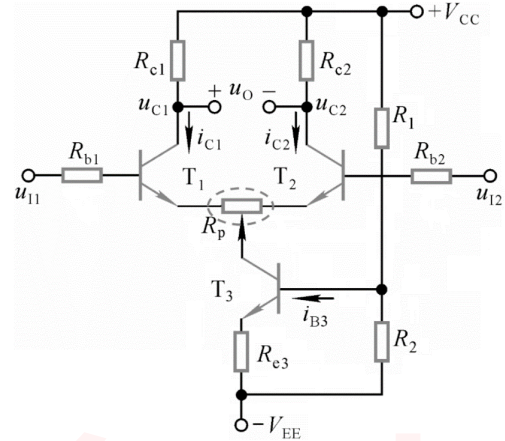
$$K_{CMR} = 20 \lg \left| \frac{A_d}{A_c} \right| \text{dB}$$

对于理想的差分放大器而言，其对共模输入完全没有响应， $K_{CMR} = \infty$ ，实际的 K_{CMR} 与两管的对称程度、 R_E 的大小等参数有关。

提高共模抑制性能的关键之一是提高发射极电阻，实际上可以在发射极连接一个具有很高等效内阻的偏置晶体管恒流源来代替。其电路如图1b所示。

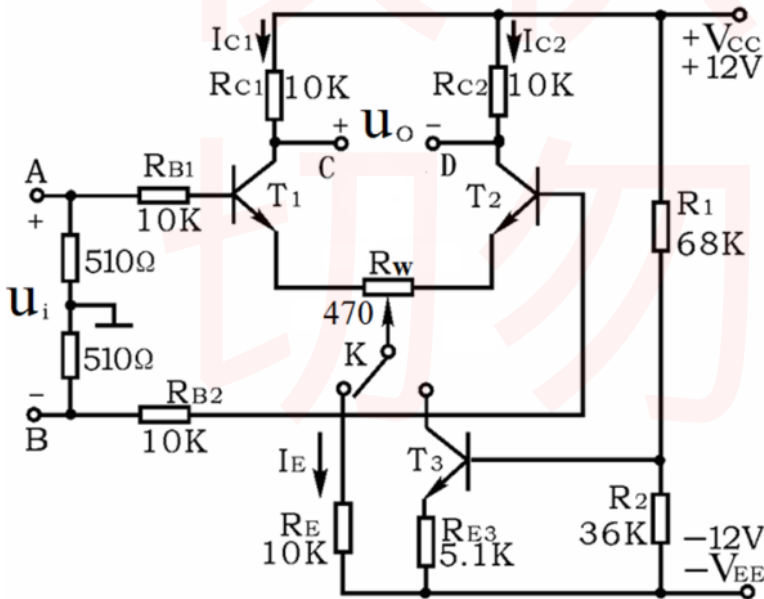


(a) 带“恒阻”偏置的差分放大电路示意

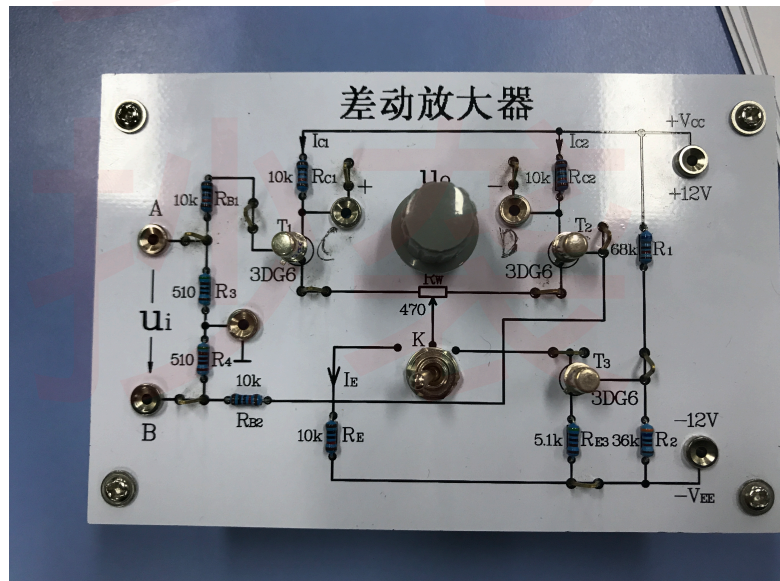


(b) 带“恒流”偏置的差分放大电路示意

在实际实验板上可用开关 K 切换电路为恒阻状态或者恒流状态，电路如图2， T_3 为 3DG6C 型国产老式硅材料 NPN 型高频小功率管， $R_2 = 36k\Omega$ ， $R_{e3} = 5.1k\Omega$ 。



(a) 实际实验电路原理图



(b) 实际实验电路实物图

图 2: 实验电路

在输入信号幅度不太大时，晶体管未达到饱和，这时放大器的传输特性曲线应为一条直线；而当信号幅度太大，出现失真时，传输特性曲线会有一段斜率为 0 的平台区。典型的双极性晶体管差分放大器的传输特性曲线如图3¹所示。

¹引自 Sabah N H. Electronics: basic, analog, and digital with PSpice[M]. CRC Press, 2009

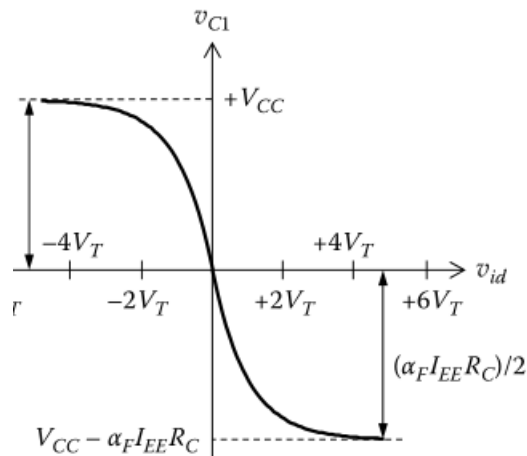


图 3: 差分放大器传输特性曲线

差分放大电路的输入电阻与输出电阻也是重要的性能指标，对于输入电阻 R_i ，在实验电路中由于并联有两个远小于放大部分“真实”输入电阻的 510Ω 电阻，单端输入输入电阻 $R_{ic} \approx 510\Omega$ ，双端输入输入电阻 $R_{id} \approx 1020\Omega$ 。单、双端输出的输出电阻理论值分别为 $2R_c$ 与 R_c ($R_{C1} = R_{C2}$ 时)。

3 数据分析与处理

3.1 直流工作点的测定

实验步骤: 接通 $\pm 12V$ 电源，K 先置为恒阻 (拨向左边)，将 A、B 短路并接地，将数字万用表接到 C、D 点 (相当于输出开路)，调节 R_w 使万用表示数基本为零 (偏差小于 $5mV$)，电路处于对称平衡状态。测量晶体管各关键点电压，再将 K 置为恒流状态后重新调零测量。

测量数据:

表 1: 直流工作点测量数据记录

K 状态	U_{c1}	U_{e1}	U_{b1}	U_{c2}	U_{e2}	U_{b2}
恒阻	6.4899V	-0.73342V	-66.545mV	6.5086V	-0.74875V	-83.115mV
恒流	5.0641V	-0.75199V	-79.863mV	5.0382V	-0.76922V	-98.916mV

结果概述与误差分析:

一、经过调零后， U_{c1} 与 U_{c2} 非常接近，但是相差远远大于调零时做到的偏差在 $5mV$ 以内，这除了万用表在高量程误差较大的影响之外，可能还与温度等参数的随机不对称的波动有关。实验中我们尝试在输出端用万用表监视时用手轻微触碰晶体管 T_1, T_2 的金属外壳，在短 ($< 1s$) 而轻的碰触过程中，输出电压可以有高达 $\pm 20mV$ 的波动，可见温度极其微小的变化对电路输出的影响也是很明显的。

二、在理想情况下，电路中工作点的几个参数间是互相关联的，可以用一些计算出另一些参数的理论值，现在通过 V_c 的计算值与测量值的偏差来显示实验的误差。理论上在恒阻模式下，调零完成后，电位器 R_w 两侧的阻值均只有 $470/2 = 235\Omega$ 左右，远小于 $R_{c1} = R_e = 10k\Omega$ 的标称值，甚至小于这两个电阻的容差，可以不计，同样此时可以不计 U_i 处的两个 510Ω 的电阻，认为两管对称，使用实测

的其他静态工作点电位值可算出

$$I_e = \frac{U_e - V_{EE}}{R_E} = \frac{(12 - (0.73342 + 0.74875))/2}{2 \times 10 \times 10^3} = 0.56295mA$$

$$I_{b1} = -U_{b1}/R_{B1} = 66.545mV/10k\Omega = 6.6545\mu A$$

$$I_{b2} = -U_{b2}/R_{B2} = 83.115mV/10k\Omega = 8.3115\mu A$$

$$I_c = I_{e1} / \left(1 + \frac{1}{\beta}\right) = 0.56295mA / \left(1 + \frac{1}{\beta}\right)$$

认为 β 的值较大

$$I_c = 0.56295mA$$

$$U_{c\text{计算}} = V_{CC} - I_c \times R_C = 12 - 0.56295 \times 10 = 6.3705V$$

U_c 的计算值 0.7411V 与实际测得值 $U_{c1} = 6.4899mV$ 和 $U_{c2} = 6.5086mV$ 有着一定的差距, 相对偏差为

$$\eta_{c1} = \frac{6.4899 - 6.3705}{6.3705} \times 100\% = 1.87\%$$

$$\eta_{c2} = \frac{6.5086 - 6.3705}{6.3705} \times 100\% = 2.17\%$$

同样在电路置于恒流状态时,

$$I_c = \left(V_{ee} + (V_{cc} - V_{ee}) \times \frac{R_2}{R_1 + R_2} - V_{be3} - V_{ee} \right) / (2 \times R_{E3}) = \frac{(12 - (-12)) \times 36 / (36 + 68) - 0.7}{2 \times 5.1 \times 10^3} = 0.74585mA$$

$$V_{c\text{计算}} = V_{CC} - I_c \times R_C = 12 - 0.746 \times 10 = 4.5415V$$

其也与实际测得值 $U_{c1} = 5.0641V$ 和 $U_{c2} = 5.0382V$ 有着一定的差距, 相对偏差为

$$\eta_{c1} = \frac{5.0641 - 4.5415}{4.5415} \times 100\% = 11.5\%$$

$$\eta_{c2} = \frac{5.0382 - 4.5415}{4.5415} \times 100\% = 10.9\%$$

导致实验数据不完全自洽的原因可能有

- 实验中使用的晶体管放大倍数较小, 计算时做的一些近似不完全合理, 理论值本身并不够准确。
- 实验中 T_1, T_2 两颗晶体管的参数不完全相同, 还会受温度等其他因素影响, 导致实际情况远比计算中复杂。
- 实验中各个定值电阻的阻值不够精确, 导致电流与电压的计算不准确。
- 实验中使用的直流稳压电源的输出偏离 12V 的标准值, 由于实验中使用的电源档次较高, 其影响可能比较有限。

3.2 差模电压放大倍数与输出波形

实验步骤: 从 A 端输入正弦信号, 使用交流毫伏表标定 $U_{iA} = 50mV_{rms}$, $f=1kHz$, B 端接地, 电路为单端输入结构, 输出端开路, 用毫伏表测量单端输出 U_{od1} 和 U_{od2} , 并用示波器测量画出 U_{od1}, U_{od2}

与 U_{od} 的波形如图4。示波器两通道分别接两管集电极输出端，使用数字示波器的数学 (MATH) 功能来实时显示差分输出信号。

此时 U_{OD1} 与 U_{OD2} 相位相反，计算双端输出放大倍数时采用 $U_{OD} = U_{OD1} + U_{OD2}$ 作为输出信号大小。

测量数据:

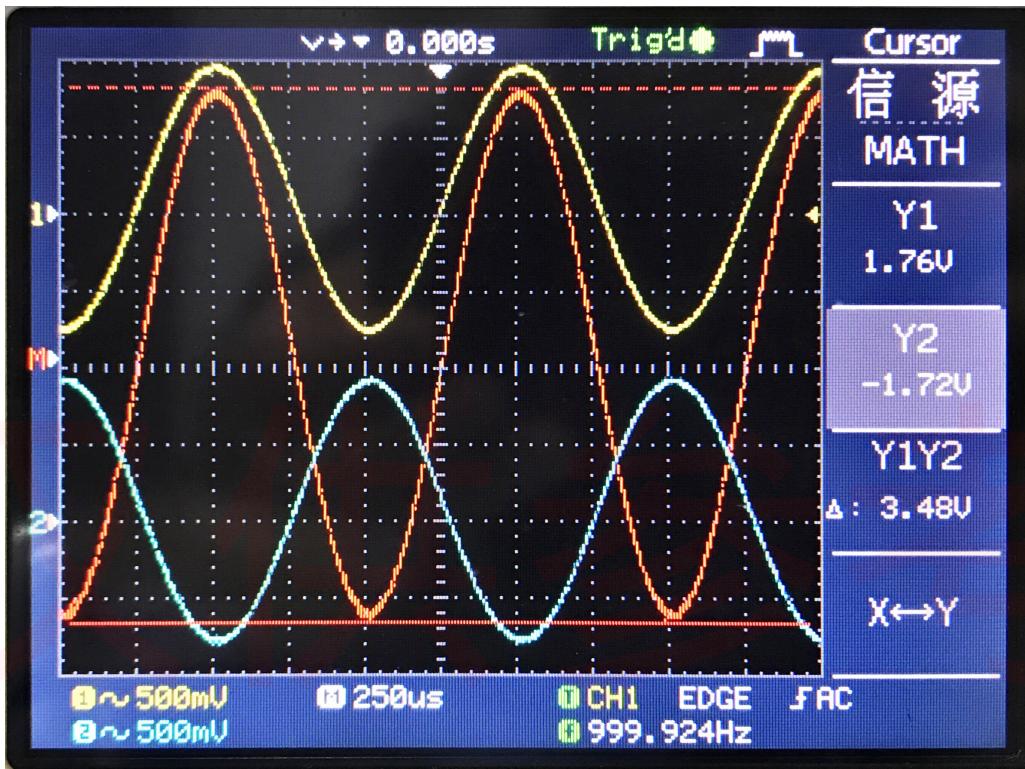


图 4: 差分放大电路差模输入输出波形图

表 2: 差分放大电路输出幅度测量数据记录

K 状态	U_{ia}	U_{od1rms}	U_{od2rms}	$A_d = -U_{od}/(U_{1a} + U_{1b})$	$A_{d1} = -U_{od1}/(U_{1a} + U_{1b})$
恒阻	49.7mV	0.592V	0.563V	-23.24	-11.91
恒流	50.2mV	0.608V	0.603V	-24.12	-12.11

结果概述与误差分析:

一、理论上若两侧电路完全对称，有 $A_{VD} = 2 \times A_{VC}$ ，实测值基本满足这个关系，相对偏差为

$$\eta_{AVDR} = \frac{23.24 - 11.91 \times 2}{11.91 \times 2} \times 100\% = -2.43\%$$

$$\eta_{AVDI} = \frac{24.12 - 12.11 \times 2}{12.11 \times 2} \times 100\% = -0.41\%$$

这个较小的偏差主要来源可能是电路两侧的不对称性。

二、由于测得的电压放大倍数 A_{VD} 相对较小，可估计电路中采用的三极管的放大倍数 β 不超过 50，这个放大倍数对于合格的现代硅材料晶体三极管来说明显偏低，但是考虑到使用的三极管属于国产老式型号，质量档次上可能也较差，这个数值也属正常范围。

3.3 共模电压增益的测算

实验步骤: 将 A、B 两点短路, 从 AB 输入 $U_{Ic} = 200\text{mVrms}$ 的正弦信号, 用毫伏表测量共模单端输出 U_{oc1} 和 U_{oc2} , 并用示波器测量画出 U_{oc1}, U_{oc2} 的波形。示波器 CH1,CH2 两通道分别接差分输出的两路。

此时 U_{oc1} 与 U_{oc2} 同相, 计算双端输出放大倍数时采用 $U_{OC} = U_{oc2} - U_{oc1}$ 作为输出信号大小。
测量数据:

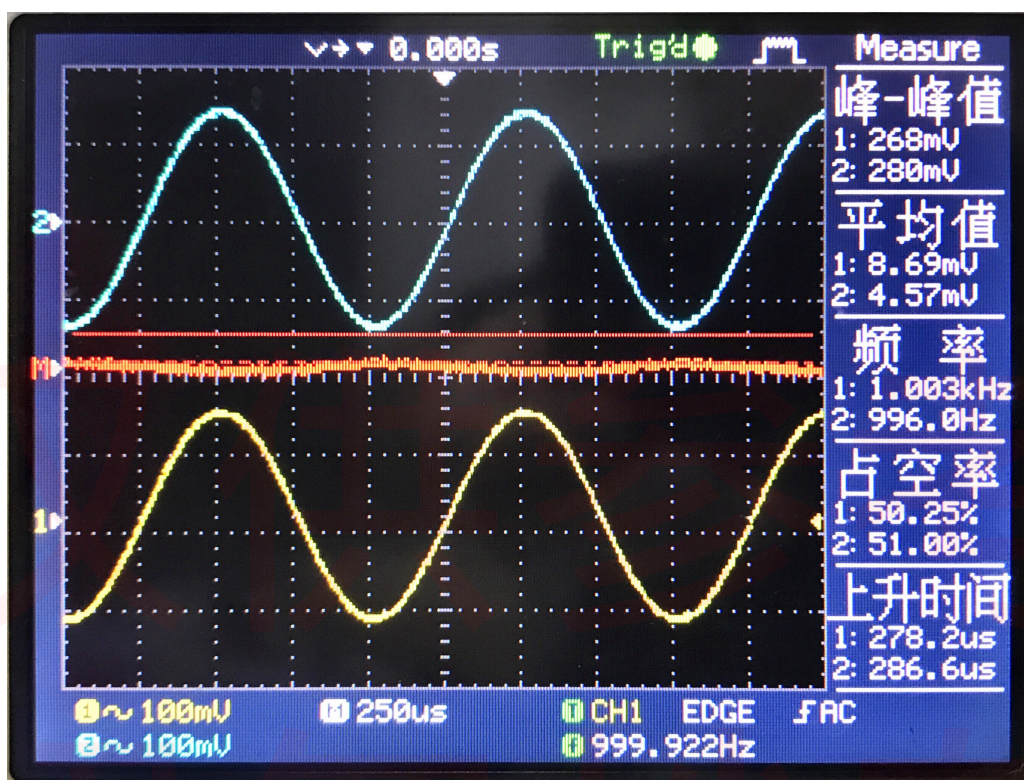


图 5: 差分放大电路共模输入输出波形图

表 3: 共模电压增益测算数据记录 (所有数值均为交流有效值)

K 状态	U_{ic}	U_{c1}	U_{c2}	$A_c = (U_{C1} - U_{C2})/U_{ic} = U_{oc}/U_{ic}$	$A_c = -U_{oc}/U_{ic}$
恒阻	200.2mV	94.8mV	98.1mV	0.0165	-0.474
恒流	200.0mV	0.678mV	0.571mV	5.35×10^{-4}	-3.39×10^{-3}

结果概述与误差分析:

一、在使用双端输出时, 若两侧电路完全对称, 输出信号幅度应严格为零, 考虑实际情况时, 恒流工作的等效 R_e 大于恒阻工作时确定的 $R_e = 10\text{k}\Omega$, 共模抑制性能会更好, 实际测得输出增益在恒阻模式下为 0.0165, 在恒流模式下为 5.35×10^{-4} , 相对大小关系与预期一致, 同时说明差分放大电路具有较好的共模抑制能力。

二、在使用单端输出、恒阻模式时, 共模电压增益有公式

$$A_{vc1} \approx -\frac{R_c//R_L}{2R_e} = -\frac{10\text{k}}{2 \times 10\text{k}} = -0.5$$

实验中测得增益为 0.474，相对误差为

$$\eta = \frac{0.5 - 0.474}{0.5} \times 100\% = 5.2\%$$

测量值与预期基本符合，带来偏差的主要原因有

- 电路中各个电阻阻值的偏差
- 公式本身的近似性，和未考虑电阻 R_B 的分压作用带来的影响。

在使用单端输出、恒流模式时，共模抑制性能主要与恒流管 T_3 的基区宽度调制效应强度有关，实际测得输出增益为 3.39×10^{-3} ，在正常参数范围内。

3.4 测量差模输入电阻

实验步骤: 将开关置于恒阻状态，电路调零后，在信号源 U_s 和输入端之间串接一个 $R_s = 1k\Omega$ 的电阻， $U_s = 100mV_{rms}, f=1kHz$ ，使用交流毫伏表测量 U_s 和 U_{IA} ，计算了差模单端输入时的输入电阻 R_i 。

测量数据:

$$V_{i(rms)} = 33.19mV$$

$$V_{s(rms)} = 99.7mV$$

可算出

$$R_i = \frac{v_i}{v_s - v_i} \times R_s = \frac{33.19}{99.7 - 33.19} \times 1 = 499\Omega$$

结果概述与误差分析:

此时对于差分放大部分的输入电阻 $2r_{be} + R_{B1} > 10k\Omega$ 来说，输入端并联的 510Ω 电阻远远较小， 499Ω 的测量值与其 510Ω 的标称值相当接近，实验较为准确。

3.5 测量差模单端输出电阻

实验步骤: 将开关置于恒阻状态，电路调零后，令 $U_{iA} = 100mV_{rms}, f=1kHz$ ，用毫伏表测量空载时的 U_{od1} ，再测量有载 (将 $R_L = 10k\Omega$ 并接在 T_1 的集电极和地之间) 时的 U_{od1L} ，计算差模单端输入、单端输出时的输出电阻 R_o 。

测量数据:

$$R_s = 10.009k\Omega$$

$$U_{od1L(rms)} = 0.602V$$

$$U_{od1(rms)} = 1.188V$$

可算出

$$R_o = \left(\frac{v_o}{v_L} - 1 \right) R_L = \left(\frac{1.188}{0.602} - 1 \right) \times 10.009 = 9.74k\Omega$$

结果概述与误差分析: 理论上对于单端输出的输出电阻有

$$R_o = R_c = 10k\Omega$$

结果的相对误差为

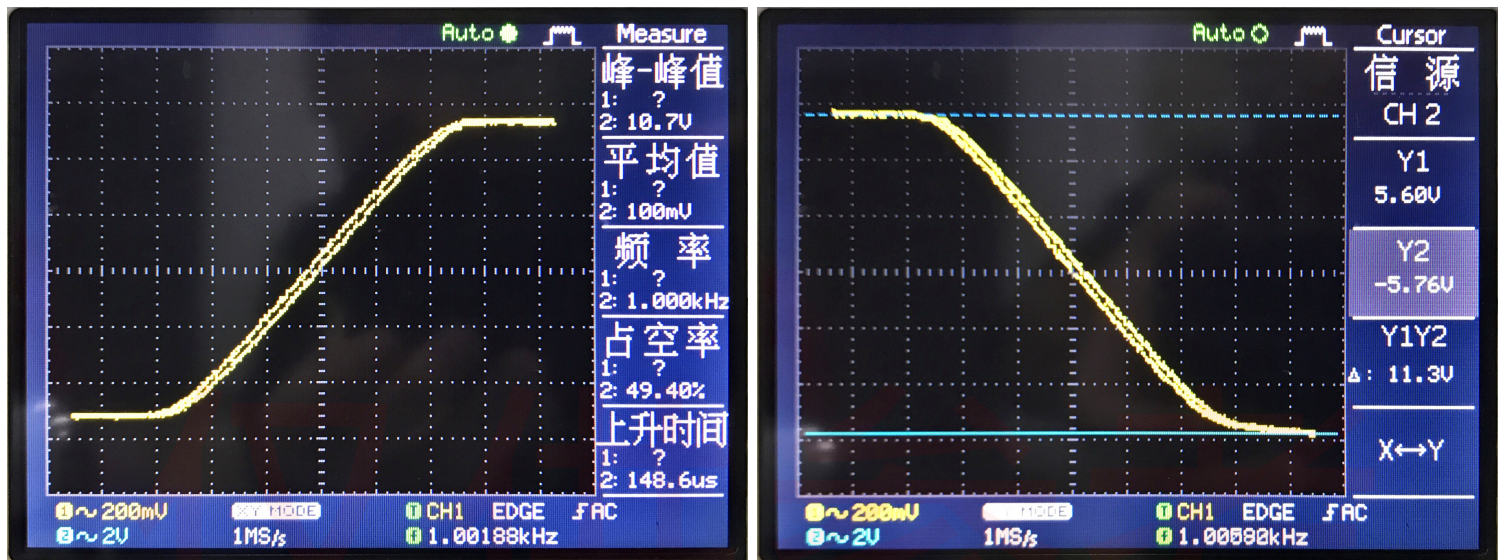
$$\eta = \frac{10 - 9.74}{10} = 2.6\%$$

此项误差主要来源于放大电路中 R_c 阻值的偏差，实验中的 $10k\Omega$ 负载电阻的误差和交流毫伏表的测量误差。虽然公式 $R_o = R_c$ 有近似性，且晶体管特性较差，但是其带来的误差占比并不大。

3.6 测量差模电压传输特性

实验步骤: 将开关 K 置于恒阻模式, 输入正弦信号 $f=1\text{kHz}$, 用示波器的 XY 模式观察电压传输特性曲线, 逐渐增大 u_{IA} , 使输出进入限幅区, 观察并记录差模电压传输特性曲线, 测算两条曲线线性区的斜率 $K_1 = U_{od1}/U_{id}, K_2 = U_{od2}/U_{id}$ 。

测量数据: 实验测得电压传输特性曲线如图6所示



(a) 实际电压传输特性曲线 (输出端 1)

(b) 实际电压传输特性曲线 (输出端 2)

图 6: 实际电压传输特性曲线

在示波器上进行光标读出测量, 可得

$$K_{\text{恒阻}} = \frac{1.5\text{V}}{130\text{mV}} = 11.54$$

$$K_{\text{恒流}} = \frac{1.5\text{V}}{138\text{mV}} = 10.87$$

结果概述与误差分析: 在图6中我们观察到了传输特性曲线的线性段与幅度较大时的失真现象, 同时还注意到传输特性具有微弱的滞回特性。在线性区段使用光标读出测得的斜率 K_1, K_2 与之前 3.2 小节的实验中测得的差模增益 A_d 基本一致。误差主要来自示波器模拟通道精度、ADC 分辨率以及光标读出时的噪音和人眼判读误差的影响。

3.7 共模抑制比的计算

据共模抑制比的定义式, 可知

$$K_{CMR\text{恒阻}} = 20\lg \frac{23.24}{0.0165} = 62.98\text{dB}$$

$$K_{CMR\text{恒流}} = 20\lg \frac{24.12}{5.35 \times 10^{-4}} = 93.08\text{dB}$$

表 4: 共模抑制比计算结果

K 状态	A_d	A_c	K_{CMR}
恒阻	23.24	0.0165	62.98dB
恒流	24.12	5.35×10^{-4}	93.08dB

4 实验心得与体会

在本实验中，我们研究了由双结型晶体管构成的差分放大电路在“恒阻”和“恒流”模式下对差模信号和共模信号的响应，同时对差分放大器的差模/共模的单端/双端增益，差模输入/输出电阻，共模抑制比等重要参数进行了测量。测量结果基本与差分放大电路的原理相符合，也注意到输入端并联的 510Ω 电阻对输入电阻的影响，同时发现实验中使用的晶体管的放大倍数较低。

通过这个实验，我们对差分放大器对于差模信号的增益作用和共模信号的抑制作用有了更深刻的理解，同时也了解了差分放大器中零点漂移的问题与其对策，加深了对其性能和特点的理解。同时还锻炼了使用基本电子学测量仪器和数据分析的能力。

5 思考题

问 1: 为什么电路在工作前需进行调零?

答: 因为差分放大电路的工作原理依赖于电路的对称性，差分放大电路的共模抑制、差分放大特性在电路越接近对称的情况下越明显。而实际电路中两晶体管的 β, r_{be} 等参数，电路两侧电阻阻值可能受到制作工艺、外部环境等原因的影响，电路的对称性被破坏，因此需要调零使得电路重新回到对称状态上。

问 2: 差分放大器的差模输出电压是与输入电压的差还是与输入电压的和成正比?

答: 在理想情况下差分放大器的差模输出电压和输入电压之差成正比，即和 $\Delta U_I = U_{I1} - U_{I2}$ 成正比。实际上由于共模抑制比并非无穷大，输出电压对输入电压的和也有一定的响应。

问 3: 单端输出对于共模信号是否具有抑制作用?

答: 单端输出的差分放大电路并不能像双端输出电路这样完全抑制共模信号分量，但是其共模增益 $A_{vc1} \approx -\frac{R_c // R_L}{2R_e}$ ，在参数合适是可以获得小于 1 的共模增益，可以对共模信号有一定的抑制效果。对于本次实验的实际电路， $R_e = 10k\Omega, R_c = 10k\Omega$ ，在输出开路时 $A_{vc1} \approx -\frac{1}{2}$ ，说明输出信号中共模信号幅度减小了一半，可见其对共模信号确有抑制作用。

另外如果考虑对差模信号的放大效果，考虑差模信号与共模信号之比，由于其共模抑制比 $K_{CMR1} \approx \beta r_o / r_{be}$ 一般大于 1，相对而言对共模信号确有抑制效果。

实验六 编码器和译码器

韩振、邱哲儒

(PB15000009、PB15000034)

2017年11月7日

1 实验目的

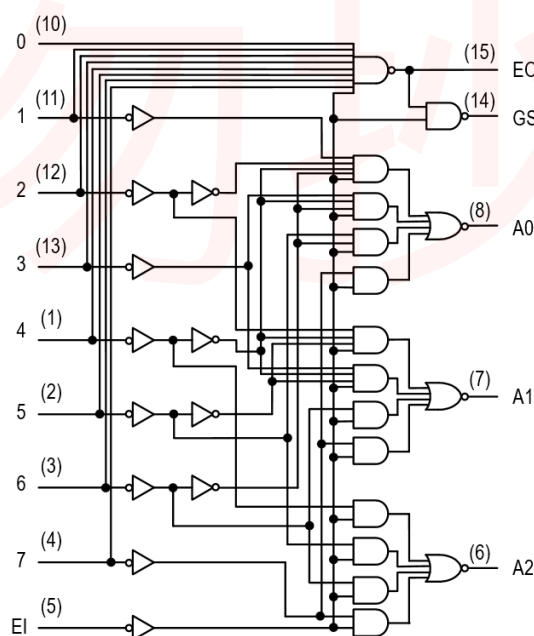
- 熟悉集成电路编码器、译码器的工作原理和逻辑功能。
- 掌握编码器、译码器的级联方法，了解编码器、译码器的应用。

2 实验原理

2.1 编码器

数字系统中存储或处理的信息，常常使用二进制码表示，用一个二进制码表示特定含义的信息（往往是一组信号中的单个有效信号电平）称为编码。具有编码功能的逻辑电路称为编码器。

常用的 8-3 线优先编码器 74LS148 结构如图1所示



SN54/74LS148

图 1: 74LS148 结构原理图

编码器有普通编码器和优先编码器之分。普通编码器任何时刻只允许一个输入信号有效，否则将产生输出错误。优先编码器允许多个输入信号同时有效，输出的是优先级别高的输入信号的编码。

74LS148 是一款典型的 8 线-3 线优先编码器，其逻辑结构如图1所示，其有低电平有效的八个信号输入 $\bar{I}_0 \sim \bar{I}_7$ 和一个片选信号输入 \bar{ST} 或 \bar{EI} ，片选信号输入不为低电平时电路不工作，输出全高，具有低电平有效的三位输出 $\bar{A}_0 \sim \bar{A}_2$ 以及两个辅助输出 EO, GS 。当有多个输入同时有效时，电路的状态仅受到序号最大的零位位置影响，并用低电平有效的输出以二进制形式表示。输出 EO 仅在输入全为无效时输出低电平； GS 也可以指示输入是否全为无效，除了片选无效时，输出均与 EO 相反。这两个输出是对编码器进行级联所必须需要的。

2.2 译码器

译码是编码的逆过程，它的功能是将具有特定含义的二进制码地址转换成对应的单一输出信号，具有译码功能的逻辑电路称为译码器。

典型的译码器 74LS138 的逻辑结构如图2所示

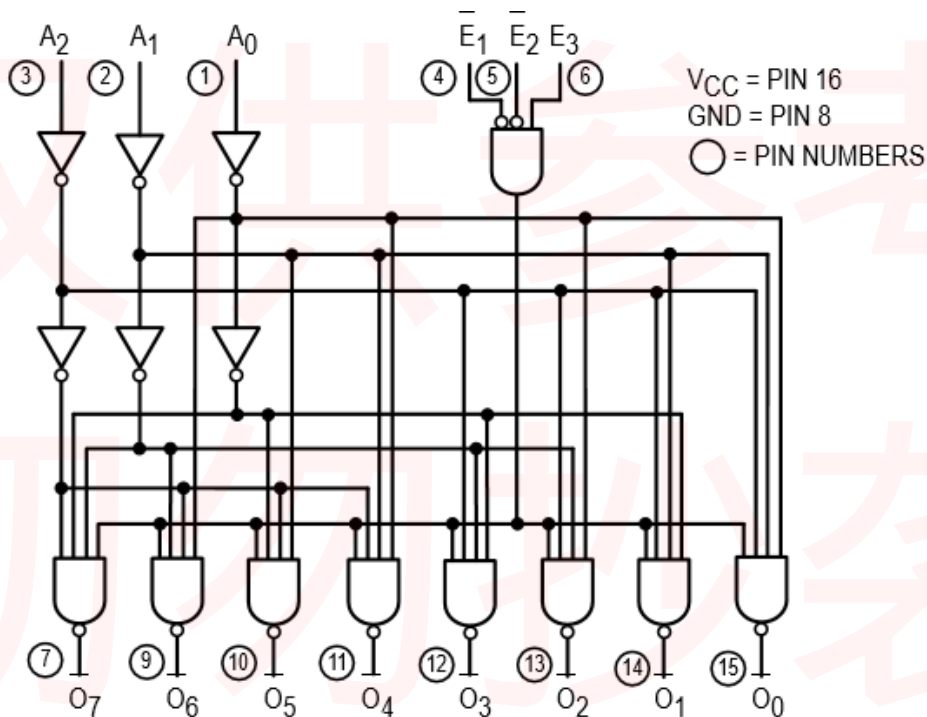


图 2: 74LS138 结构原理图

输入中的 $A_0 \sim A_2$ 是高电平有效的地址输入， \bar{E}_1, \bar{E}_2 是低电平有效的使能输入端， E_3 为高电平有效的使能端， $\bar{O}_0 \sim \bar{O}_7$ 是低电平有效的输出。

如果需要更多线的输出，可以将多个译码器级联使用，如可按图3所示用两片 74LS138 级联完成 4 线-16 线译码。

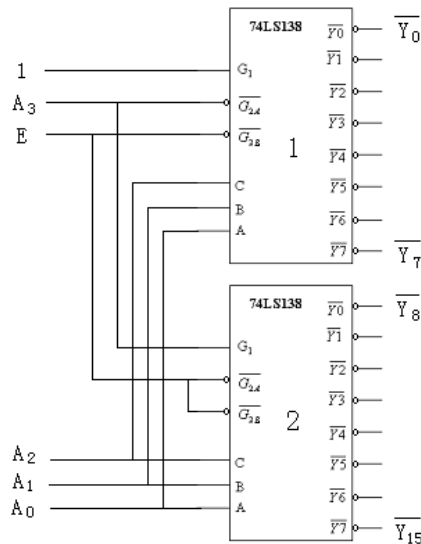


图 3: 74LS138 级联组成 4 线-16 线译码器

当 $E = 1$ 时，两个译码器均不工作，输出都为高电平。当 $E = 0$ 时，译码器工作。当 $A_3 = 0$ 时，1 号片工作，输出由输入二进制代码 $A_2A_1A_0$ 决定。当 $A_3 = 1$ 时，1 号片不工作，输出全为高电平 1。2 号片工作，输出由输入二进制代码 $A_2A_1A_0$ 决定。由此可以实现 4 线-16 线译码功能。

另外还有专用于共阴极七段数码管 (其不支持小数点位) 显示译码的 CD4511 译码器，其可以将 BCD 码输入经过输入缓冲器、译码器、输出驱动器转换成为一系列可直接驱动共阴极数码管的输出，对于不大于 1001 的数据输入，输出为对应的显示编码，对于大于 1001 的数据输入，输出消隐。

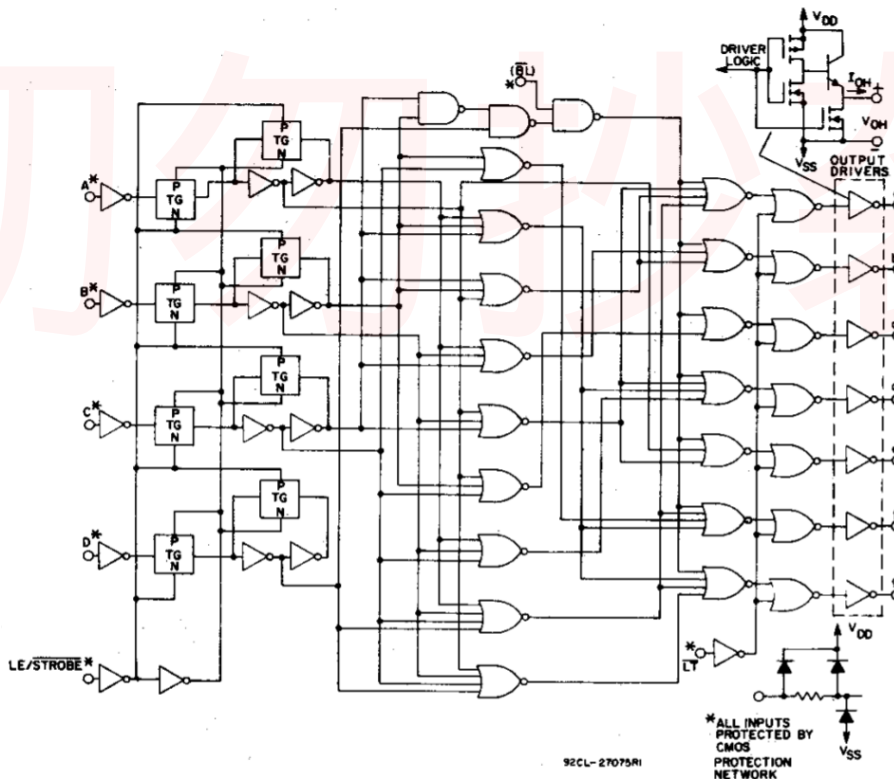


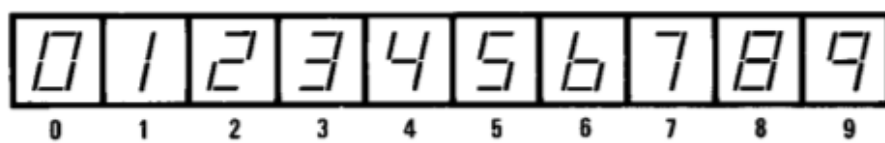
图 4: CD4511 结构原理图

Segment Identification



TL/F/

Display



TL/F/5991-2

(a) 七段数码管示意图

(b) CD4511 显示字形示意图

图 5: CD4511 功能图

3 数据分析与处理

3.1 验证 74LS148(优先编码器) 的逻辑功能并记录真值表

实验步骤: 利用电路实验箱上的发光二极管逻辑电平显示灯和开关组, 我们测得了 74LS148 的逻辑真值表。

测量结果: 测得其真值表如下, 表中 1 代表高电平, 0 代表低电平, X 代表此项输入与输出逻辑电平无关。

表 1: 74LS148 逻辑真值表

\overline{EI}	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{A_2}$	$\overline{A_1}$	$\overline{A_0}$	\overline{EO}	\overline{GS}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	0	1	1	0	0	1	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

结果概述:

实验中得到的真值表与其特性要求完全一致, 其有低电平有效的八个信号输入 $\overline{I_0} \sim \overline{I_7}$ 和一个片选信号输入 \overline{ST} 或 \overline{EI} , 片选信号输入不为低电平时电路不工作, 输出全高, 具有低电平有效的三位输出 $\overline{A_0} \sim \overline{A_2}$ 以及两个辅助输出 \overline{EO} , \overline{GS} 。当有多个输入同时有效时, 电路的状态仅受到序号最大的零位位置影响, 其他较低位各线状态均不影响输出, 并用低电平有效的输出以二进制形式表示。输出 \overline{EO} 仅在输入全为无效时输出低电平; \overline{GS} 也可以指示输入是否全为无效, 除了片选无效时, 输出均与 \overline{EO} 相反。

3.2 CD4511 译码器逻辑功能的验证与真值表的记录

实验步骤: 连接实验箱上的开关组与数码管下 CD4511 芯片的 ABCD 四个输入端, 注意由于设计缺陷, ABCD 顺序颠倒, 连接 +5V 电源与地。

测量结果: 观察可控制引脚的逻辑功能如表2

表 2: CD4511 逻辑功能表

D	C	B	A	a	b	c	d	e	f	g	对应数字
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	0	0	1	1	9
1	0	1	0	0	0	0	0	0	0	0	无
1	0	1	1	0	0	0	0	0	0	0	无
1	1	0	0	0	0	0	0	0	0	0	无
1	1	0	1	0	0	0	0	0	0	0	无
1	1	1	0	0	0	0	0	0	0	0	无
1	1	1	1	0	0	0	0	0	0	0	无

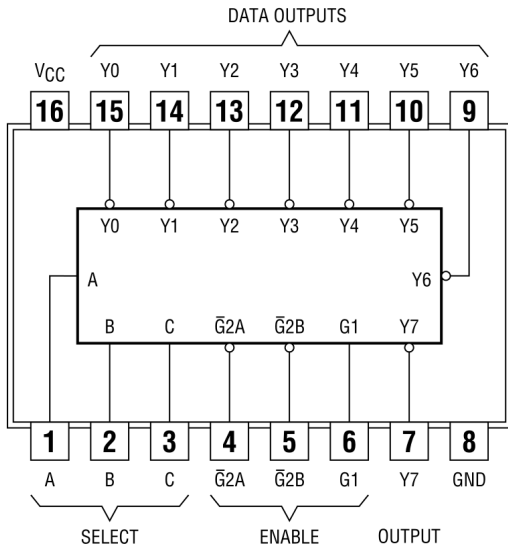
结果概述:

在试验箱中我们只能使用 CD4511 芯片的 4 个输入 ABCD, 测试后发现其为高电平有效的 BCD 码输入, 输出为高电平有效的能够直接驱动共阴极七段数码管的输出信号, 对于对应有正确的十进制数字的输入信号, 输出为其对应的数字的编码。若输入大于 1001, 没有对应的十进制数字, 输出为全零, 显示为空白。(实际上在测试过程中假设了 CD4511 芯片至数码管的连线正确)

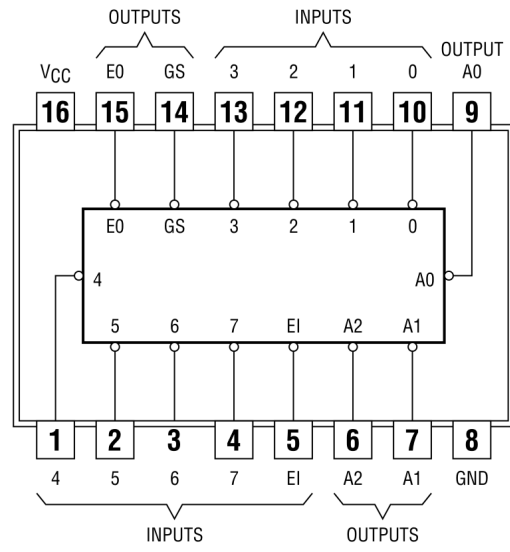
实际上查阅资料知 CD4511 芯片还有可以使输出全高的灯测试 \overline{LT} , 强制输出全低的消隐控制 \overline{BE} 端, 片内锁存器启用/禁用控制端 (Latch Enable or Strobe) $\overline{LE}/\overline{STROBE}$ 三个输入, 由于这三个输入没有对应的可用的端子, 实验中未测试其功能。

3.3 用两块 74LS138 级联实现 4—16 线译码器

实验步骤: 按逻辑图3与管脚图6连线, 使用实验箱上的开关组作为输入, 逻辑笔以及 15 个 LED 电平指示灯作为输出。测量记录组合电路真值表。



(a) 74LS138 管脚图



(b) 74LS148 管脚图

图 6: 芯片管脚分布图

测量数据:

测得组合电路真值表如表3

表 3: 级联实现 4—16 线译码器真值表

\overline{E}	$\overline{A_0}$	$\overline{A_1}$	$\overline{A_2}$	$\overline{A_3}$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$
1	X	X	X	X	1	1	1	1	1	1	1
0	0	0	0	0	0	1	1	1	1	1	1
0	1	0	0	0	1	0	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1
0	0	1	1	0	1	1	1	0	1	1	1
0	0	0	1	0	1	1	1	1	0	1	1
0	1	0	1	0	1	1	1	1	1	0	1
0	0	1	1	0	1	1	1	1	1	1	0
0	1	1	1	0	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1
0	1	0	1	1	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1

结果概述: 实验中搭建的 4 线-16 线译码器能够完成译码功能, 可以在使能端 \overline{E} 的控制下, 按 $\overline{A_0} - \overline{A_3}$ 的输入在 $\overline{Y_0} \sim \overline{Y_{15}}$ 上产生正确的低电平有效的译码输出, 按二进制码在正确的位输出低电平。

3.4 用译码器与四输入与非门实现组合逻辑函数

实验步骤: 为了使用一片 3 线-8 线译码器 74LS138 与一片 74LS20 双与非门得到两个组合逻辑函数 $S = \sum m(1, 2, 4, 7)$, $C = \sum m(3, 5, 6, 7)$ 输出, 可如下化简逻辑表达式为可以使用低电平有效输出的译码器和双与非门实现形式

$$\begin{aligned} S &= \sum m(1, 2, 4, 7) = m_1 + m_2 + m_4 + m_7 \\ &= \overline{ABC} + \overline{AB\overline{C}} + \overline{A\overline{B}C} + \overline{ABC} \\ &= \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7} \\ &= \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7} \end{aligned}$$

$$\begin{aligned} C &= \sum m(3, 5, 6, 7) = m_3 + m_5 + m_6 + m_7 \\ &= \overline{ABC} + \overline{A\overline{B}C} + \overline{AB\overline{C}} + \overline{ABC} \\ &= \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7} \\ &= \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7} \end{aligned}$$

并且设计电路如图7

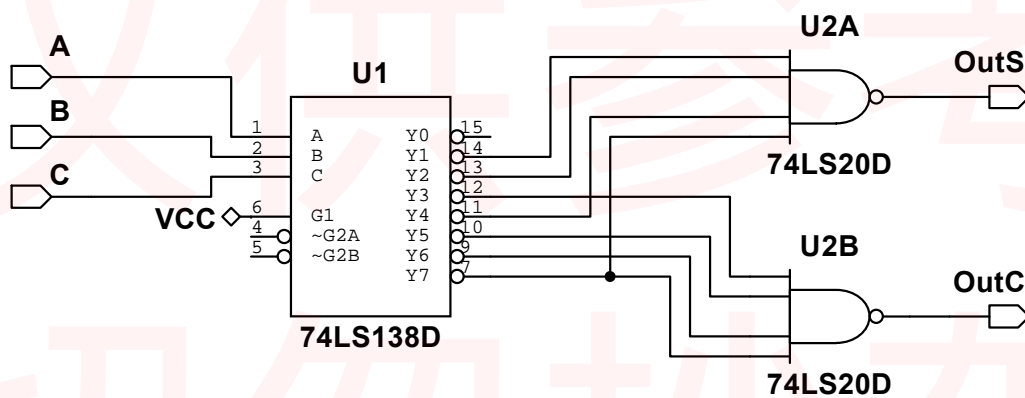


图 7: 译码器组成组合逻辑电路逻辑电路图

结果概述: 实验中得到了如下符合预期的真值表

表 4: 译码器组成组合逻辑电路真值表

A	B	C	S	C
1	1	1	1	1
1	1	0	0	1
1	0	1	0	1
1	0	0	1	0
0	1	1	0	1
0	1	0	1	0
0	0	1	1	0
0	0	0	0	0

电路功能符合设计要求。

4 实验心得与体会

在本实验中，我们研究编码器与译码器 74LS138 与 74LS148 的工作特性，了解了七段数码管显示译码驱动器 CD4511 的工作特性，使用译码器和多输入与非门 74LS20 设计了具有特定输出项的组合逻辑电路。

在实验中我们接触了数字电路实验的基本方法，熟悉了数字电路实验箱的功能与使用，了解了 TTL 和 CMOS 数字集成电路的基本常识与使用方法。

5 思考题

问：设计一个 5 线-32 线的二进制译码器

答：对于此题可以有多种不同的设计方案

方案一. 使用一个非门(如 74LS04) 与带有使能输入 EN 的两片 4 线-16 线译码器(如 74LS154)，电路设计如图8

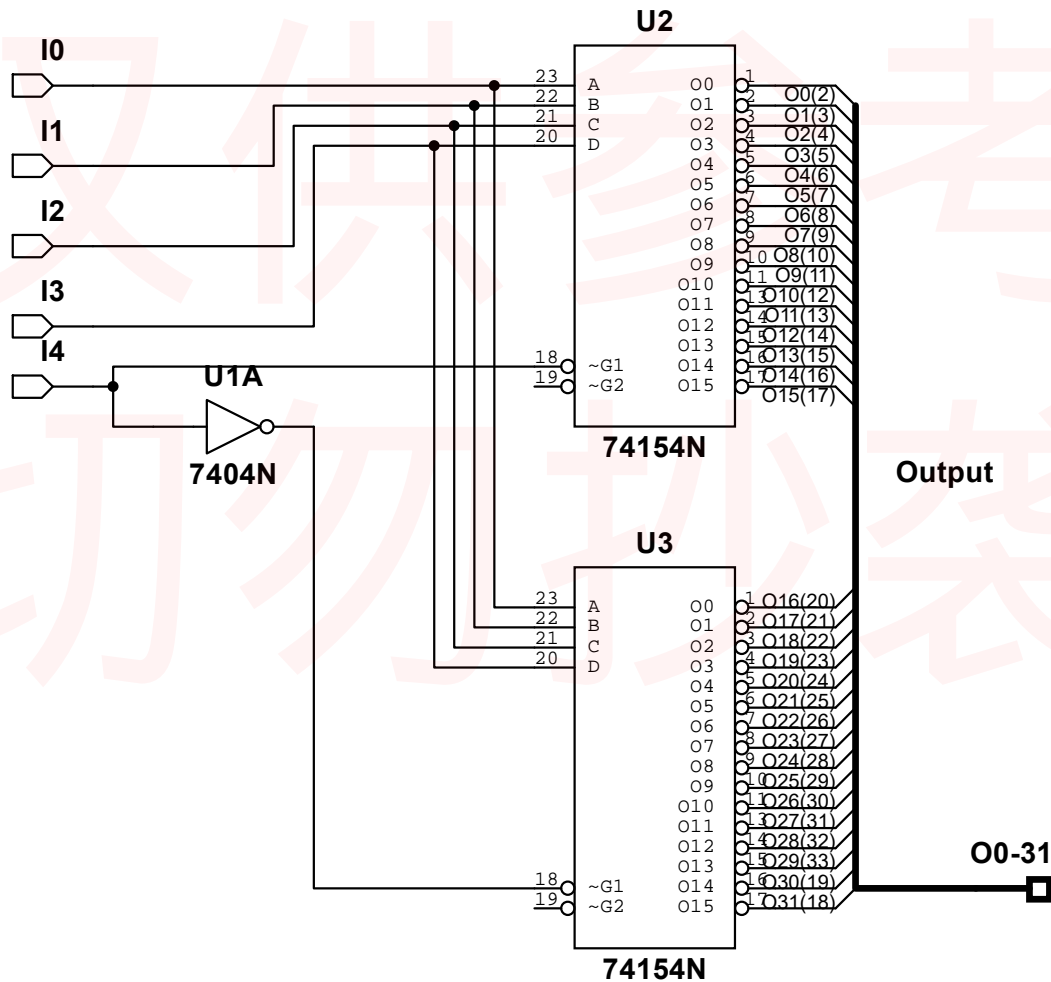


图 8: 4 线-16 线译码器级联组成 5 线-32 线译码器

方案二. 使用一个 2 线-4 线译码器 (如 $\frac{1}{2}$ 74LS139) 与带有使能输入 G 的四片 3 线-8 线译码器 (如 74LS138), 电路设计如图9

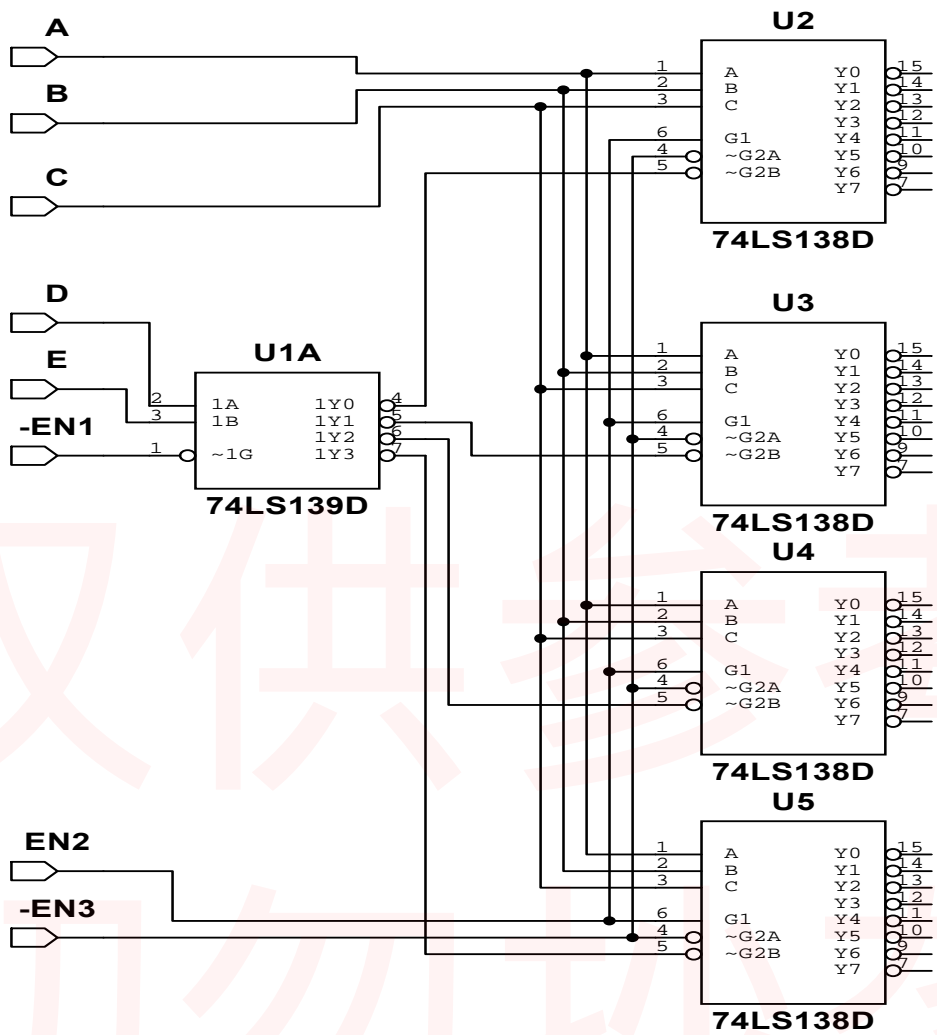


图 9: 3 线-8 线译码器级联组成 5 线-32 线译码器

方案三. 当然也可使用可编程逻辑器件使用 Verilog 编程实现如下

```

module decoder (
binary_in    , // 5 位输入
decoder_out  , // 32 位输出
enable      // 使能端
);
input [4:0] binary_in ;
input enable ;
output [31:0] decoder_out ;
wire [31:0] decoder_out ;
assign decoder_out = (enable) ? (1 << binary_in) : 32'b0 ;
endmodule

```

实验七 集成运算放大器的应用

韩振、邱哲儒

(PB15000009、PB15000034)

2017年11月14日

1 实验目的

1. 掌握集成运放的基本特性和工作原理。
2. 熟悉集成运放在模拟运算方面的应用。

2 实验原理

2.1 集成运放的电压传输特性与电路特征

集成运算放大器相当于一个放大倍数趋近于无穷的差分输入放大器，当其工作在线性区时，传输特性曲线斜率为电压放大倍数 A ，如图1所示。对于现代集成运放来说，电压放大倍数是一个相当大的数，可以达到 10^7 量级，实验中使用的 LM358 的 A_{VD} 指标值为 2500 – 10000 倍。在输入差模电压稍大时，输出电压可能会达到最大摆幅，此时运放工作在非线性的饱和区，输出电压接近常数，符号取决于输入同向、反向端的电压差的符号。

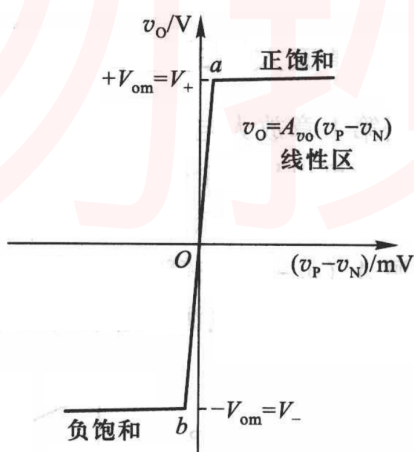


图 1: 运算放大器传输特性曲线

2.2 运算放大器组成的运算电路

模拟运算电路一般来说是以输入电压作为自变量，用输出电压作为输入电压的函数，当输入电压变化时输出按照一定数学规律变化的电路。运算电路可以较方便的用集成运放来实现，此时的集成运

放一般工作在线性区来实现阶跃函数外其他的数学表达式。由于运算放大器的放大倍数相当大，为了避免进入饱和状态，电路中一般需要引入深度负反馈。

在电路处在深度负反馈的情况下，运放有虚短、虚断的性质：

1. 理想运放的两个输入端的电位相等，类似两个输入端短接在一起。
2. 流入集成运算放大器输入端电流为零，理想运算放大器的输入电阻无限大，类似运放两个输入端之间开路。

2.2.1 反相比例运算电路

反相比例运算电路可以对反向后的输入信号进行比例运算，其原理图如图2所示

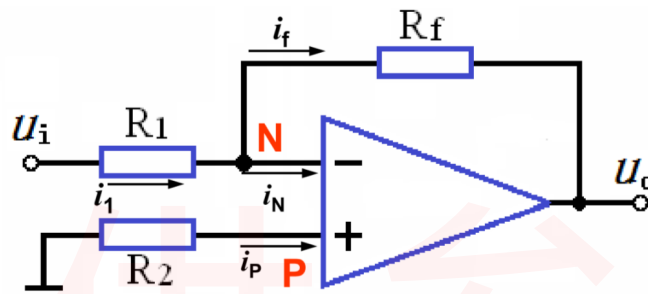


图 2: 反相比例运算电路原理图

反相比例运算电路通过 R_f 引入负反馈，输出电压与输入电压反相并且比值受到反馈电阻和输入端 R_1 影响。利用虚断虚短的假设使用节点法可知电路的传输特性为

$$A_{uf} = \frac{u_o}{u_i} = -\frac{R_f}{R_1} \quad (1)$$

2.2.2 同相比例运算电路

同相比例运算电路与反相比例运算电路相似，但输出信号与输入信号同向，传输特性曲线斜率为正，其原理图如图3所示

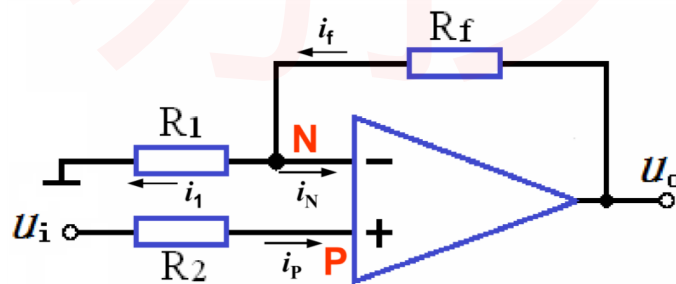


图 3: 同相比例运算电路

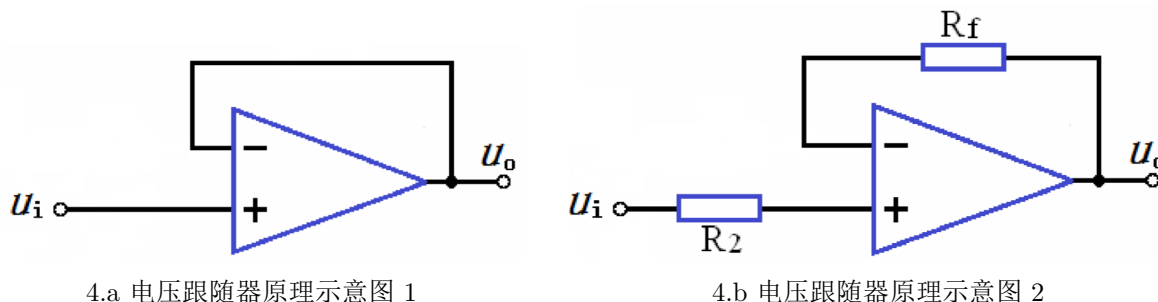
为了得到同相的放大信号，利用与反相比例运算电路类似的拓扑，将输入端反相接入就可以实现功能。此时也可以用虚短虚断假设分析得到电路的传输特性为

$$A_{uf} = \frac{u_o}{u_i} = 1 + \frac{R_f}{R_1} \quad (2)$$

2.2.3 电压跟随器

在实际电路设计中，有时需要隔离电路不同级，避免相互干扰，进行阻抗变换。而电压跟随器的输出电压与输入电压相等，输入阻抗为无穷大，输出阻抗很小，可以起到隔离的作用，使得后继电路不会从输入端口吸收电流而影响前级电路的工作。

电压跟随器有两种常见组态如图4.a、4.b所示，在精度要求不太高的情况下可连接 R_2 、 R_f 两个电阻也可不接。



使用虚断、虚短的概念，图中电阻 R_2 、 R_f 上没有电流，输出点的电位应当等于反向输入端电位而等于同相端输入电位，有

$$A_{uf} = \frac{u_o}{u_i} = 1 \quad (3)$$

输出信号完全等同于输入信号。

2.2.4 反相加法运算电路

利用理想运算放大器可以实现加减法运算，反相加法运算电路原理图如图5所示

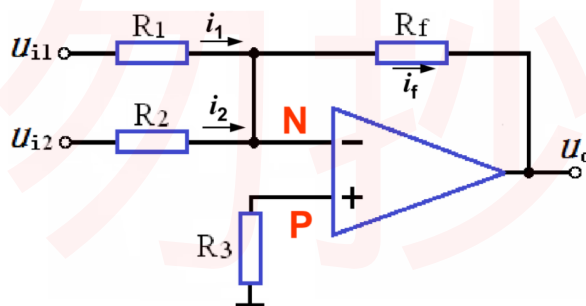


图 5: 反相加法运算电路原理图

若令电路中 $R_1 = R_2$ ，有

$$u_o = -\frac{R_f}{R_1} (u_{i1} + u_{i2}) \quad (4)$$

输出信号是输入信号的反向的和。

2.2.5 减法运算电路

减法运算电路原理图如图6所示

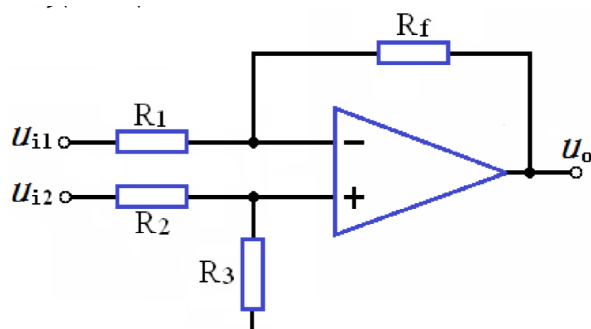


图 6: 减法运算电路原理图

若电路中 $R_1 = R_2, R_3 = R_f$, 输出信号 u_o 有

$$u_o = \frac{R_f}{R_1} (-u_{i1} + u_{i2}) \quad (5)$$

这样实现了被减信号为 u_{i2} , 减信号为 u_{i1} 的减法运算。

2.2.6 积分运算电路

利用电容伏安特性中电压为电流的积分的性质, 采用如图7的电路, 可以实现积分

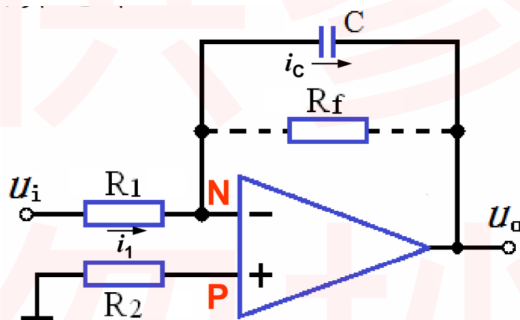


图 7: 积分运算电路原理图

对输出信号 u_o 有

$$\frac{u_i - u_N}{R_1} = C \frac{du_c}{dt} \quad (6)$$

$$u_o = -u_c = -\frac{1}{R_1 C} \int_0^{t_1} u_i dt + u_c(0)$$

可知输出信号正比于输入信号电压的时间积分。另外为了阻止运放的输出饱和, 可在反馈回路电容上并联一个电阻 R_f 。

2.2.7 微分运算电路

与积分运算电路类似, 改变接法如图8也可使用电容器与运放实现对输入信号的微分运算

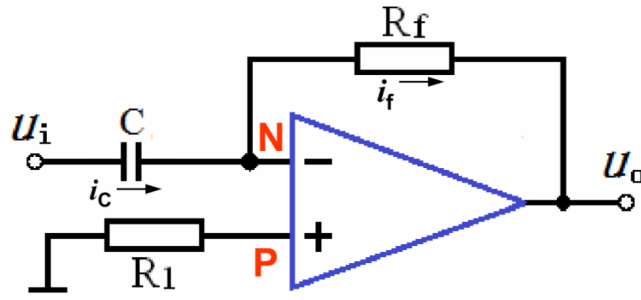


图 8: 微分运算电路原理图

有

$$C \frac{du_c}{dt} = \frac{u_N - u_o}{R_f} \quad (7)$$

$$u_o = -R_f C \frac{du_i}{dt}$$

输出信号为输入信号的微分。

2.2.8 精密半波、全波整流电路

精密半波整流电路 采用如图9所示的电路可以实现不受二极管导通压降影响的精密半波整流功能。

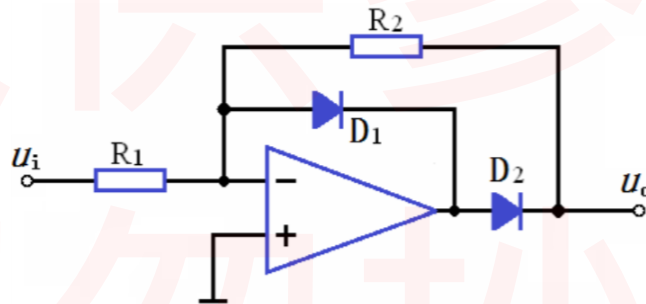


图 9: 精密半波整流运算电路原理图

其电路功能分析如3.7.1小节所述。

精密全波整流电路 采用如图10所示的电路可以实现不受二极管导通压降影响的精密全波整流功能。

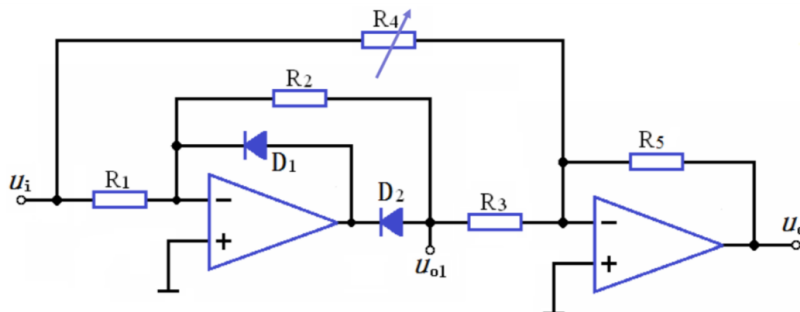


图 10: 精密全波整流运算电路原理图

其电路功能分析如3.7.2小节所述。

2.3 LM358 型集成通用双运算放大器

实验中使用的 LM358 为集成通用双运算放大器，其管脚连接如图11所示，内部结构示意图如图12

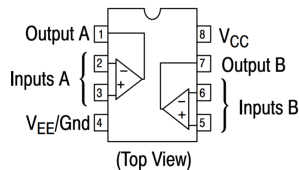


图 11: LM358 管脚连接示意图

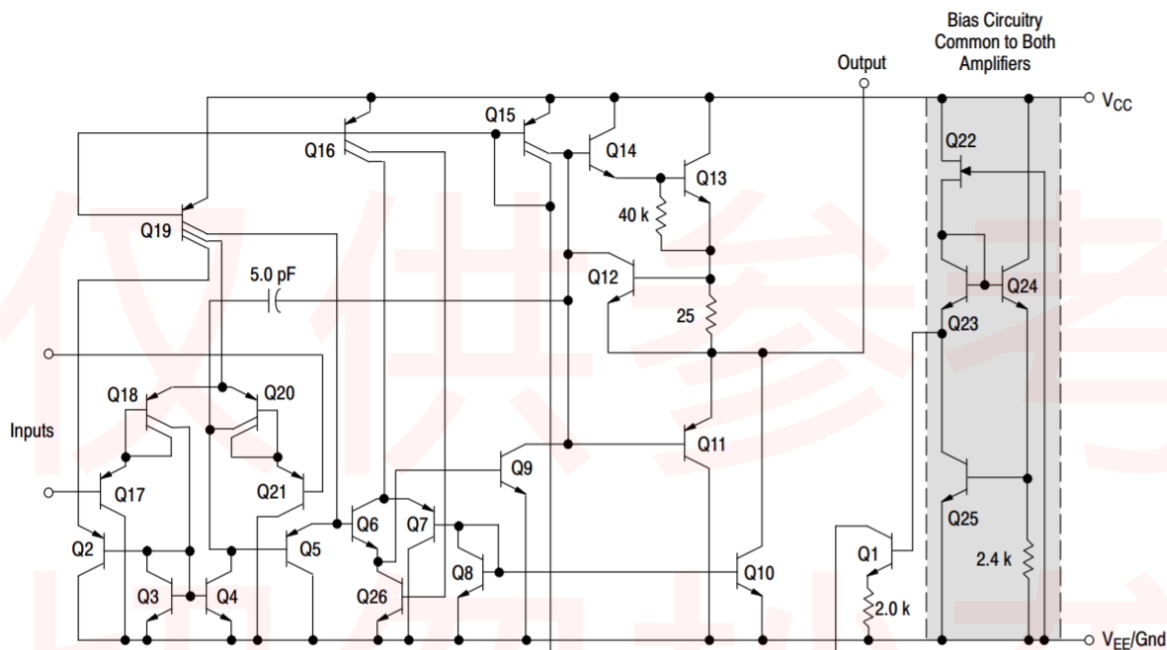


Figure 2. Representative Schematic Diagram (One-Half of Circuit Shown)

图 12: LM358 结构示意图

其具有宽供电电压，较低的供电电流 ($\sim 0.7\text{mA}$)， 0.7MHz 的单位增益带宽，输入偏压与偏流指标一般 (输入失调电压典型值为 3mV ，失调电流 2nA ，偏置电流为 20nA)，共模抑制比典型值为 70dB ，开环增益达 100dB 的特点，属于廉价的通用集成运算放大器。

3 数据分析与处理

3.1 验证反相比例运算电路功能

实验步骤: 使用 LM358 搭建反相比例运算电路，输入 1kHz ， $200\text{mV}_{\text{rms}}$ 的正弦波信号，使用示波器观察输入输出波形，使用交流毫伏表测量输入 (u_i) 输出 (u_o) 信号幅度。

测量结果: 对于 $R_f = 10\text{k}\Omega$ ， $100\text{k}\Omega$ ，分别测得输入输出信号幅度 (由于输出信号与输入信号反向，计算 A_u 时加设负号)，计算相对误差如表1

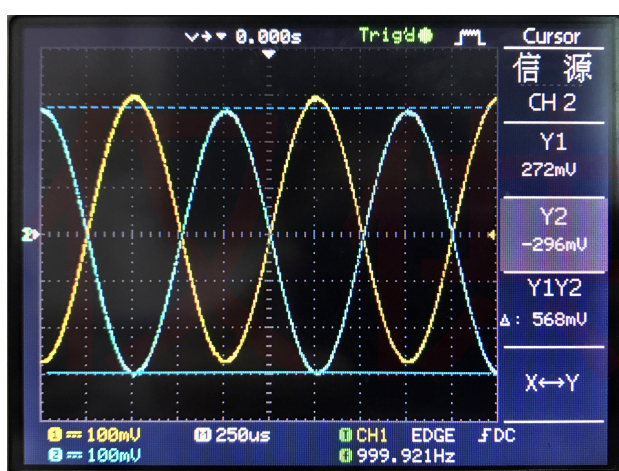
表 1: 反比例运算电路输入输出信号数据计算表

R_f	$U_{irms} \text{mV}$	U_{orms}	$A_u = U_o/U_i(\text{测量})$	$A_u(\text{理论})$	A_u 相对误差
$10k\Omega$	200.4	200.4mV	(-)1	-1	< 0.05%
$100k\Omega$	200.3	2.039V	(-)10.18	-10	1.80%

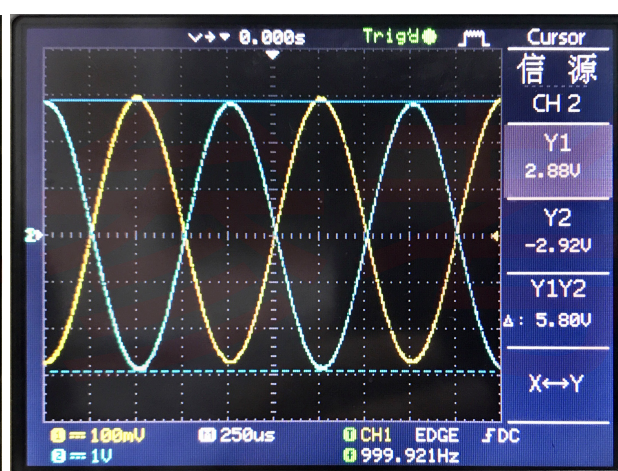
表中 A_u 理论值用式(1)计算为

$$A_{uf} = \frac{u_o}{u_i} = -\frac{R_f}{R_1} = \begin{cases} -\frac{1}{1} = -1, & R_f = 10k\Omega \\ -\frac{10}{1} = -10, & R_f = 100k\Omega \end{cases} \quad (8)$$

对于 $R_f = 10k\Omega, 100k\Omega$, 分别绘出输入输出信号波形如图13.a, 13.b, 通道 CH1 为输入信号 u_i , 通道 CH2 为输出信号 u_o 。



13.a $R_f = 10k\Omega$ 时输入输出信号波形



13.b $R_f = 100k\Omega$ 时输入输出信号波形

结果概述:

在实验中测得信号放大倍数与理论值相差不大, 使用 $10k\Omega$ 反馈电阻时在仪器精度范围内没有测到误差, 使用 $100k\Omega$ 反馈电阻时相对误差也仅有 1.8%, 接近, 甚至小于实验中使用的电阻的容差, 结果相当理想。

在此实验中带来误差的原因包括

1. 交流毫伏表的测量误差。
2. 电阻 R_2, R_f 的阻值不准确。
3. 运放的输入偏流在 $50nA$ 量级 (Onsemi 公司的产品极限值为 $100nA$), 在输入端相当于 $0.5mV$ 的电压, 在未加平衡电阻、放大倍数较大时有一定影响。

从波形图图13.a, 13.b中可见输出信号非常接近与输入信号反相的正弦波, 可见电路的失真程度较小, 运算放大器具有较好的线性性。而输出信号 u_o 的正负峰值并不对称, 有一个直流偏置。测出的这个偏置可能来源有

1. 运放的输入失调带来的零点漂移
2. 示波器垂直通道精度有限, 带有一个失调电压
3. 示波器光标读出时的判断误差
4. 信号源的输出本身带有一非零的直流偏置

由于使用示波器测量信号源输出波形时仍然能够看到波形上叠加有一个直流偏置，且偏置的大小已经超过光标读出可能的误差上限，联想到几周前利用此台示波器进行实验时也有类似问题，我认为示波器模拟前端存在问题的可能性较大。

3.2 同相比例运算电路

实验步骤: 使用 LM358 搭建反相比例运算电路，输入 1kHz，200mVrms 的正弦波信号，使用示波器观察输入输出波形，使用交流毫伏表测量输入 (u_i) 输出 (u_o) 信号幅度。更换不同的 R_f ，重复测量。

测量结果: 对于 $R_f = 10k\Omega, 100k\Omega$ ，分别测得输入输出信号幅度，计算相对误差如表2

表 2: 同相比例运算电路输入输出信号数据计算表

R_f	U_{irmsmV}	U_{orms}	$A_u = U_o/U_i(\text{测量})$	$A_u(\text{理论})$	A_u 相对误差
10k Ω	199.7	0.403	2.018	2	0.90%
100k Ω	199.8	2.238	11.2	11	1.82%

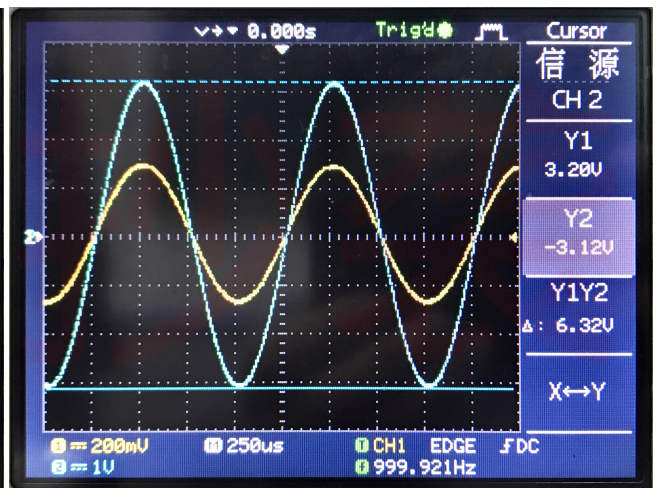
表中 A_u 理论值用式(2)计算为

$$A_{uf} = \frac{u_o}{u_i} = 1 + \frac{R_f}{R_1} = \begin{cases} 1 + \frac{1}{1} = 2, & R_f = 10k\Omega \\ 1 + \frac{10}{1} = 11, & R_f = 100k\Omega \end{cases} \quad (9)$$

对于 $R_f = 10k\Omega, 100k\Omega$ ，分别绘出输入输出信号波形如图14.a, 14.b，通道 CH1 为输入信号 u_i ，通道 CH2 为输出信号 u_o 。



14.a $R_f = 10k\Omega$ 时输入输出信号波形



14.b $R_f = 100k\Omega$ 时输入输出信号波形

结果概述:

在实验中测得信号放大倍数与理论值相差不大，在 $R_f = 10k\Omega$ 时放大倍数相对误差为 0.90%，在 $R_f = 100k\Omega$ 时放大倍数相对误差为 1.82%，这两个测量值均比较理想。由于实验中使用的 LM358 运放的共模抑制比 CMRR 典型值达到 70dB，共模信号带来的影响小于千分之一，基本可以不计，造成误差的可能原因基本与反向放大电路实验一致。

在波形图中可发现信号与输入同相，失真程度不大，输出电压也有一个直流偏置，可能原因的讨论与反向放大电路实验一致。

3.3 电压跟随器

实验步骤: 使用 LM358 在实验箱上搭建电压跟随器电路, 输入 1kHz, 200mVrms 的正弦波信号, 使用示波器观察输入输出波形, 使用交流毫伏表测量输入 (u_i) 输出 (u_o) 信号幅度。

此时采用图4.b的电路, 令电阻 $R_2 = 10k\Omega$, $R_f = 10k\Omega$ 或 $100k\Omega$, 分别进行测量。

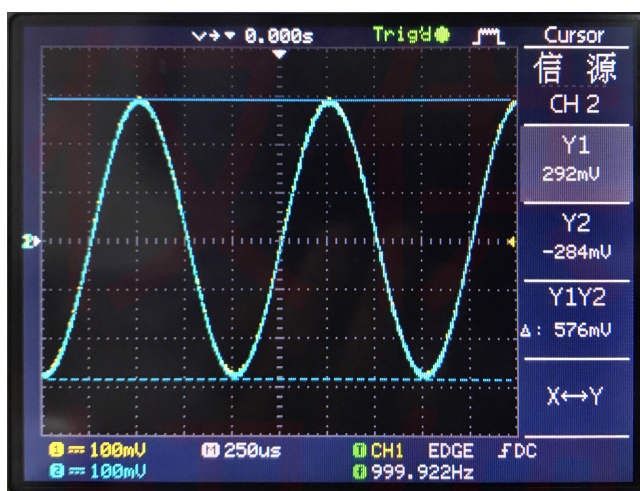
测量数据:

测得电路输入输出信号幅度与相对误差计算如表3, 其理论放大倍数按式(3)为 1

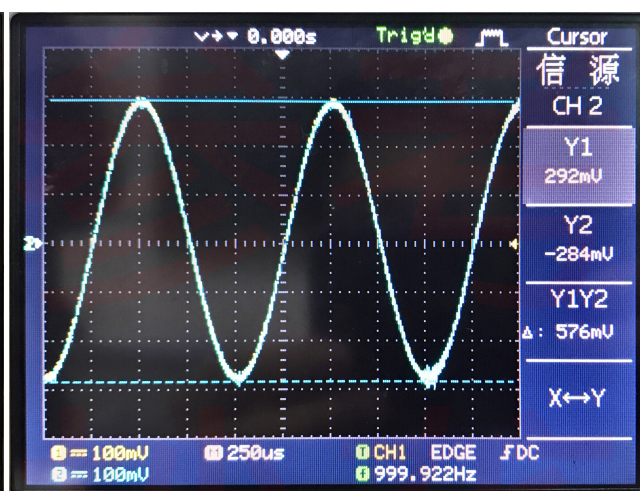
表 3: 同相比例运算电路输入输出信号数据计算表

R_f	$U_{irms}mV$	U_{orms}	$A_u = U_o/U_i(\text{测量})$	$A_u(\text{理论})$	A_u 相对误差
$10k\Omega$	200.3	201.5	1.006	1	0.60%
$100k\Omega$	200.3	201.5	1.006	1	0.60%

实际在 $R_f = 10k\Omega$ 与 $100k\Omega$ 时测得的波形图分别为15.a,15.b



15.a $R_f = 10k\Omega$ 时输入输出信号波形



15.b $R_f = 100k\Omega$ 时输入输出信号波形

结果概述: 实验中搭建的电压跟随器输出信号与输入信号幅度基本一致, 相对误差仅有 0.6%, 结果较为理想。在波形图图15.a,15.b中可见输出信号相位与输入信号相同, 两波形几乎完全重合。

本实验中由于输出信号在理想情况下与无源元件 R_2, R_f 无关, 可能带来误差的原因只有毫伏表的测量误差与运放的输入偏置电流, 由于更换 R_f 后测得值没有变化, 所以可能主要来源是毫伏表的测量误差。而 0.6% 的测量误差也在实验中使用的 SM2030A 型交流毫伏表对 1kHz 输入信号的精度指标范围 ($\pm 1.5\%$ 读数 $\pm 0.5\%$ 量程) 以内。

3.4 反相加法运算电路

实验步骤:

如图16使用 LM358 搭建反相加法运算电路, 使用电阻 $R = 1k\Omega$ 与 $R = 2k\Omega$ 对 u_{i1} 进行分压得到 U_{i2} , 在 u_{i1} 端输入 1kHz, 200mVrms 的正弦波信号, 使用示波器观察输入输出波形, 使用交流毫伏表测量输入 (u_i) 输出 (u_o) 信号幅度。更换不同的 R_f , 重复测量。

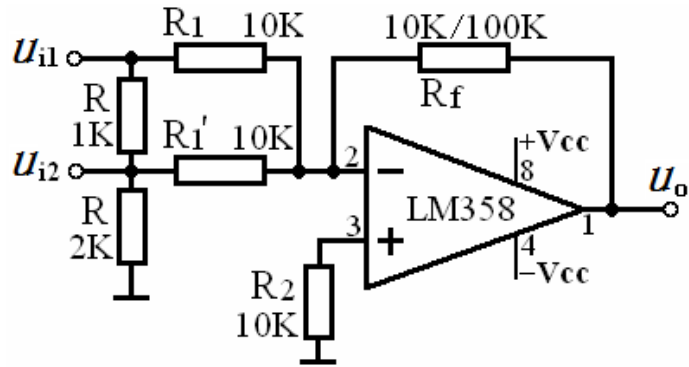


图 16: 反相加法运算实验电路

测量数据: 测得电路两路输入信号、输出信号幅度与相对误差计算如表4。

表 4: 反相加法运算电路输入输出信号数据计算表

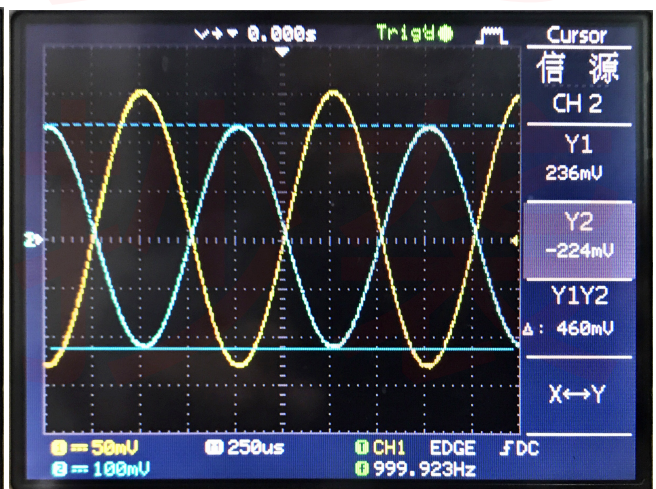
R_f	$U_{i1rms}mV$	$U_{i2rms}mV$	$U_{orms}mV(测量)$	$U_{orms}mV(理论)$	U_o 相对误差
10k Ω	99.7	62.8	1640	1625	1%
100k Ω	99.7	62.7	161.4	162.4	-1%

其理论输出电压已按式(4)计算。

实际在 $R_f = 10k\Omega$ 与 $100k\Omega$ 时测得的波形图如图17.a, 17.b所示, 输出信号的相位与原输入信号 u_{i1} 相反, 幅度与预期值基本一致。



17.a $R_f = 10k\Omega$ 时输入输出信号波形



17.b $R_f = 100k\Omega$ 时输入输出信号波形

结果概述: 实际测得的输出信号电压与理想情况下的计算值非常接近, 可能带来误差的原因与反相比运算电路实验类似, 主要包括电阻阻值不精确, 运放的性能不佳和交流毫伏表的测量误差。

3.5 减法运算电路

实验步骤: 如图18使用 LM358 搭建减法运算电路, 在 u_{i1}, u_{i2} 端输入由稳压电源提供的直流信号 (集成运放使用实验箱上 $\pm 5V$ 电源), 使用万用表直流挡测量输出电压 u_o 。切换不同的 u_{i1}, u_{i2} , 重复测量。

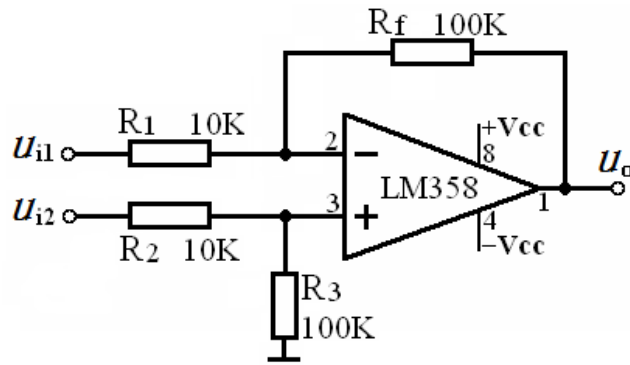


图 18: 减法运算实验电路

测量数据: 测得电路两路输入信号、输出信号电压与相对误差计算如表5。

表 5: 减法运算电路输入输出测量数据

U_{i1}/V	U_{i2}/V	U_o/V	U_o/V 理论	U_o 相对误差
0.1	0.4	2.91122	3	2.96%
0.2	0.3	0.98884	1	1.12%
0.3	0.5	1.95960	2	2.02%
0.4	0.1	-2.8783	-3	4.06%
0.5	0.2	-2.8818	-3	3.94%

表5中理论输出电压均由式5计算得到。

结果概述: 实际测得的输出电压与理论计算值较为接近, 误差均在 5% 以下, 实验中可能带来误差的原因有

1. 实验中直流稳压电源输出电压不准确, 输入 u_{i1}, u_{i2} 并不准确等于显示值。
2. 实验中电路中各个电阻阻值不精确, 使得电路对两项输入的响应与理想情况不同。假设 R_1 与 R_f 等电阻的误差限为 1%, 在 $R_1 = 101k\Omega, R_f = 9.9k\Omega$ 的较差情况下, 电阻值带来的相对误差可达 2%。
3. 实验使用的运算放大器的输入失调参数较大, 使得输出电压受影响。
4. 实验中数字万用表测量有误差。

实验中使用的 Agilent 34450A 型数字万用表性能较好, 在误差中不为主要部分。电源的输出电压使用万用表标定后发现与显示值相差不大, 对误差的贡献也比较有限, 电阻阻值的影响为主要部分。

3.5.1 积分运算电路

实验步骤: 如图18使用 LM358 搭建积分运算电路如图19所示, 连接 $R_f = 100k\Omega$, 在运放的反相端输入 300Hz, $U_{ipp} = 1V$ 的方波信号 u_i , 使用示波器观察测量输入、输出电压 u_i, u_o 波形。

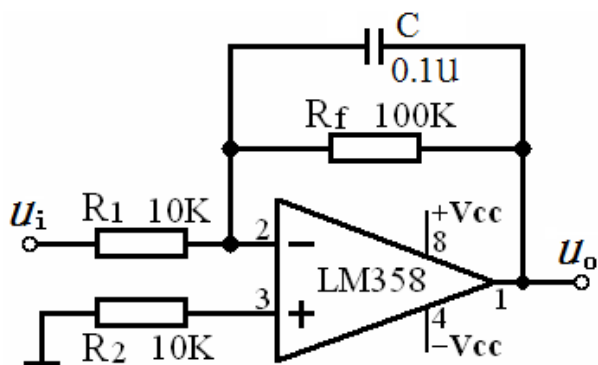


图 19: 积分运算实验电路

测量数据: 测得输入输出波形如图20所示, 在示波器中读出的信号上下峰值如表7



图 20: 积分运算电路输入输出信号波形

表 6: 输入输出信号峰值幅度数据记录

U_{ip+}/mV	U_{ip-}/mV	u_{ipp}/mV
520	-480	1000
U_{op+}/mV	U_{op-}/mV	u_{opp}/mV
352	-344	696

误差分析: 按式(6), 若假设输出信号稳定后没有直流偏置, $\frac{1}{2}u_{pp} = u_{op+} = u_{op-}$, 有方程

$$u_{pp} = \frac{\int_0^{T/2} \frac{u_{ipp}}{2} dt}{R_1 C} = \frac{1}{10 \times 10^3 \times 0.1 \times 10^{-6}} \times \frac{520+480}{2} = 833.3\text{mV} \quad (10)$$

相对误差为

$$\eta = \frac{|0.833 - 0.696|}{0.833} \times 100\% = 16.4\% \quad (11)$$

本实验中测得输出信号的幅度与按照各元件标准值和理想状况假设计算值相差稍大，测定结果较计算值偏小。造成偏差的原因可能包括

1. 计算理论值时未考虑反馈电阻 R_f 的作用，在考虑其作用时，输出电压幅度应当较小。
2. 实验中使用示波器光标读出时有较大的判断偏差，示波器垂直通道精度也比较有限。
3. 实验中未接平衡电阻 R_2 ，运放的输入偏流可能对输出稍有影响。
4. 实验中使用的各阻容元件数值不准。
5. 实验中使用的信号源输出波形有失真，或有一偏置电压。

测得的信号波形与理论预期的分段带偏置的指数函数一致。

3.6 微分运算电路

实验步骤: 如图18使用 LM358 搭建微分运算电路如图21所示，在运放的反相端输入 300Hz, $U_{ipp} = 3V$ 的三角波信号 u_i ，使用示波器观察测量输入、输出电压 u_i, u_o 波形。

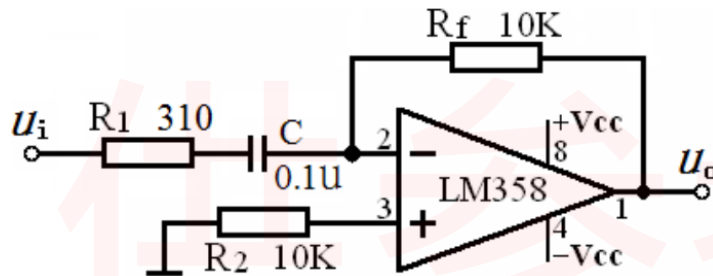


图 21: 微分运算实验电路

测量数据: 测得输入输出波形如图22所示，在示波器中读出的信号上下峰值如表7

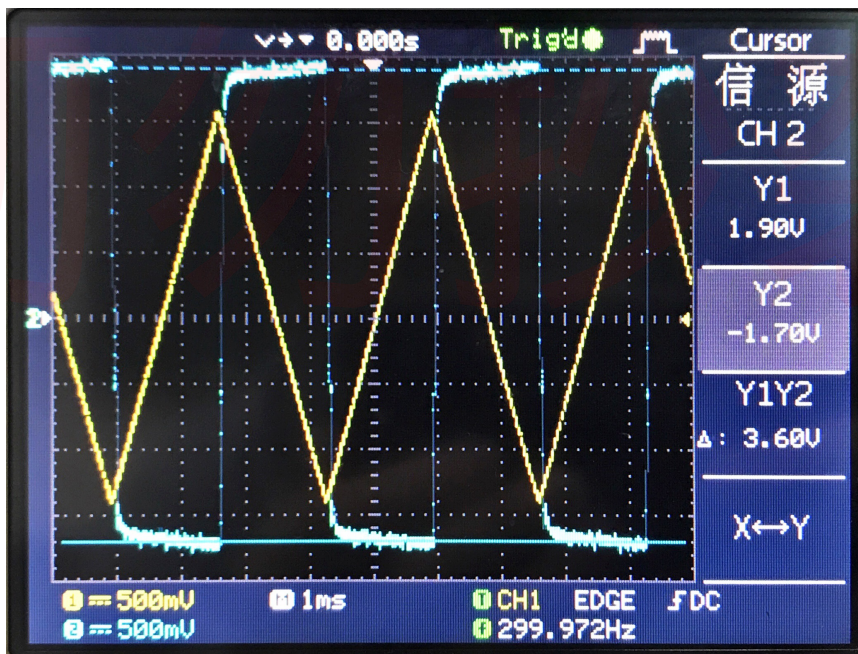


图 22: 微分运算电路输入输出信号波形

表 7: 输入输出信号峰值幅度数据记录

U_{ip+}/V	U_{ip-}/V	u_{ipp}/V
1.60	-1.40	3
U_{op+}/V	U_{op-}/V	u_{opp}/V
1.90	-1.70	3.6

误差分析: 按式(7), 有方程

$$u_{opp} = R_f C \frac{du_i}{dt} = 10k \cdot 0.1\mu \frac{1.5}{1200^{-1}} = 1.8V \quad (12)$$

而实测值恰好为 $\frac{1.9 - (-1.7)}{2} = 1.8V$

本实验中测得输出信号的幅度与按照各元件标准值和理想状况假设计算值完全一致, 这可能是由于各项误差相互抵消导致的, 并不能断定各元件参数精准。

测得的信号波形与理论预期的方波基本一致, 但是在三角波斜率转换时, 方波末状态边缘峰值有明显的偏低, 输出信号上也叠加有一个噪声, 可能的原因有

1. 实验电路输入端接有 $R_1 = 310\Omega$ 的电阻, 其在斜率转换的初期减缓了电容的充电。
2. 微分电路本身对高频噪声扰动较为敏感, 放大了电路中各部分中的高频噪声, 产生输出信号上叠加的毛刺。

3.7 * 精密半波、全波整流电路

3.7.1 精密半波整流电路

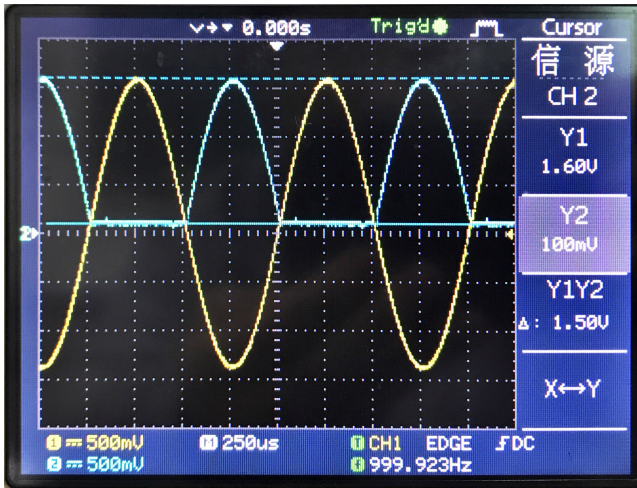
实验步骤: 按图9连接电路, $R_1 = R_2 = 10k\Omega$, 输入信号 u_i 为峰峰值为 3V, 频率 1kHz 的正弦波, 用示波器观察输入输出波形。

原理分析: 若采用与图9一致的接法, 将 D1 正极与放大器反相端相连、D2 正极与放大器输出端相连, 此时有当输入电压 $u_i > 0$ 时, D1 导通, 将 D2 正极钳位在比反相端电位低 0.7V 左右的电位, 因此 D2 截止, 由于 D1 将反相端短接到与地之间输出电阻极小的输出端, 故此时电路输出端电位与反相端一致, 据虚短的假设可知得到输出电压为 0。当输入电压 $u_i < 0$ 时, 此时 D1 截止, 由于输出反相, D2 导通, 此时电路和基本的反相放大器没有区别。因此电路的输出在输入电压极性为负时为输入信号的绝对值, 当输入信号极性为正时没有输出。

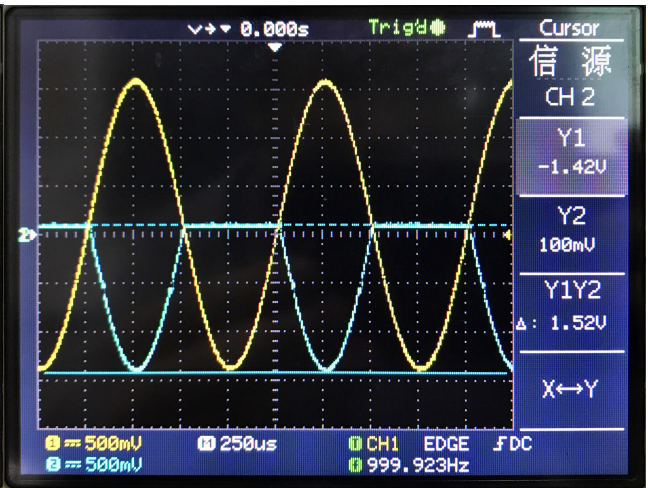
将二极管反接后, D1 负极与放大器反相端相连、D2 负极与放大器输出端相连, 此时当输入电压 $u_i > 0$ 时 D1 截止, D2 导通, 与之前讨论类似, 电路作为反相放大器; 当 $u_i < 0$ 时 D2 截止, D1 导通, 电路输出为 0 此时电路在输入信号 $u_i < 0$ 时输出为 0, 当输入信号 $u_i > 0$ 时输出反相信号。

测量数据:

在二极管接法与图9一致时, 测得输入输出波形如图23.a所示, 反接后测得波形图如图23.b, 在示波器中读出的信号上下峰值如表8



23.a 二极管正接时输入输出信号波形



23.b 二极管反接时输入输出信号波形

表 8: 精密半波整流电路输入输出信号数据记录

	原始接法	调换极性
U_{ip+}	1.6V	1.6V
U_{ip-}	1.4V	1.4V
U_{op+}	1.6V	100mV
U_{op-}	100mV	-1.42V

误差分析: 此时测得各信号电压与理论预期较为接近, 但是可能由于示波器或信号源性能存在问题, 测得信号基线与零点不重合, 测得数据算术值均偏大。测得两种情况下的信号波形也与预期的情况基本相符, 电路的确具有半波整流的功能。

3.7.2 精密全波整流电路

实验步骤: 按图10连接电路, $R_1 = R_2 = 10k\Omega$, $R_3 = 1k\Omega$, R_4 连接 $10k\Omega$ 电位器, $R_5 = 2k\Omega$, 输入信号 u_i 为峰峰值为 3V, 频率 1kHz 的正弦波, 调节 R_4 使电路正常工作, 用示波器观察输入输出波形。

原理分析: 此电路可以理解为半波整流电路与一个反向加法电路的组合, 当输入 $u_i < 0$ 时, $u_{o1} = 0$, 经过反相加法器的作用, 得到的结果应该是同相的 u_i ; 当输入 $u_i > 0$ 时, 调整 u_{o1} 使得其在加法电路中的权重为 u_i 的两倍, 这样它们反相的和就是输入信号 u_i 本身。因此这个电路能够实现全波整流

测量数据: 测得输入输出波形如图24所示, 在示波器中读出的信号上下峰值如表9

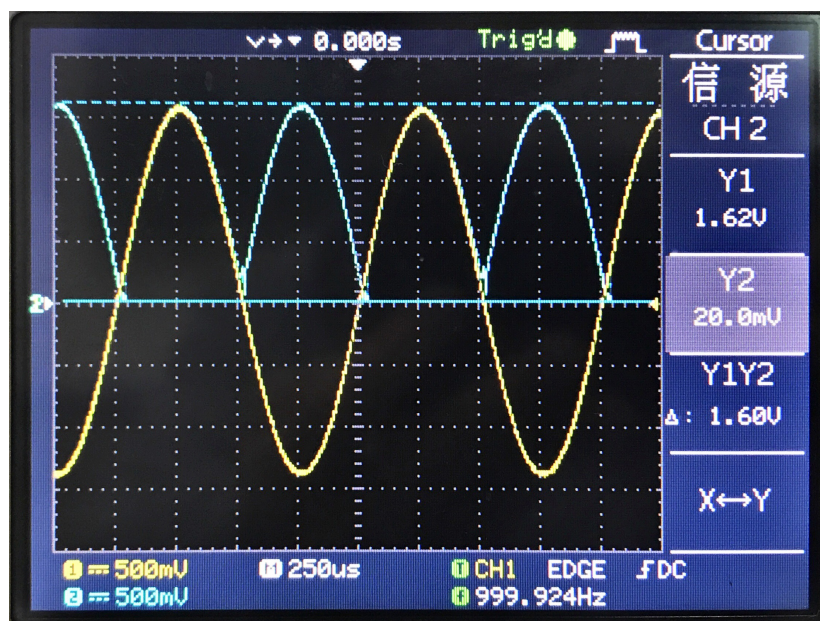


图 24: 精密全波整流电路输入输出信号波形

表 9: 输入输出信号峰值幅度数据记录

U_{ip+}/V	U_{ip-}/V	u_{op+}/V	u_{op-}/mV
1.60	-1.40	1.62	20.0

实验中测量了电位器 R_4 在电路输出调节好后的阻值为 $1.9474k\Omega$ 。

误差分析: 此时测得的各信号电压与理论预期较为接近, 但测得数据算术值均偏大仍然存在。输出信号波形也与预期的情况基本相符, 在 u_i 的正半周输出 u_o 波形与其完全重合, 在负半周可见 u_o 与 u_i 镜面对称, 电路的确具有全波整流的功能。

理论上为了获得符合要求的输出波形, 据原理分析中的讨论, 应当有 $R_4 = 2R_3$, 相对误差为:

$$\eta = \frac{|2 - 1.9474|}{2} \times 100\% = 2.63\%$$

导致此项误差的原因可能包括电阻 R_3 的阻值不准确和判断输出波形重合程度的主观性。

4 实验心得与体会

实验中我们研究了由双运算放大器 LM358 组成的各种运算电路的功能与特性, 了解了常见运算电路的工作原理, 进一步熟悉了各种电子学测试仪器的使用, 熟悉了各类电子元器件。

实验结果与预期基本一致, 但是实验中使用示波器测得的信号基本都有一个直流偏置, 信号的算术值偏大, 这可能是该实验台示波器或信号发生器性能不良导致的。

5 思考题

问: 运算放大器在同相放大和反相放大形式时, 在接法上有什么异同点? 同相放大器若把反馈电路也接到同向端行不行? 为什么?

答：同相放大的电路接法如图2所示，反相放大电路接法如图1，从中可总结出异同点如下
相同处：

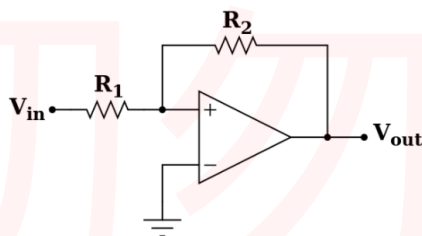
1. 都需要在电路中接入反馈网络，将部分输出信号输入运算放大器的反相端，引入负反馈以使运放工作在线性区。
2. 电路的输出端都直接连接在运算放大器的输出端，其输出电阻与驱动能力取决于使用的运放的性能，一般来说可以有较小的输出电阻，较强的负载能力。
3. 电路中平衡电阻都能够起平衡运放输入偏流的作用，对电路精度要求不高时均可以省略。

相异处：

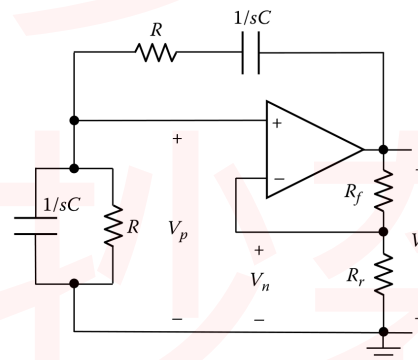
1. 输入端直接接入的位置不同，同向放大电路输入信号经过电阻后输入到运放的同相端，反向放大电路输入信号送入至运放的反相端。
2. 反相放大电路中同相端是接地的，因此反相端能够达到虚地的状态，运放内部电路的共模信号输入一般接近 0(此时对放大器的共模抑制比要求不高)，而同相放大电路没有一端是虚地的(对运放的共模抑制比指标要求较高)。

若电路的功能是实现线性、光滑的运算，把反馈电路也接到同向端是不行的，这样在电路中引入了不利于运放稳定工作在线性区的正反馈，运放将会饱和而无法工作。(在此假设反馈回路增益为正数，否则显然可以构成负反馈而稳定工作)

而如果电路的功能不是这样，把反馈电路也接到同向端是行的，比如典型的施密特比较器(如图25.a)就需要一个接入运放同相端的正反馈回路来起到迟滞作用；当运放作为振荡器时，也需要一个接入运放同相端的正反馈回路来满足振荡条件，如图25.b中典型的文氏电桥振荡器使用文氏电桥来作为正反馈网络。



25.a 施密特比较器电路原理图



25.b 使用运放的文氏电桥振荡器原理图

5+

实验八 加法器的应用

韩振、邱哲儒

PB15000009、PB15000034

2017年11月21日

1 实验目的

1. 掌握基本组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
2. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

2 实验原理

2.1 加法器

加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。一般的一位加法器包括半加器与全加器。

2.1.1 半加器

半加器可以完成两个一位二进制数相加，但只考虑两个加数本身，而不考虑来自相邻低位的进位，但是输出结果中包含得到的和以及和的进位。 n 位的半加器输出与输入的逻辑关系如下，典型的半加器逻辑图如后文中图7.a。

$$S_i = A_i \oplus B_i \quad C_i = A_i B_i \quad (i=0, 1, \dots, n-1)$$

2.1.2 全加器

全加器可以完成被加数、加数和来自低位的进位数三者相加，输出结果中包含得到的和以及和的进位。

n 位的全加器输出与输入的逻辑关系如下，典型的单位全加器逻辑图如后文中图7.b。

$$\begin{aligned} S_i &= m_1 + m_2 + m_4 + m_7 = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1} \\ &= \bar{A}_i (\bar{B}_i C_{i-1} + B_i \bar{C}_{i-1}) + A_i (\bar{B}_i \bar{C}_{i-1} + B_i C_{i-1}) = \bar{A}_i (B_i \oplus C_{i-1}) + A_i (B_i \oplus C_{i-1}) \end{aligned}$$

$$\begin{aligned} C_i &= m_3 + m_5 + A_i B_i = \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i = (\bar{A}_i B_i + A_i \bar{B}_i) C_{i-1} + A_i B_i \\ &= (A_i \oplus B_i) C_{i-1} + A_i B_i \quad (i=0, 1, \dots, n-1) \end{aligned}$$

2.2 加法器的级联

图7.a,7.b中单位的半加器与全加器均只能进行一位二进制数的相加，远远不能满足实际需求，为了实现两个多位二进制数的加法，可将多个加法器级联使用，主要有两种方案

2.2.1 行波进位加法器

由于两个多位数相加是每一位都是带进位相加，所以若使用全加器，将低位得到的和的进位信号连接到高一级的加法器的来自低位的进位数输入，将多个全加器串行起来就可以实现多位二进制数的加法，其典型逻辑图如图1。这种结构很简单，但是由于电路级数较多，电路的延迟时间随级数增加，因此运算速度较慢。

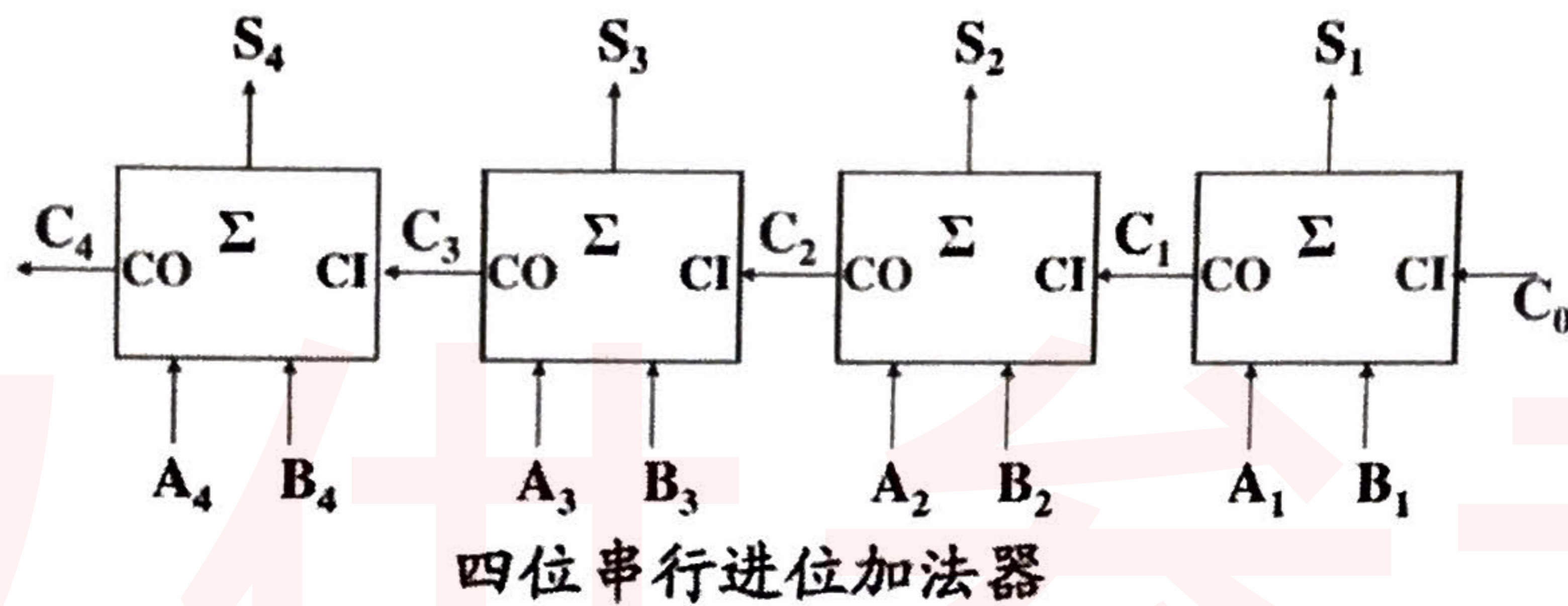


图 1: 行波进位加法器示意图

2.2.2 并行进位加法器

串行进位加法器的主要困难是每一位的进位结果是依赖于上一位的低位进位，因此电路有延迟，并行进位加法器将所有高位的进位输入端直接通过最低级的进位输入端来构造，也就是直接通过进位端 C_i 和 C_0 的表达式

$$\begin{aligned} C_i &= A_i B_i + (A_i \oplus B_i) C_{i-1} \\ &= G_i + P_i C_{i-1} \end{aligned}$$

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

...

来直接根据输入来计算应有的进位信号。式中 G_i, P_i 只与输入信号直接相关，与进位情况无关。按此递推式，可以写出 C_i 与 C_0 的显式，并可按此逻辑关系直接硬件实现。一种典型的四位并行进位加法器是 74LS283，其结构如图2所示

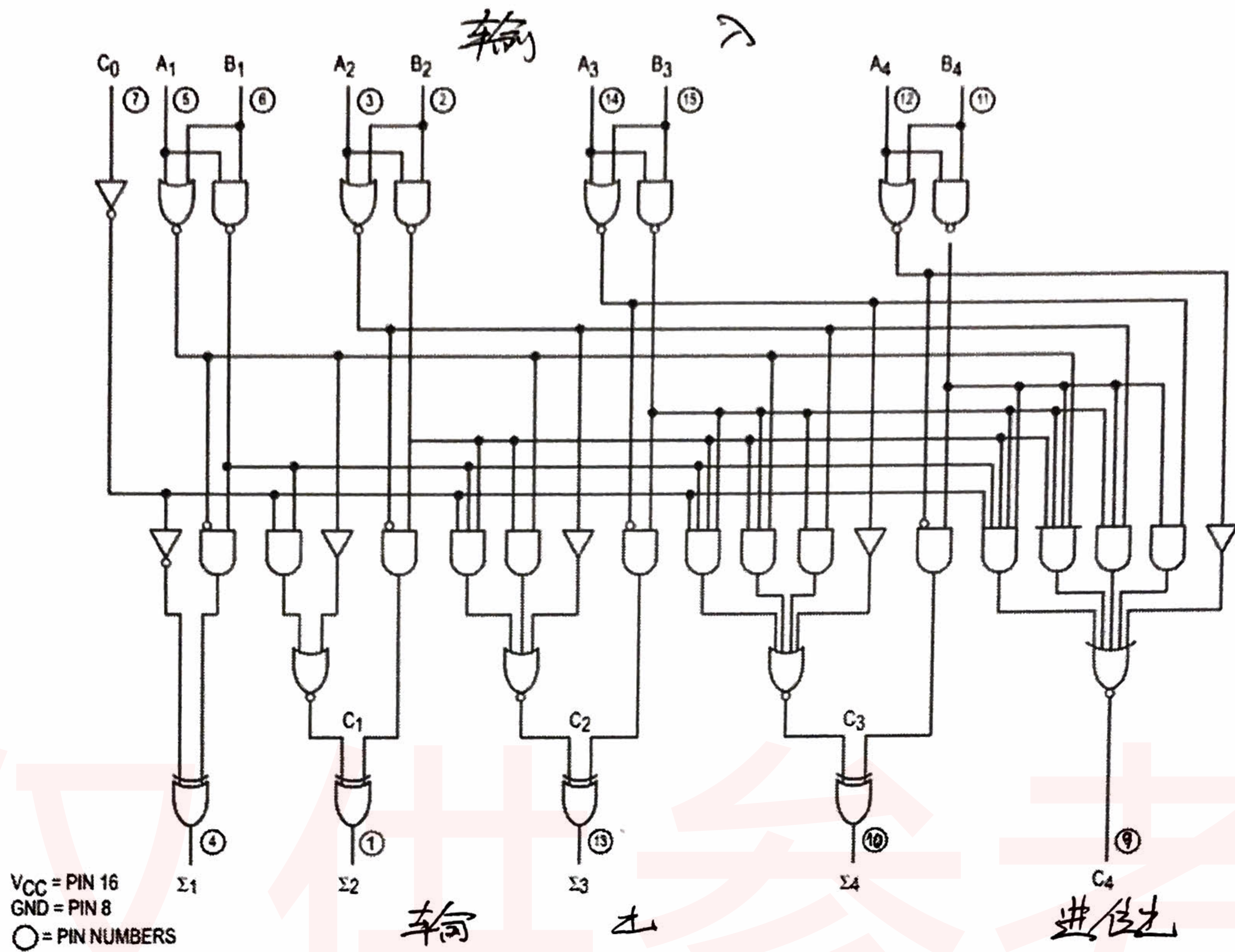


图 2: 并行进位加法器 74LS283 示意图

由于它采用了并行的结构，因此进位传送速度快，运算速度快。但是这种结构对于位数很高的二进制数就不合适了，因为 C_i 显式的复杂程度随着位数急剧上升，实际电路中是结合使用串行进位结构与并行进位结构的。

3 实验电路设计

3.1 实验任务 1

用一片 74LS283 实现并行四位全加，将 A 置为 1001，B 置为 00001001，依次计算 $A+B$ 并记录结果表列。电路设计：按图3连接电路，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。将输入 B0 至 B3 连接至逻辑开关组上，输出 O0 至 O3 及 OC 连接至指示灯组上。

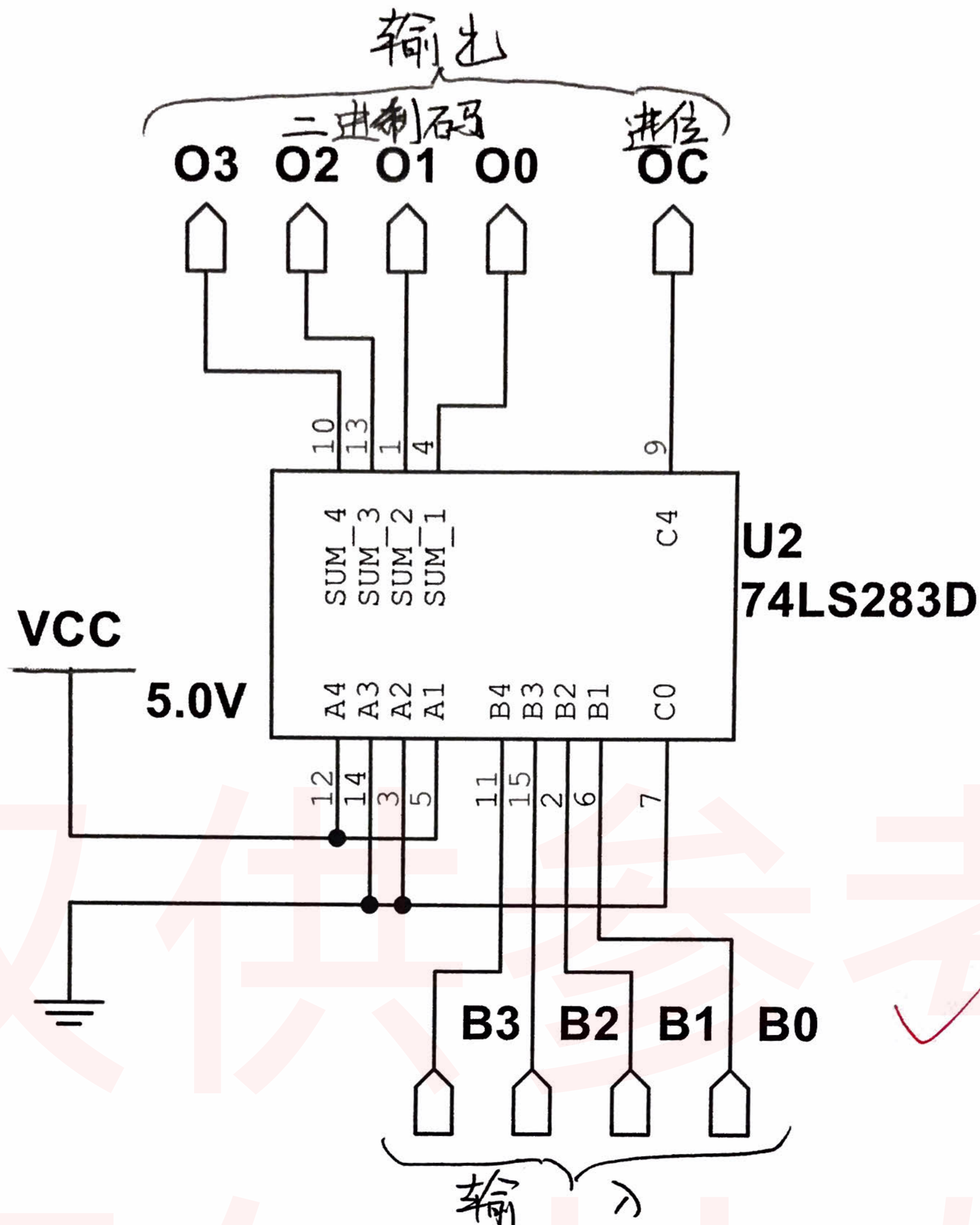


图 3: 用一片 74LS283 实现并行四位全加示意图

3.1.1 实验任务 2

用一片 74LS283 实现数据比较功能，要求输入（四位二进制） < 11 时输出一位低电平， ≥ 11 时输出一位高电平，要求画出逻辑功能图并记录结果。

分析此电路可以利用全加器的进位端方便的实现，若将 A 置为 $(5)_{10} = (0101)_2$ ，即可当输入 $B \geq (11)_{10}$ 时，输出 $A + B$ 溢出，可将进位输出 C 作为电路输出。

电路设计：按图4连接电路，此电路与图3中电路基本一致，只需将拉高的 A 管脚更换，并仅保留进位输出端作为输出，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。

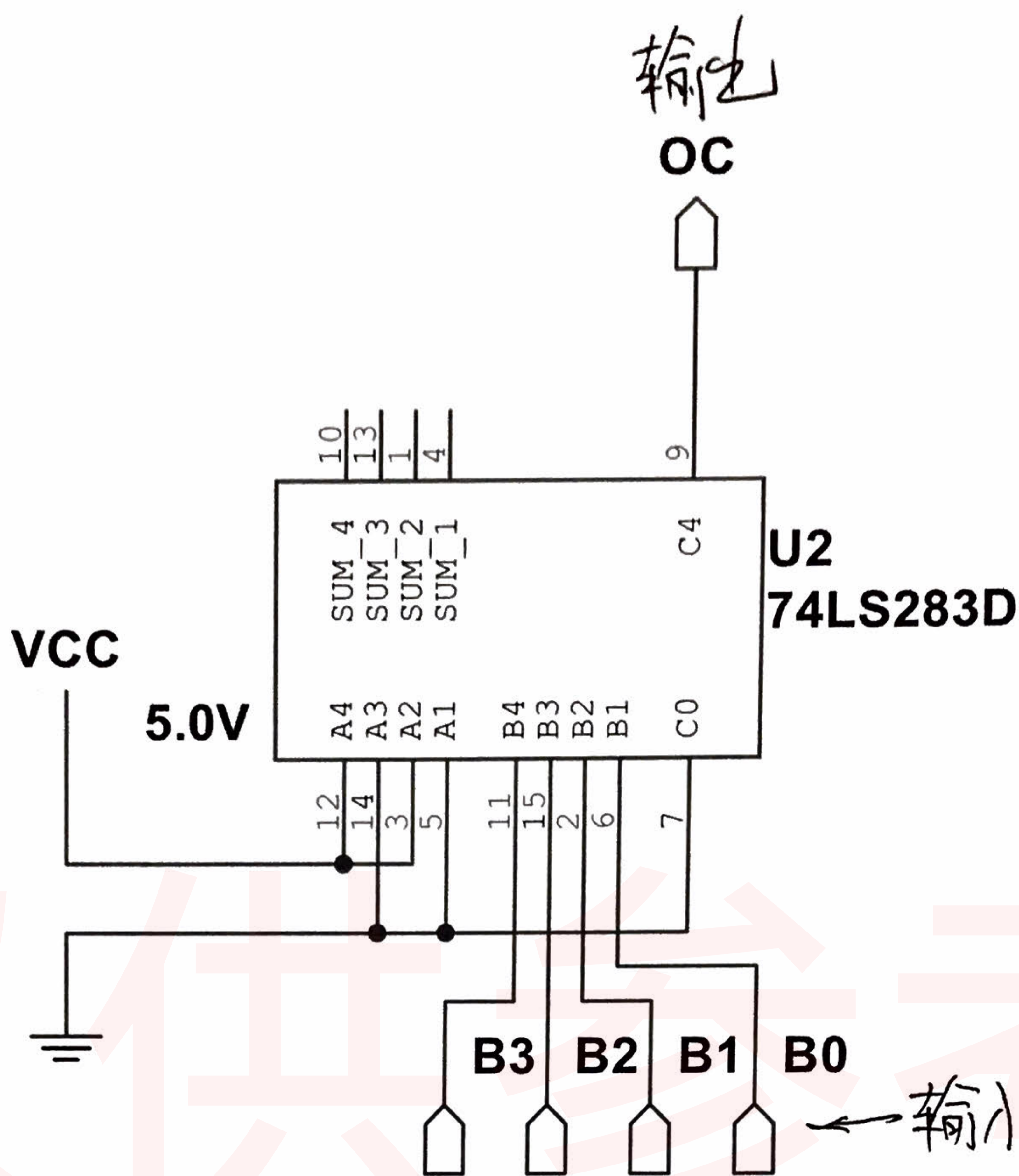


图 4: 用一片 74LS283 实现数据比较示意图

3.1.2 实验任务 3

两片 74LS283 和必要的门电路实现两个 8421BCD 码求和运算，结果仍为 8421BCD 码，并在两位七段数码管上显示正确的十进制结果。

电路设计思路: 输出的个位与十位可以分别设计。

设计个位数输出时，当加法结果大于 9 时，需要将得到的结果-10 送到个位上。减法操作按补码的思想可以转化为加法来实现，-10 的操作对于个位而言，相当于 +6。但是对于加法结果小于等于 9 的情况，则不需要 +6。因此可借助第二块 74LS283，将加法得到的结果与 6 或 0 相加，得到的结果就是正确的个位数。

为了判断应当加 0 还是 6，借助 74LS32、74LS08 根据第一级加法结果输出进行逻辑操作，使得所有对于大于 9 的 8421 码输入，输出为 6，小于等于 9 的输出为 0。因为 6 的二进制编码为 $(0110)_2$ ，对于输入中的两位可以用同一个逻辑电路来实现。大于 9 的 8421 码中必然有 8，在最高位输出为 1 的情况下，只有剩余低位仅输出 1 的情况是小于等于 9 的，因此分别将最高位输出与次高位、最高位于次高位作与门，再将总的结果用或门连接即可完成判断。此结果为 1 时应当加 6，否则应当加 0，因此将此结果作为四位二进制数的中间两位 (即 $(0PP0)_2$ 中的 P) 送入第二块 74LS283 的 B 输入端即可输出正确的个位数字。

这个判断电路逻辑功能的简化过程也可使用如图 5 的卡诺图处理。由于 P 在上一级加法存在进位时必定置 1，此时和大于 15；当上一级加法不存在进位时，依据加和是否大于 9 来决定置 1， $P = P' + C$ 。可画出卡诺图图 5，其输入为 S_0 至 S_3 ，输出为待求 P'

S_3S_2 \ S_1S_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

图 5: 判断电路卡诺图

可以总结出

$$P = P' + C = S_3S_2 + S_3S_1 + C$$

按需求输出的十位只可能是 0 或 1，实际上十位输出就是各位输出中是否需要进行 +6 操作的输入，因此将两级间逻辑电路的或门输出接至十位输出的最低位即可。

实验电路：按图6连接电路，注意连接电源端与地端，将加数与被加数输入连接至逻辑开关组上，个位与十位输出连接至两位数码管驱动芯片 CD4511 的 BCD 码输入端上即可观察现象。

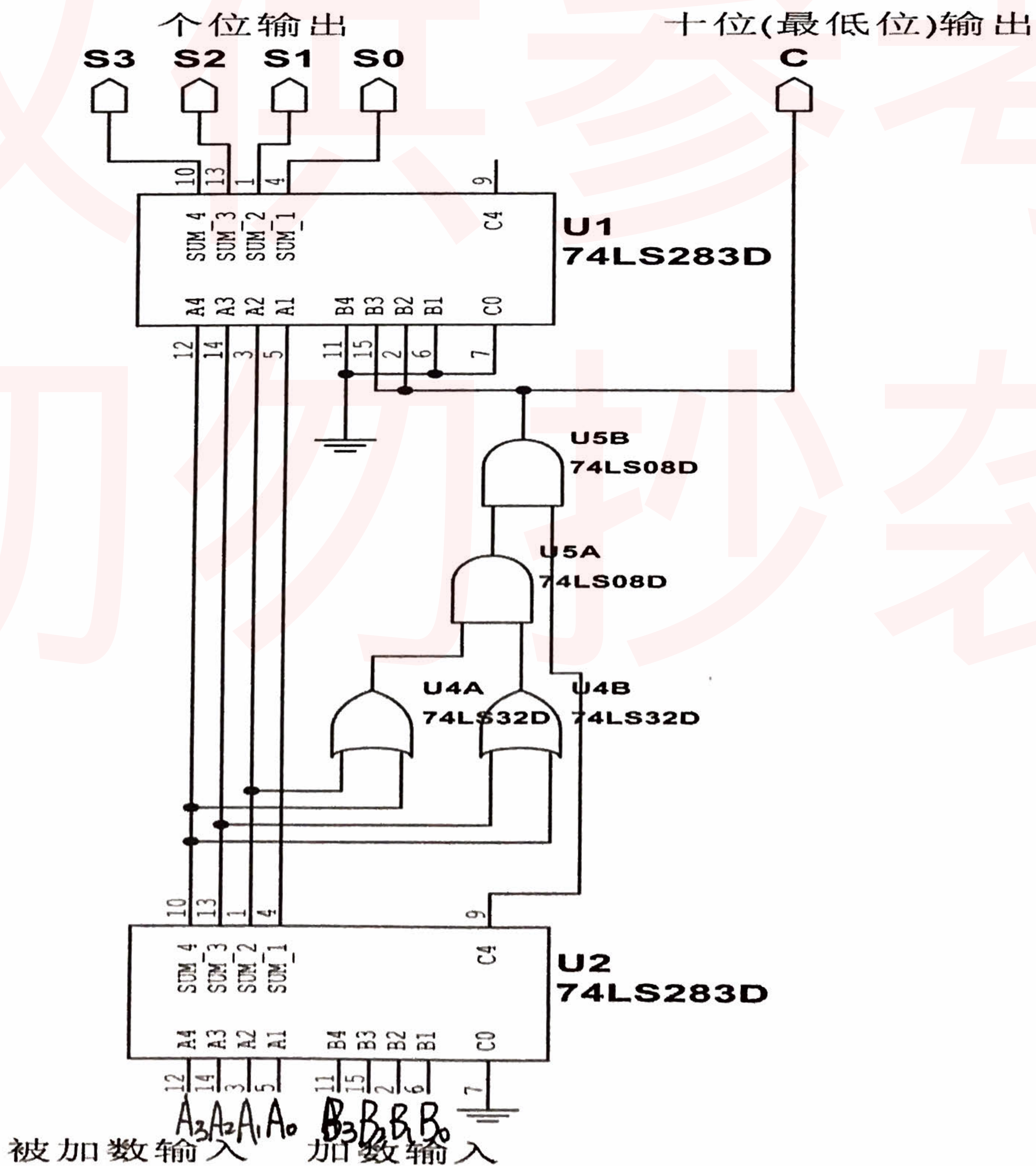


图 6: 两个 8421BCD 码求和运算电路

4 实验数据记录与分析

4.1 实验任务 1

按图3搭建电路，将 B 输入端遍取 $(0000)_2$ 至 $(1001)_2$ ，记录输出可得电路功能表如表1(实验中还额外试验了输入在 $(1001)_2$ 至 $(1111)_2$ 之间的情况。)

表 1: 全加器功能表

B3	B2	B1	B0	S3	S2	S1	S0	C
0	0	0	0	0	1	0	1	0
0	0	0	1	0	1	1	0	0
0	0	1	0	0	1	1	1	0
0	0	1	1	1	0	0	0	0
0	1	0	0	1	0	0	1	0
0	1	0	1	1	0	1	0	0
0	1	1	0	1	0	1	1	0
0	1	1	1	1	1	0	0	0
1	0	0	0	1	1	0	1	0
1	0	0	1	1	1	1	0	0
1	0	1	0	1	1	1	1	0
1	0	1	1	0	0	0	0	1
1	1	0	0	0	0	0	1	1
1	1	0	1	0	0	1	0	1
1	1	1	0	0	0	1	1	1
1	1	1	1	0	1	0	0	1

$(0000)_2$
至
 $(1001)_2$

得到的结果中 $S_3S_2S_1S_0$ 四位表示结果的二进制后四位， C 表示进位。可见所有的输入输出均符合全加器的预期功能，能够在输入为 $(1001)_2$ 时正确完成四位二进制加法操作。实际上，当我们把低位进位置 1，将 A 调整为其他数值时，加法功能依然能够实现。

4.2 实验任务 2

按图6搭建电路，将 B 输入端遍取 $(0000)_2$ 至 $(1111)_2$ ，记录输出可得电路功能表如表2

表 2: 数据比较器功能表

B3	B2	B1	B0	C
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

小于 11

大于等于 11

可见电路能够按要求完成二进制数比较功能，在输入二进制数大于等于十进制 11 时输出高电平。
在其他情景下输出为低电平。

4.3 实验任务 3

按图4搭建电路，由于电路输入可能情况较多，仅试验部分重要情况。改变加数与被加数输入端值，使输出遍取十进制的 0 至 19，记录输出可得电路部分功能表如表3

表 3: BCD 码求和运算器部分功能表

A3	A2	A1	A0	B3	B2	B1	B0	数显：十位	数显：个位
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	2
0	0	0	1	0	0	1	0	0	3
0	0	1	0	0	0	1	0	0	4
0	0	0	1	0	1	0	0	0	5
0	0	1	1	0	0	1	1	0	6
0	1	1	0	0	0	0	1	0	7
0	1	0	1	0	0	1	1	0	8
1	0	0	0	0	0	0	1	0	9
0	1	1	1	0	0	1	1	1	0
1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	1	0	1	1	2
1	0	0	1	0	1	0	0	1	3
1	1	1	0	0	0	0	0	1	4
1	0	0	0	0	1	1	1	1	5
1	0	0	0	1	0	0	0	1	6
1	1	0	0	0	1	0	1	1	7
1	1	1	1	0	0	1	1	1	8
1	0	0	1	1	0	1	0	1	9

实验验证的这几种输出都符合电路的设计要求，这说明我们利用 74LS32 和 74LS08 实现的十进制下的进位判别原理正确，芯片工作正常，电路连接正确。但是对于加和为 20 及以上的输入，即题目要求范围外的输出，无法正常工作。这体现了我们的处理方法的局限性。

5 实验心得与体会

本次实验中我们利用 74LS283,74LS32,74LS08 等芯片，搭建了半加器，全加器，一位十进制加法电路，并测试了它们的逻辑功能。首先，我们搭建了全加器电路，并且对于一个加数为的情况下验证了其加法功能；之后，我们利用 BCD8421 码的性质，将一个全加器改造为数值比较器，能够比较输入和某一特定数值之间的大小；最后，我们利用与第二个实验相同的思想，借助两片 74LS283 实现了两个一位数的加法及显示电路。实验的结果符合我们的预期，实验的手段也带给我们关于加法器应用的很多启发。我们明白了如何从二进制加法元件构建十进制加法电路，也了解了串行并联加法器的速度缺陷以及超前进位加法器的优势与广泛用途。

6 思考题

问：总结用门电路实现半加器和全加器的方法。

答：全加器与半加器的实现可以通过其逻辑表达式总结得到

半加器：其逻辑表达式为

$$S = A \oplus B = \bar{A}B + A\bar{B}$$

$$C_o = AB$$

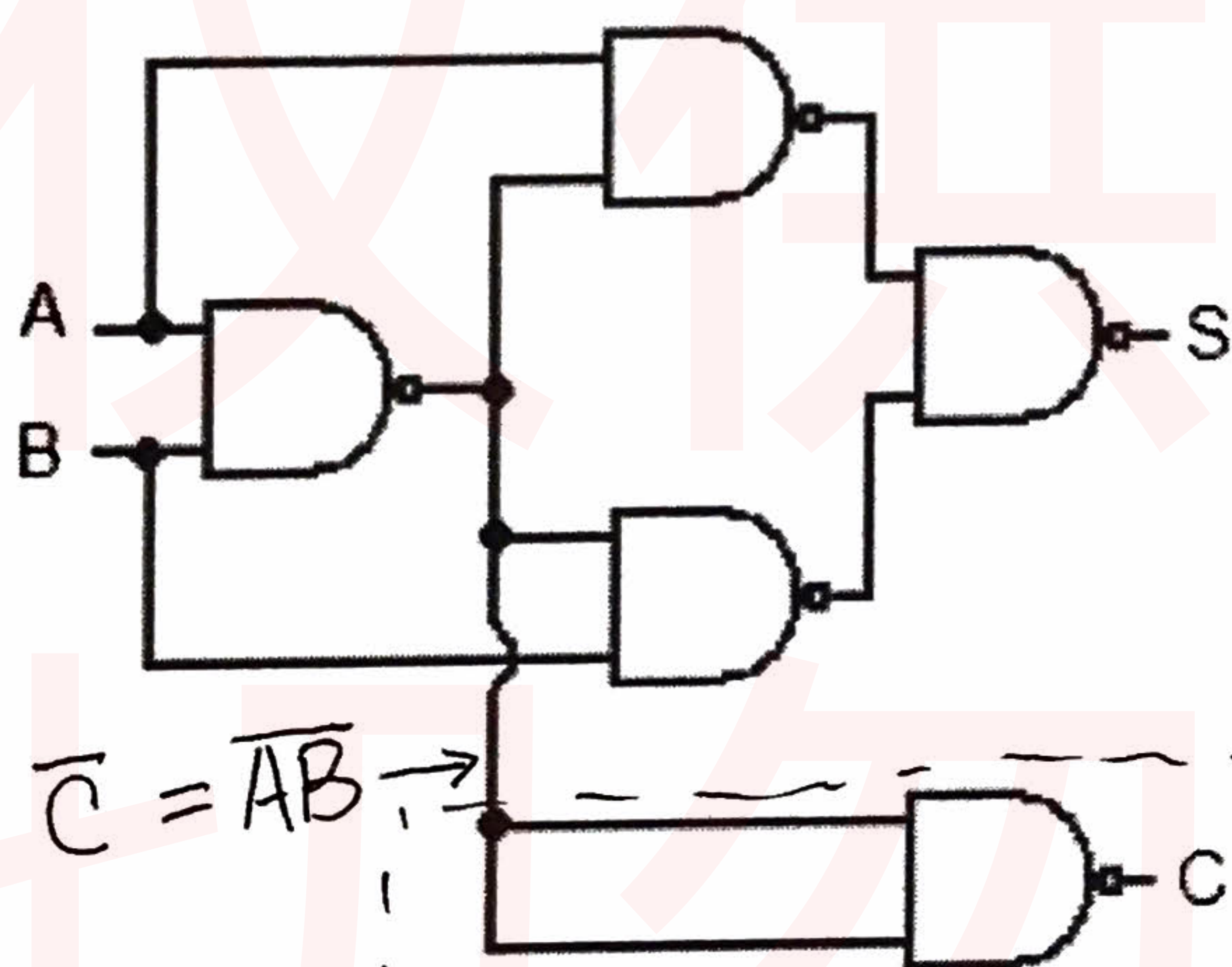
可得到一种可能的实现如 ~~图7.a~~ 图7.a所示。

全加器：根据其功能可以列出真值表如表4。其输出的逻辑表达式为

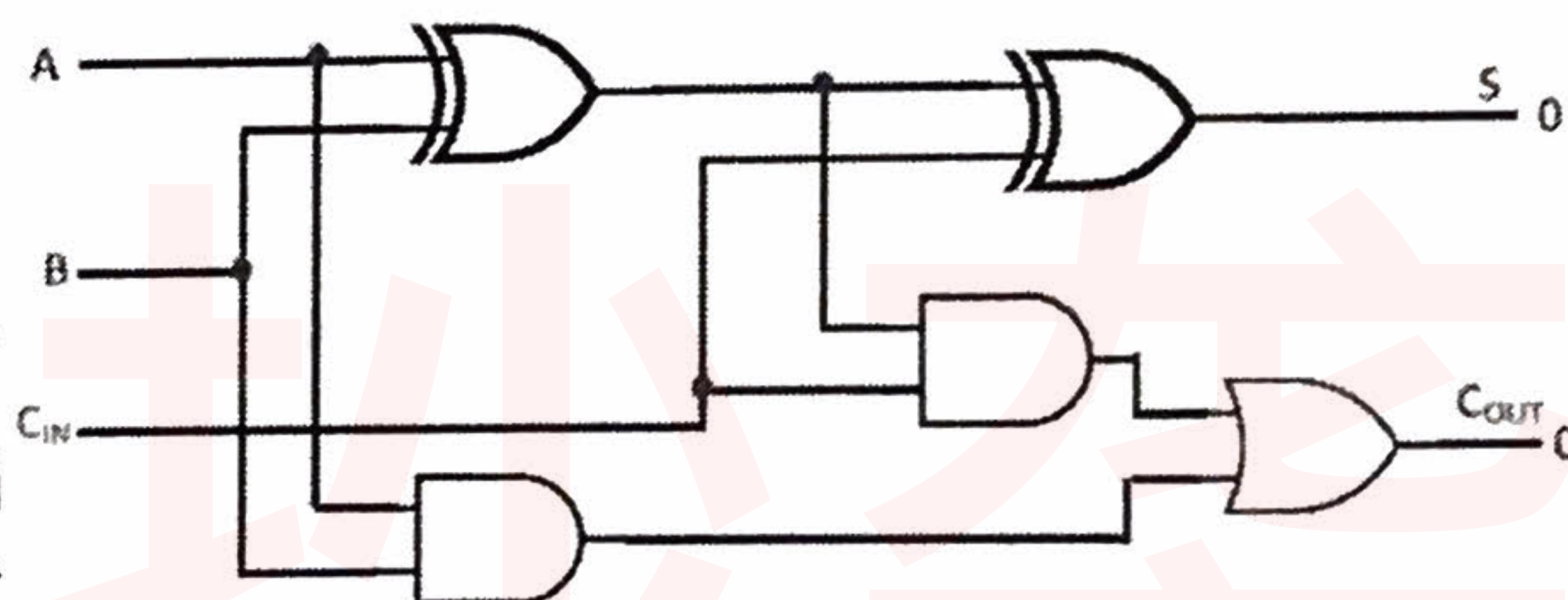
$$S = A \oplus B \oplus C_i \quad \text{--- (*)}$$

$$C_o = AB + (A \oplus B)C_i$$

再将异或门展开为基本门电路，即可得到一种可能的实现如图7.b所示，全加器其实也可由两个半加器构造而成，如图8所示。



7.a 半加器逻辑示意图



7.b 全加器逻辑示意图

问：总结用四位二进制全加器 74LS283 设计代码转换电路的方法。

答：首先，代码转换电路的输入为一个四位全加器的输出结果，因此有二进制进位端和二进制输出端作为输入。当上级全加器输出结果 >9 时，十进制的十位对应的数码管显示 1，同时个位数应该显示上级加法器输出-10。由于 BCD8421 码的性质，仅考虑后四位的情况下，-10 操作与 +6 操作效果一样。因此，代码转换电路中也包含一个全加器。全加器的输入应该是某一个逻辑电路的输出，而该逻辑电路要求将上级加法器输出作为输入，并且在输入对应的十进制码 >9 时输出 6，否则输出 0，作为次级加法器的输入。次级加法器的结果就可以作为有效的个位数的七段数码管输入。而十位数只要连接到逻辑电路的输出端，即可在十进制进位时示 1，不进位示 0。

另外使用 74LS283 可以方便的实现 BCD 编码的 8421 码和余 3 码间相互转化，只需将一个输入端连接 $(0011)_2$ ，另一输入端连接输入代码即可完成 8421 码至余三码的转换，反之可以通过加补码来实现。

总的来说，使用全加器实现代码转换电路的思路是将代码转换的逻辑关系总结为加减法的关系和一些其他的判断条件，使用门电路来实现其他判断，用补码来完成减法。

实验报告

评分: _____

系 _____ 级 姓名 _____ 日期 _____ No _____

实验题目: 问:全部采用与非门设计,实现一位全加器

实验目的: 答:全加器的逻辑功能如表4所示.

表4.全加器逻辑功能表

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由全加器逻辑表达式(*)式,可知,全加器可用两个半加器级连组成,如图8(a)所示.

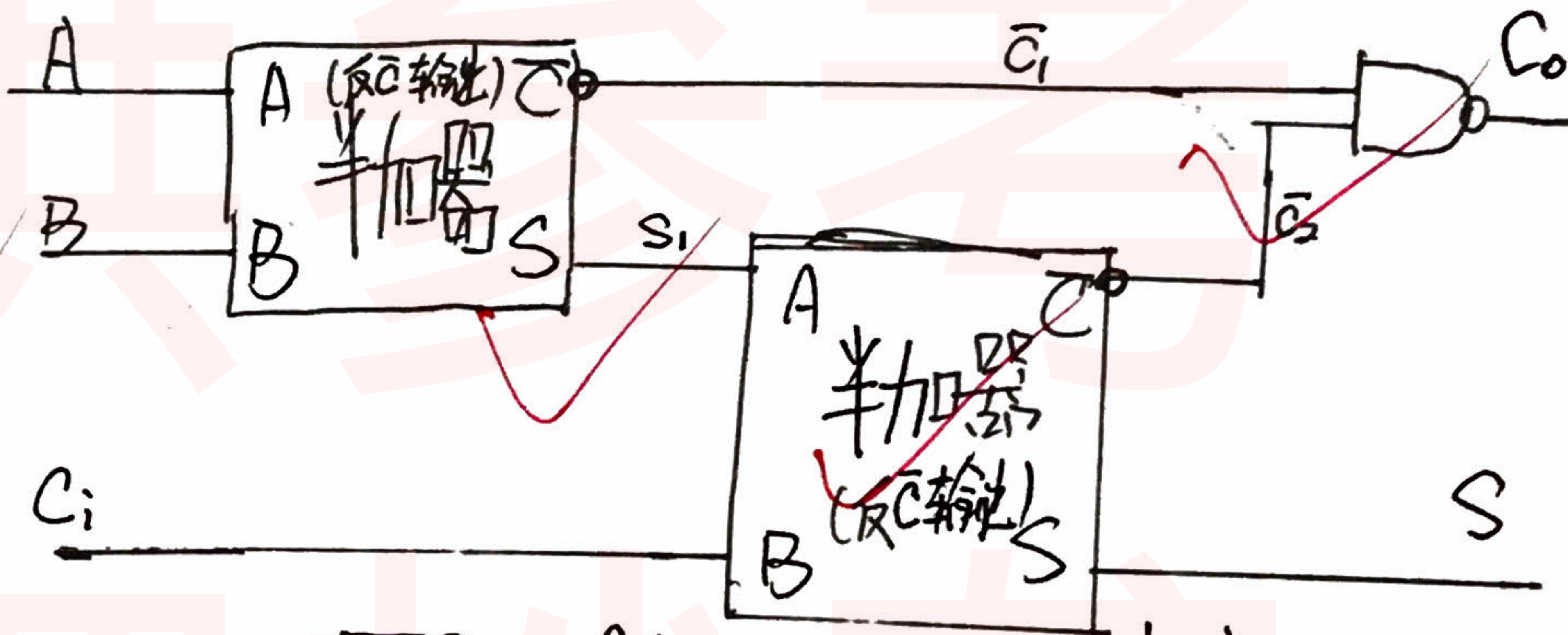


图8(a)全加器(用半加器构成)

而半加器可按图7(a)设计为完全用NAND门构成的电路,图8(a)中需要 \bar{C}_1 输出,恰好可去除虚线框中的门来实现,级联构成的全加器如图8(b).

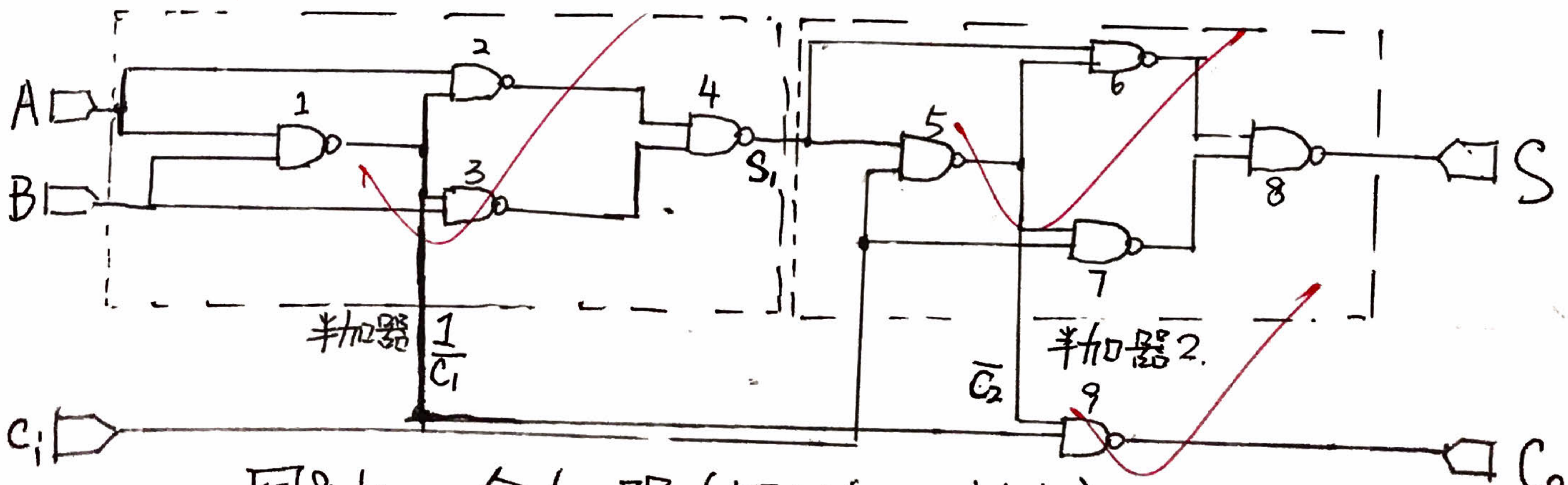


图8(b).全加器(用NAND构成)

1101-145 2014.12.2500

图中门1234构成第一个半加器,门5678构成第二个半加器.

实验报告

评分:

系 _____ 级 姓名 _____ 日期 _____ No _____

实验题目: $\Delta, A=1001$

实验目的:

C_3	B	$A+B$	C_3
0	0 0 0 0	1 0 0 1	0
0	0 0 0 1	1 0 1 0	0
0	0 0 1 0	1 0 1 1	0
0	0 0 1 1	1 1 0 0	0
0	0 1 0 0	1 1 0 1	0
0	0 1 0 1	1 1 1 0	0
0	0 1 1 0	1 1 1 1	0
0	0 1 1 1	0 0 0 0	1
0	1 0 0 0	0 0 0 1	1
0	1 0 0 1	0 0 1 0	1

实验报告

评分: _____

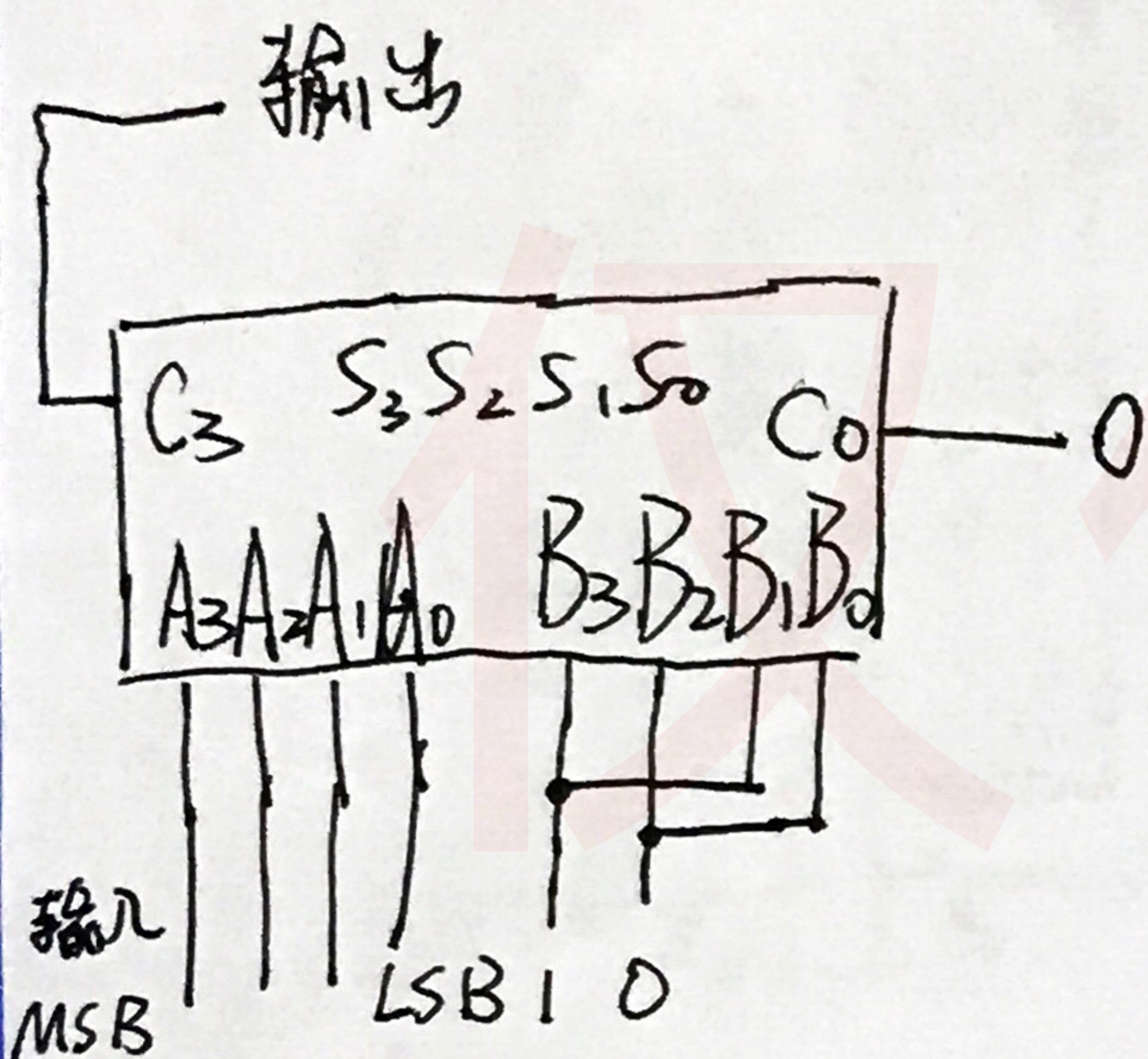
系 _____ 级 姓名 _____ 日期 _____ No _____

实验题目: _____

实验目的: _____

题二:

	A ₃	A ₂	A ₁	A ₀	C ₀	C ₃
	0	0	0	0	0	0
	0	0	0	1	0	0
	0	0	1	0	0	0
	0	0	1	1	0	0
	0	1	0	0	0	0
	0	1	0	1	0	0
	0	1	1	0	0	0
	0	1	1	1	0	0
	1	0	0	0	0	0
	1	0	0	1	0	0
	1	0	1	0	0	0
	1	0	1	1	0	1
	1	1	0	0	0	1
	1	1	0	1	0	1
	1	1	1	0	0	1
	1	1	1	1	0	1



实验报告

评分: _____

系 _____ 级 姓名 _____

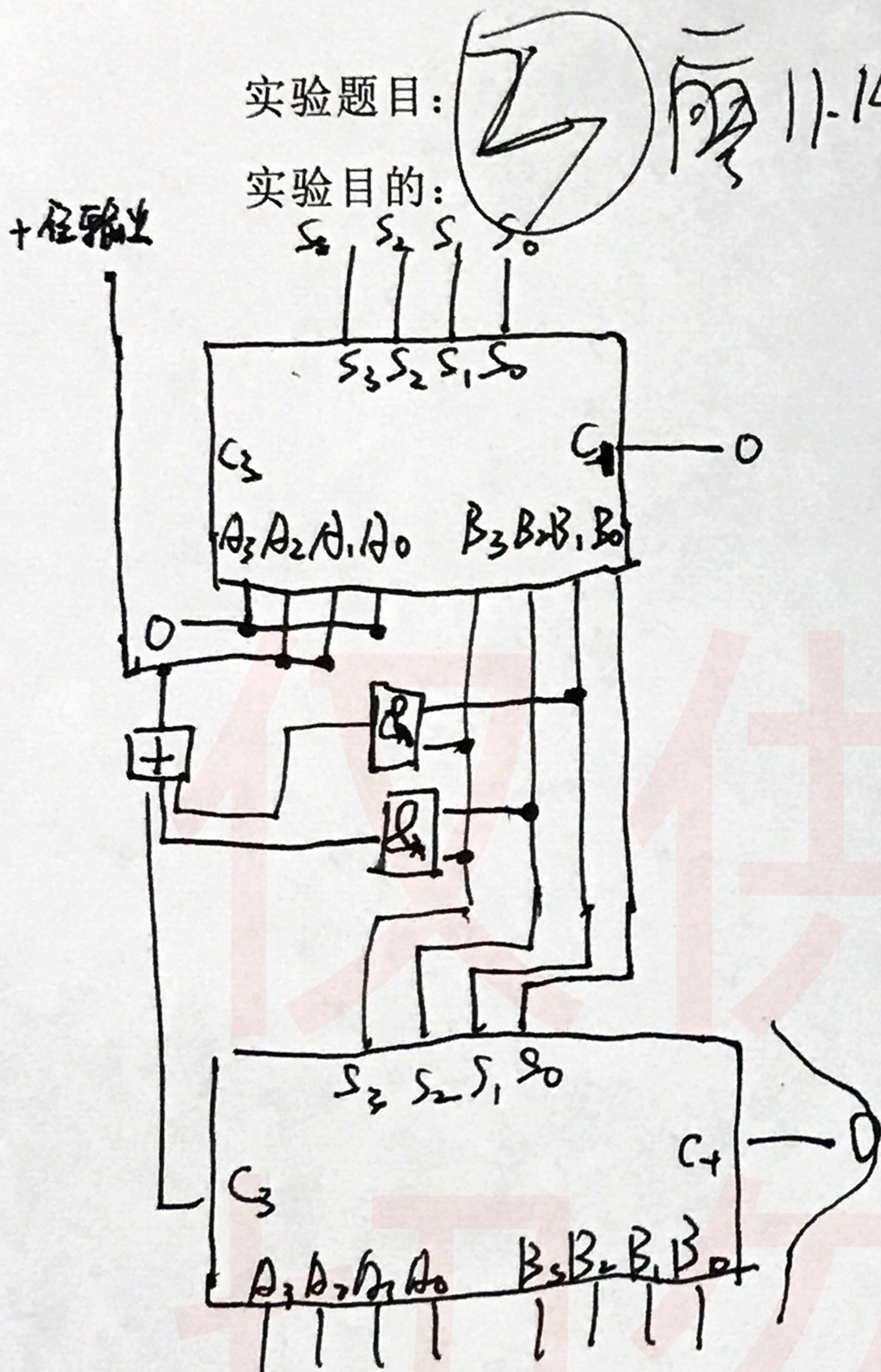
日期 _____

No _____

实验题目: 2 例 11-14

实验目的: _____

+位输出



A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0	十位	个位
0	0	0	0	0	0	1	1	0	3
0	0	1	1	0	0	0	0	0	3
0	0	1	0	0	0	1	1	0	5
0	1	0	1	0	1	0	1	1	0
0	1	1	1	1	0	0	0	1	5
1	0	0	0	1	0	0	0	1	0
1	0	1	0	1	0	0	1	1	4

输入

输出

输出

8421 BCD 译码器

实验八 加法器的应用

韩振、邱哲儒
PB15000009、PB15000034
2017年11月21日

这次的报告错误较多
印后还有修改
请看扫描版

1 实验目的

1. 掌握基本组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
2. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

2 实验原理

2.1 加法器

加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。一般的一位加法器包括半加器与全加器。

2.1.1 半加器

半加器可以完成两个一位二进制数相加，但只考虑两个加数本身，而不考虑来自相邻低位的进位，但是输出结果中包含得到的和以及和的进位。 n 位的半加器输出与输入的逻辑关系如下，典型的半加器逻辑图如后文中图7.a。

$$S_i = A_i \oplus B_i \quad C_i = A_i B_i$$

2.1.2 全加器

全加器可以完成被加数、加数和来自低位的进位数三者相加，输出结果中包含得到的和以及和的进位。

n 位的全加器输出与输入的逻辑关系如下，典型的单位全加器逻辑图如后文中图7.b。

$$\begin{aligned} S_i &= m_1 + m_2 + m_4 + m_7 = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1} \\ &= \bar{A}_i (\bar{B}_i C_{i-1} + B_i \bar{C}_{i-1}) + A_i (\bar{B}_i \bar{C}_{i-1} + B_i C_{i-1}) = \bar{A}_i (B_i \oplus C_{i-1}) + A_i (\overline{B_i \oplus C_{i-1}}) \end{aligned}$$

$$\begin{aligned} C_i &= m_3 + m_5 + A_i B_i = \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i = (\bar{A}_i B_i + A_i \bar{B}_i) C_{i-1} + A_i B_i \\ &= (A_i \oplus B_i) C_{i-1} + A_i B_i \end{aligned}$$

2.2 加法器的级联

图7.a,7.b中单位的半加器与全加器均只能进行一位二进制数的相加，远远不能满足实际需求，为了实现两个多位二进制数的加法，可将多个加法器级联使用，主要有两种方案

2.2.1 行波进位加法器

由于两个多位数相加是每一位都是带进位相加，所以若使用全加器，将低位得到的和的进位信号连接到高一级的加法器的来自低位的进位数输入，将多个全加器串行起来就可以实现多位二进制数的加法，其典型逻辑图如图1。这种结构很简单，但是由于电路级数较多，电路的延迟时间随级数增加，因此运算速度较慢。

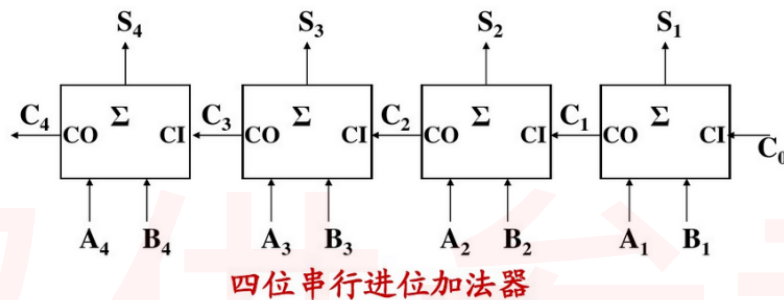


图 1: 行波进位加法器示意图

2.2.2 并行进位加法器

串行进位加法器的主要困难是每一位的进位结果是依赖于上一位的低位进位，因此电路有延迟，并行进位加法器将所有高位的进位输入端直接通过最低级的进位输入端来构造，也就是直接通过进位端 C_i 和 C_0 的表达式

$$\begin{aligned} C_i &= A_i B_i + (A_i \oplus B_i) C_{i-1} \\ &= G_i + P_i C_{i-1} \end{aligned}$$

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

...

来直接根据输入来计算应有的进位信号。式中 G_i, P_i 只与输入信号直接相关，与进位情况无关。按此递推式，可以写出 C_i 与 C_0 的显式，并可按此逻辑关系直接硬件实现。一种典型的四位并行进位加法器是 74LS283，其结构如图2所示

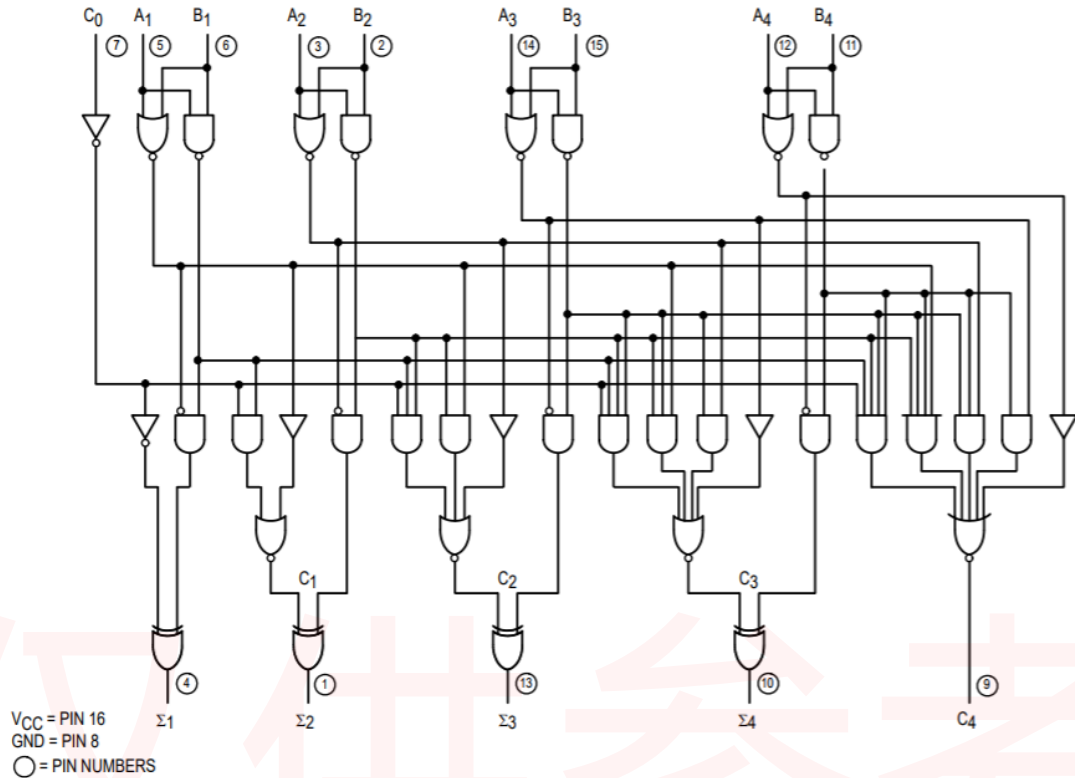


图 2: 并行进位加法器 74LS283 示意图

由于它采用了并行的结构，因此进位传送速度快，运算速度快。但是这种结构对于位数很高的二进制数就不合适了，因为 C_i 显式的复杂程度随着位数急剧上升，实际电路中是结合使用串行进位结构与并行进位结构的。

3 实验电路设计

3.1 实验任务 1

用一片 74LS283 实现并行四位全加，将 A 置为 1001，B 置为 0000 1001，依次计算 $A+B$ 并记录结果表列。**电路设计:** 按图3连接电路，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。将输入 B0 至 B3 连接至逻辑开关组上，输出 O0 至 O3 及 OC 连接至指示灯组上。

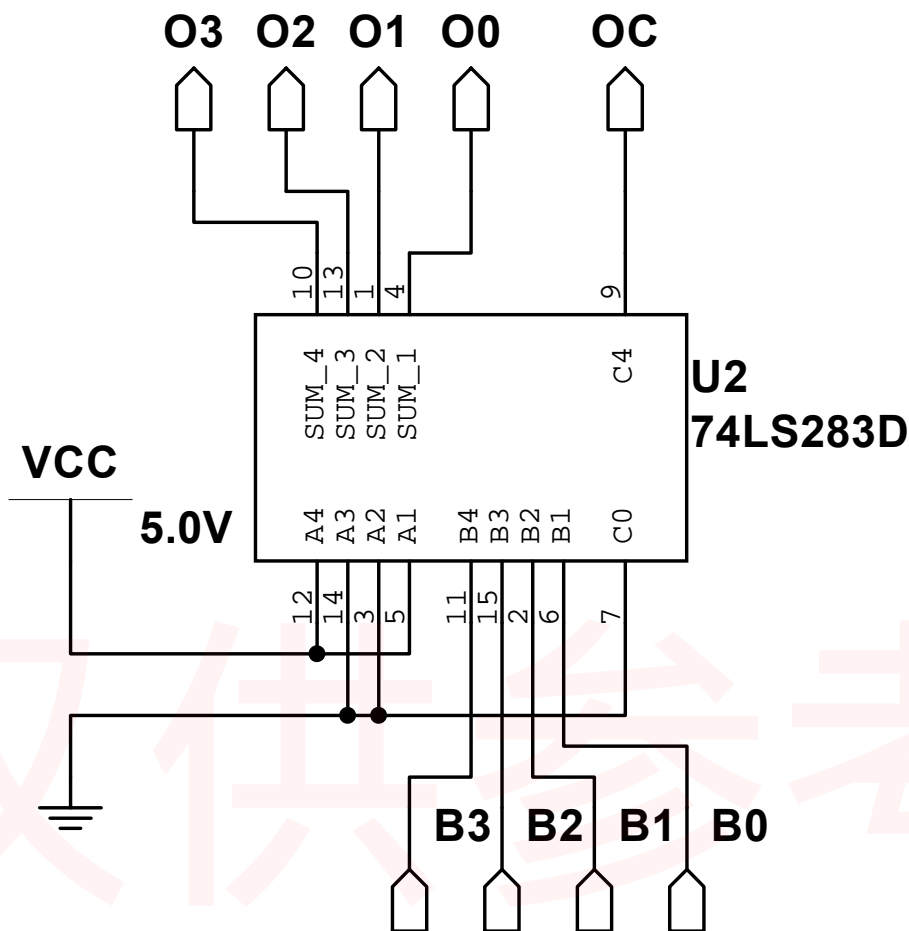


图 3: 用一片 74LS283 实现并行四位全加示意图

3.1.1 实验任务 2

用一片 74LS283 实现数据比较功能，要求输入（四位二进制） < 11 时输出一位低电平， ≥ 11 时输出一位高电平，要求画出逻辑功能图并记录结果。

分析此电路可以利用全加器的进位端方便的实现，若将 A 置为 $(5)_{10} = (0101)_2$ ，即可当输入 $B \geq (11)_{10}$ 时，输出 $A + B$ 溢出，可将进位输出 C 作为电路输出。

电路设计: 按图4连接电路，此电路与图3中电路基本一致，只需将拉高的 A 管脚更换，并仅保留进位输出端作为输出，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。

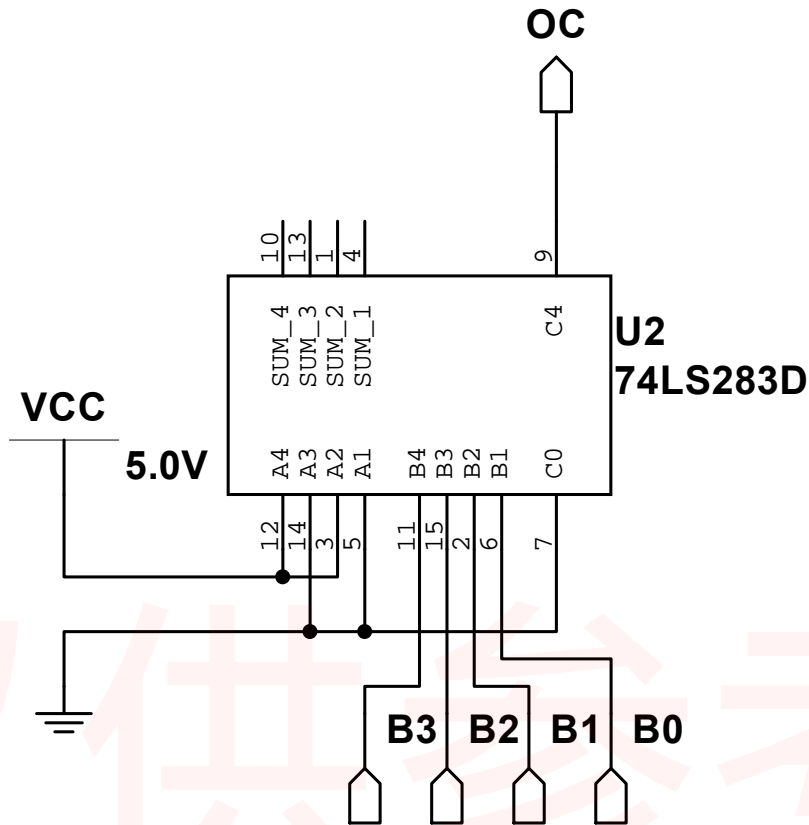


图 4: 用一片 74LS283 实现数据比较示意图

3.1.2 实验任务 3

两片 74LS283 和必要的门电路实现两个 8421BCD 码求和运算，结果仍为 8421BCD 码，并在两位七段数码管上显示正确的十进制结果。

电路设计思路: 输出的个位与十位可以分别设计。

设计个位数输出时，当加法结果大于 9 时，需要将得到的结果-10 送到个位上。减法操作按补码的思想可以转化为加法来实现，-10 的操作对于个位而言，相当于 +6。但是对于加法结果小于等于 9 的情况，则不需要 +6。因此可借助第二块 74LS283，将加法得到的结果与 6 或 0 相加，得到的结果就是正确的个位数。

为了判断应当加 0 还是 6，借助 74LS32、74LS08 根据第一级加法结果输出进行逻辑操作，使得所有对于大于 9 的 8421 码输入，输出为 6，小于等于 9 的输出为 0。因为 6 的二进制编码为 $(0110)_2$ ，对于输入中的两位可以用同一个逻辑电路来实现。大于 9 的 8421 码中必然有 8，在最高位输出为 1 的情况下，只有剩余低位仅输出 1 的情况是小于等于 9 的，因此分别将最高位输出与次高位、最高位于次高位作与门，再将总的结果用或门连接即可完成判断。此结果为 1 时应当加 6，否则应当加 0，因此将此结果作为四位二进制数的中间两位（即 $(0PP0)_2$ 中的 P ）送入第二块 74LS283 的 B 输入端即可输出正确的个位数字。

这个判断电路逻辑功能的简化过程也可使用如图 5 的卡诺图处理。由于 P 在上一级加法存在进位时必定置 1，此时和大于 15；当上一级加法不存在进位时，依据加和是否大于 9 来决定置 1， $P = P' + C$ 。可画出卡诺图图 5，其输入为 S_0 至 S_3 ，输出为待求 P'

S3s2 \ S1S0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	1

图 5: 判断电路卡诺图

可以总结出

$$P = P' + C = S_3S_2 + S_3S_1 + C$$

按需求输出的十位只可能是 0 或 1，实际上十位输出就是各位输出中是否需要进位 +6 操作的输入，因此将两级间逻辑电路的或门输出接至十位输出的最低位即可。

实验电路: 按图6连接电路，注意连接电源端与地端，将加数与被加数输入连接至逻辑开关组上，个位与十位输出连接至两位数码管驱动芯片 CD4511 的 BCD 码输入端上即可观察现象。

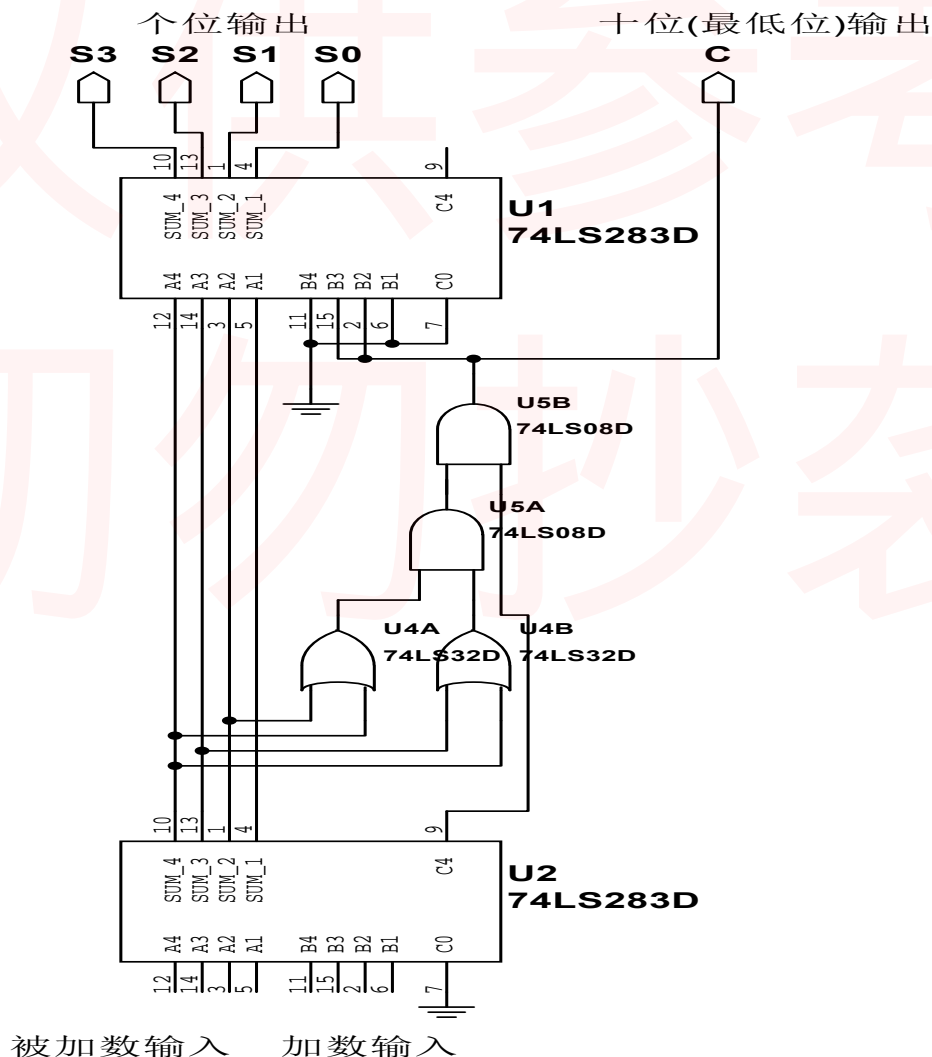


图 6: 两个 8421BCD 码求和运算电路

4 实验数据记录与分析

4.1 实验任务 1

按图3搭建电路，将 B 输入端遍取 $(0000)_2$ 至 $(1001)_2$ ，记录输出可得电路功能表如表1(实验中还额外试验了输入在 $(1001)_2$ 至 $(1111)_2$ 之间的情况。)

表 1: 全加器功能表

B3	B2	B1	B0	S3	S2	S1	S0	C
0	0	0	0	0	1	0	1	0
0	0	0	1	0	1	1	0	0
0	0	1	0	0	1	1	1	0
0	0	1	1	1	0	0	0	0
0	1	0	0	1	0	0	1	0
0	1	0	1	1	0	1	0	0
0	1	1	0	1	0	1	1	0
0	1	1	1	1	1	0	0	0
1	0	0	0	1	1	0	1	0
1	0	0	1	1	1	1	0	0
1	0	1	0	1	1	1	1	0
1	0	1	1	0	0	0	0	1
1	1	0	0	0	0	0	1	1
1	1	0	1	0	0	1	0	1
1	1	1	0	0	0	1	1	1
1	1	1	1	0	1	0	0	1

得到的结果中 $S_3S_2S_1S_0$ 四位表示结果的二进制后四位， C 表示进位。可见所有的输入输出均符合全加器的预期功能，能够在输入为 $(1001)_2$ 时正确完成四位二进制加法操作。实际上，当我们把低位进位置 1，将 A 调整为其他数值时，加法功能依然能够实现。

4.2 实验任务 2

按图6搭建电路，将 B 输入端遍取 $(0000)_2$ 至 $(1111)_2$ ，记录输出可得电路功能表如表2

表 2: 数据比较器功能表

B3	B2	B1	B0	C
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

可见电路能够按要求完成二进制数比较功能，在输入二进制数大于等于十进制 11 时输出高电平。

4.3 实验任务 3

按图4搭建电路，由于电路输入可能情况较多，仅试验部分重要情况。改变加数与被加数输入端值，使输出遍取十进制的 0 至 19，记录输出可得电路部分功能表如表3

表 3: BCD 码求和运算器部分功能表

A3	A2	A1	A0	B3	B2	B1	B0	数显：十位	数显：个位
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	2
0	0	0	1	0	0	1	0	0	3
0	0	1	0	0	0	1	0	0	4
0	0	0	1	0	1	0	0	0	5
0	0	1	1	0	0	1	1	0	6
0	1	1	0	0	0	0	1	0	7
0	1	0	1	0	0	1	1	0	8
1	0	0	0	0	0	0	1	0	9
0	1	1	1	0	0	1	1	1	0
1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	1	0	1	1	2
1	0	0	1	0	1	0	0	1	3
1	1	1	0	0	0	0	0	1	4
1	0	0	0	0	1	1	1	1	5
1	0	0	0	1	0	0	0	1	6
1	1	0	0	0	1	0	1	1	7
1	1	1	1	0	0	1	1	1	8
1	0	0	1	1	0	1	0	1	9

实验验证的这几种输出都符合电路的设计要求，这说明我们利用 74LS32 和 74LS08 实现的十进制下的进位判别原理正确，芯片工作正常，电路连接正确。但是对于加和为 20 及以上的输入，即题目要求范围外的输出，无法正常工作。这体现了我们的处理方法的局限性。

5 实验心得与体会

本次实验中我们利用 74LS283,74LS32,74LS08 等芯片，搭建了半加器，全加器，一位十进制加法电路，并测试了它们的逻辑功能。首先，我们搭建了全加器电路，并且对于一个加数为的情况下验证了其加法功能；之后，我们利用 BCD8421 码的性质，将一个全加器改造为数值比较器，能够比较输入和某一特定数值之间的大小；最后，我们利用与第二个实验相同的思想，借助两片 74LS283 实现了两个一位数的加法及显示电路。实验的结果符合我们的预期，实验的手段也带给我们关于加法器应用的很多启发。我们明白了如何从二进制加法元件构建十进制加法电路，也了解了串行并联加法器的速度缺陷以及超前进位加法器的优势与广泛用途。

6 思考题

问：总结用门电路实现半加器和全加器的方法。

答：全加器与半加器的实现可以通过其逻辑表达式总结得到

半加器：其逻辑表达式为

$$S = A \oplus B = \bar{A}B + A\bar{B}$$

$$C_o = AB$$

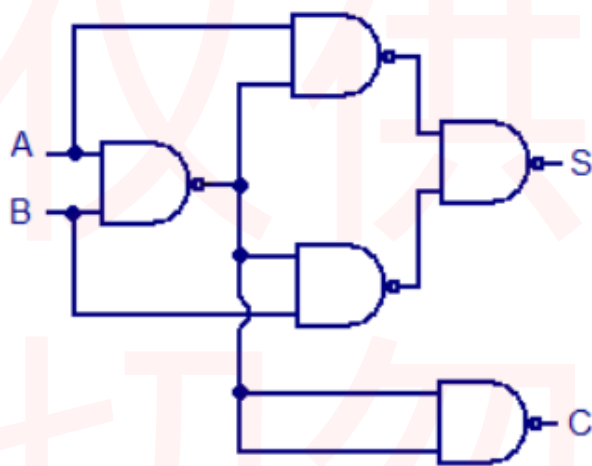
可得到一种可能的实现如前文中图7.a所示。

全加器：根据其功能可以列出真值表如表4。其输出的逻辑表达式为

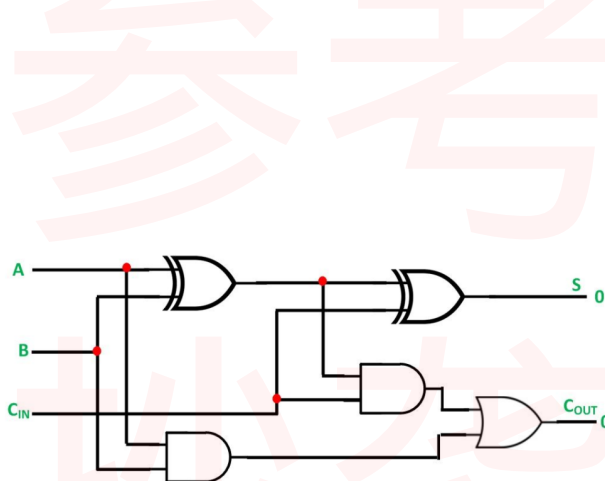
$$S = A \oplus B \oplus C_i$$

$$C_o = AB + (A \oplus B)C_i$$

再将异或门展开为基本门电路，即可得到一种可能的实现如图7.b所示，半加器其实也可由两个全加器构造而成。



7.a 半加器逻辑示意图



7.b 全加器逻辑示意图

问：总结用四位二进制全加器 74LS283 设计代码转换电路的方法。

答：首先，代码转换电路的输入为一个四位全加器的输出结果，因此有二进制进位端和二进制输出端作为输入。当上级全加器输出结果 >9 时，十进制的十位对应的数码管显示 1，同时个位数应该显示上级加法器输出-10。由于 BCD8421 码的性质，仅考虑后四位的情况下，-10 操作与 +6 操作效果一样。因此，代码转换电路中也包含一个全加器。全加器的输入应该是某一个逻辑电路的输出，而该逻辑电路要求将上级加法器输出作为输入，并且在输入对应的十进制码 >9 时输出 6，否则输出 0，作为次级加法器的输入。次级加法器的结果就可以作为有效的个位数的七段数码管输入。而十位数只要连接到逻辑电路的输出端，即可在十进制进位时示 1，不进位示 0。

另外使用 74LS283 可以方便的实现 BCD 编码的 8421 码和余 3 码间相互转化，只需将一个输入端连接 $(0011)_b$ ，另一输入端连接输入代码即可完成 8421 码至余三码的转换，反之可以通过加补码来实现。

总的来说，使用全加器实现代码转换电路的思路是将代码转换的逻辑关系总结为加减法的关系和一些其他的判断条件，使用门电路来实现其他判断，用补码来完成减法。

问: 全部采用与非门设计, 实现一位全加器。

答: 全加器的逻辑功能如表4所示,

表 4: 全加器逻辑功能表

A	B	C _i	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

对逻辑表达式进行恒等变换, 有

$$S = \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i$$

$$C = \bar{A}BC_i + A\bar{B}C_i + AB\bar{C}_i + ABC_i$$

⇒

$$S = \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i$$

$$= \overline{\bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i}$$

$$= \overline{\bar{A}\bar{B}C_i} \cdot \overline{\bar{A}B\bar{C}_i} \cdot \overline{A\bar{B}\bar{C}_i} \cdot \overline{ABC_i}$$

$$C = \bar{A}BC_i + A\bar{B}C_i + AB\bar{C}_i + ABC_i$$

$$= \overline{\bar{A}BC_i + A\bar{B}C_i + AB\bar{C}_i + ABC_i}$$

$$= \overline{\bar{A}BC_i} \cdot \overline{A\bar{B}C_i} \cdot \overline{AB\bar{C}_i} \cdot \overline{ABC_i}$$

由于本题要求我们只使用与非门, 因此非门的逻辑作用可以通过将变量与 1 变量进行与非运算来实现。电路如图8所示

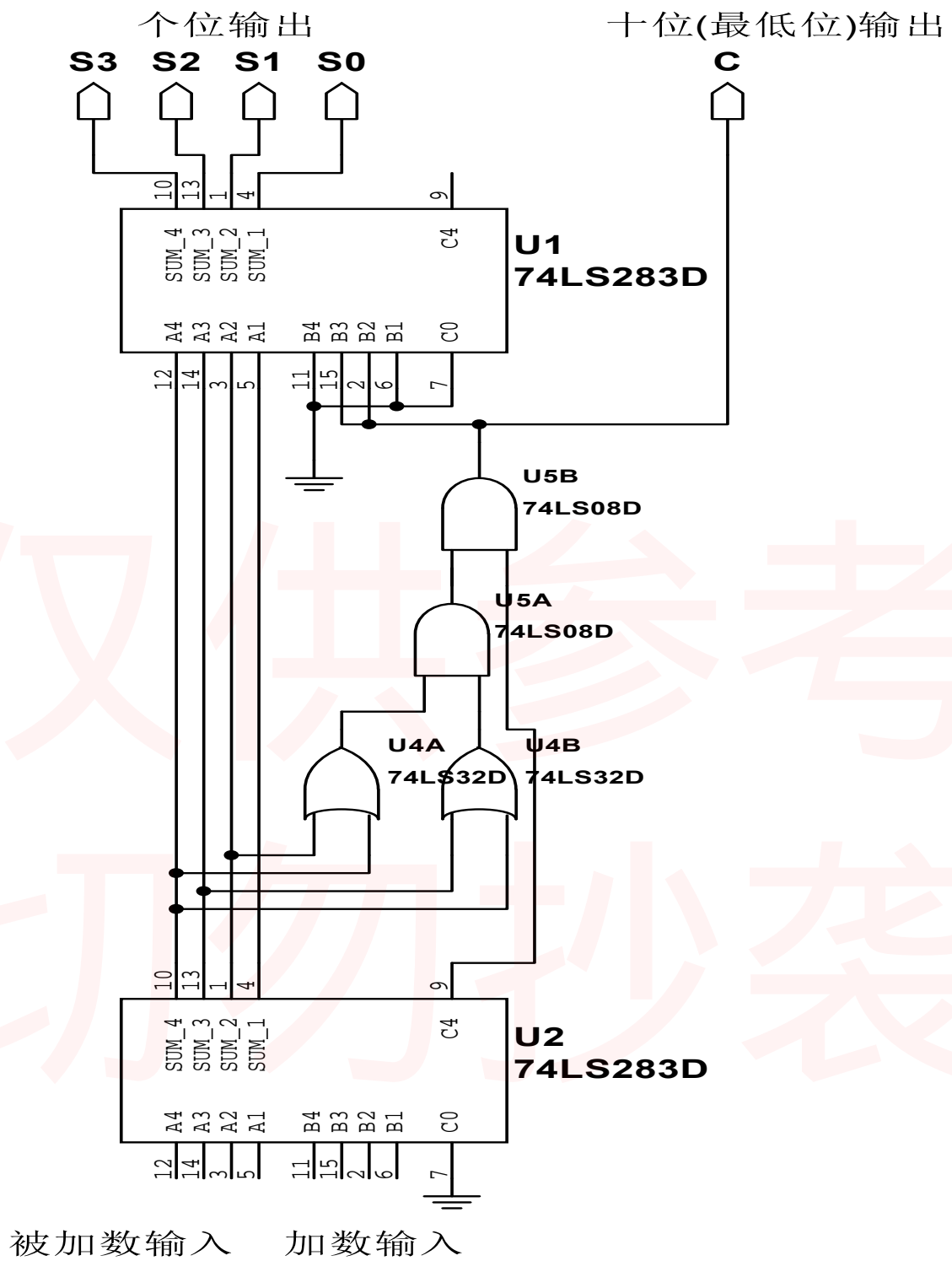


图 8: 两个 8421BCD 码求和运算电路

实验九 数据选择器

韩振、邱哲儒

(PB15000009、PB15000034)

2017年11月28日

1 实验目的

1. 掌握一定规模的集成数据选择器的逻辑功能与工作原理，学习其扩展方法。
2. 学习用数据选择器组成逻辑电路，了解其应用。

2 实验原理

2.1 数据选择器

数据选择器 (Multiplexer, 复用器) 可以看作为一个能够根据地址来决定从多路输入中选择一组数据送到输出的数字开关, 可以认为是一个传递数字信号的单刀多掷开关。

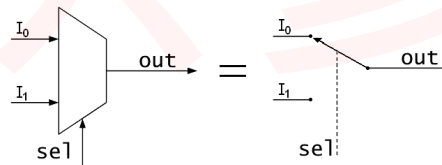


图 1: 数据选择器原理示意图

例如一个四选一数据选择器输出的逻辑表达式为

$$X = I_0 \cdot S_0 \cdot S_1 + I_1 \cdot \bar{S}_0 \cdot S_1 + I_2 \cdot S_0 \cdot \bar{S}_1 + I_3 \cdot \bar{S}_0 \cdot \bar{S}_1 \quad (1)$$

常见的 74LS153 是双四选一数据选择器, 其内部构造示意图如图2所示。

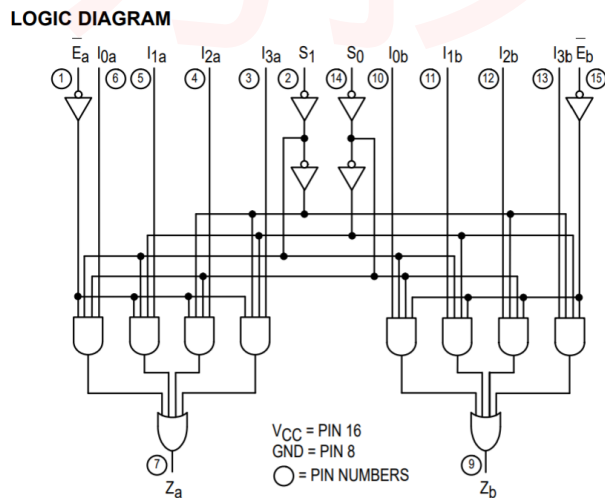


图 2: 74LS153 原理示意图

其采用 16 管脚的封装，两组数据选择器共用地地址输入端 S_0, S_1 ，数据输入与输出端是独立的，另设有两个低电平有效的使能端 \bar{E}_a, \bar{E}_b ，可以独立的控制两路选择器的工作与否。若使能端 \bar{E}_a, \bar{E}_b 被拉高，对应的输出端 Z_a, Z_b 会被强制为低电平。

74LS151 是八选一数据选择器，其构造如图3所示。

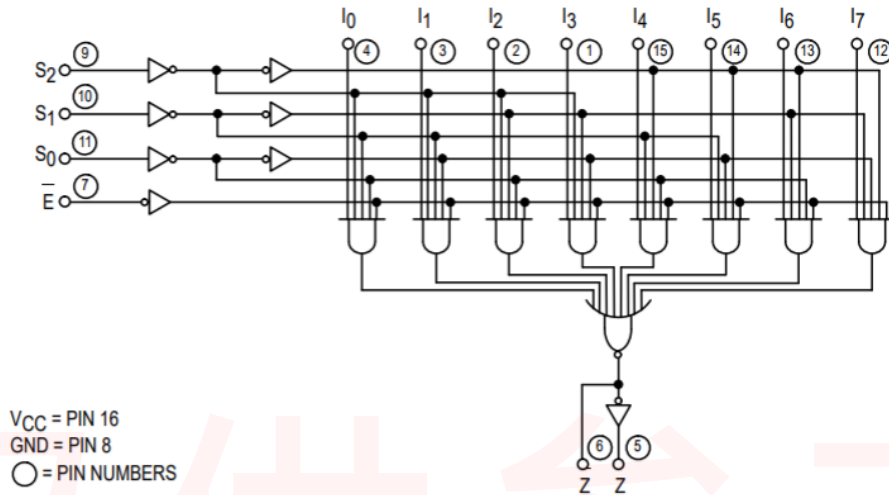


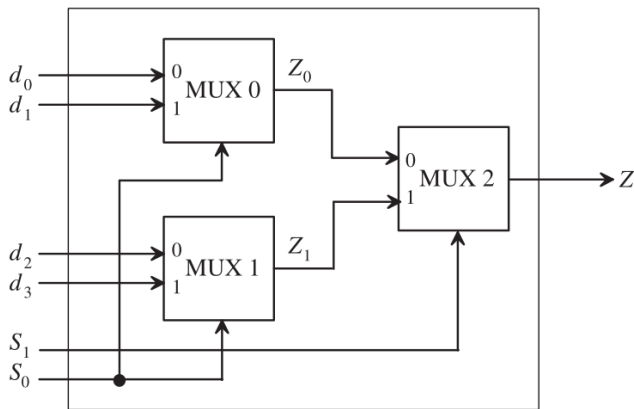
图 3: 74LS151 原理示意图

其有三个地址输入端 S_0, S_1, S_2 与低电平有效的使能端 \bar{E} ，有同相和反相两个输出端 Z 与 \bar{Z} ，在使能端输入为高电平时，同相输出被强制为低。可以写出其输出的逻辑表达式为

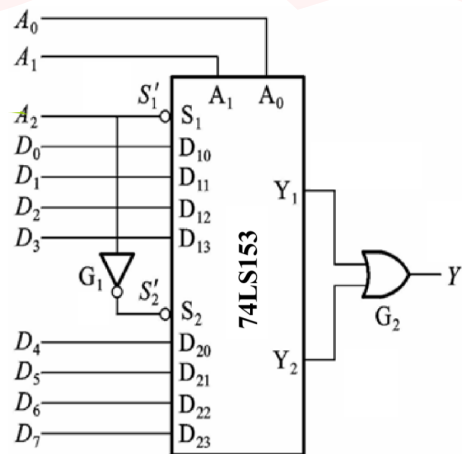
$$Z = \bar{E} \cdot (I_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_1 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + I_3 \cdot S_0 \cdot S_1 \cdot \bar{S}_2 + I_4 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot S_2 + I_5 \cdot S_0 \cdot \bar{S}_1 \cdot S_2 + I_6 \cdot \bar{S}_0 \cdot S_1 \cdot S_2 + I_7 \cdot S_0 \cdot S_1 \cdot S_2) \quad (2)$$

2.2 数据选择器的扩展

有时仅仅一个数据选择器的输入路线数量不够，那么可以通过多个数据选择器间的特殊接法来实现数据选择器的扩展，如图4.a所示，可以使用三个二路数据选择器组成四选一数据选择器。利用 74LS153 的使能端，如图4.b所示，外加两个逻辑门就可以将其扩展为八选一数据选择器。



4.a 二路数据选择器组成四选一数据选择器



4.b 74LS153 组成八选一数据选择器

2.3 数据选择器实现逻辑函数

从上面的表达式(1), (2)我们可以看到, 数据选择器的逻辑表达式具有类似最小项的形式。具有 n 位地址输入的数据选择器, 通过按照各个最小项的存在性, 为各个输入端提供不同的输入数据 (若存在提供 1, 否则提供 0), 以地址输入作为逻辑函数的输入, 可产生任何形式的输入变量不大于 $n + 1$ 的组合逻辑函数。这种实现方式类似于查表, 这样的设计思想在可编程逻辑器件的设计中应用广泛。

3 数据分析与处理

3.1 多数表决电路的设计制作

使用 8 选 1 数据选择器 74LS151 设计三输入多数表决电路, 即输出信号为三输入中存在同一值的信号。其逻辑函数经过化简后为

$$\begin{aligned} Y = \sum m(3, 5, 6, 7) &= 0 \cdot \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{A}_0 + 0 \cdot \bar{A}_2 \cdot \bar{A}_1 \cdot A_0 \\ &+ 0 \cdot \bar{A}_2 \cdot A_1 \cdot \bar{A}_0 + 1 \cdot \bar{A}_2 \cdot A_1 \cdot A_0 + 0 \cdot A_2 \cdot \bar{A}_1 \cdot \bar{A}_0 \\ &+ 1 \cdot A_2 \cdot \bar{A}_1 \cdot A_0 + 1 \cdot A_2 \cdot A_1 \cdot \bar{A}_0 + 1 \cdot A_2 \cdot A_1 \cdot A_0 \end{aligned} \quad (3)$$

在数据选择器中连接 I_3, I_5, I_6, I_7 为高电平, 其余置为低电平即可实现功能, 搭建电路如图5

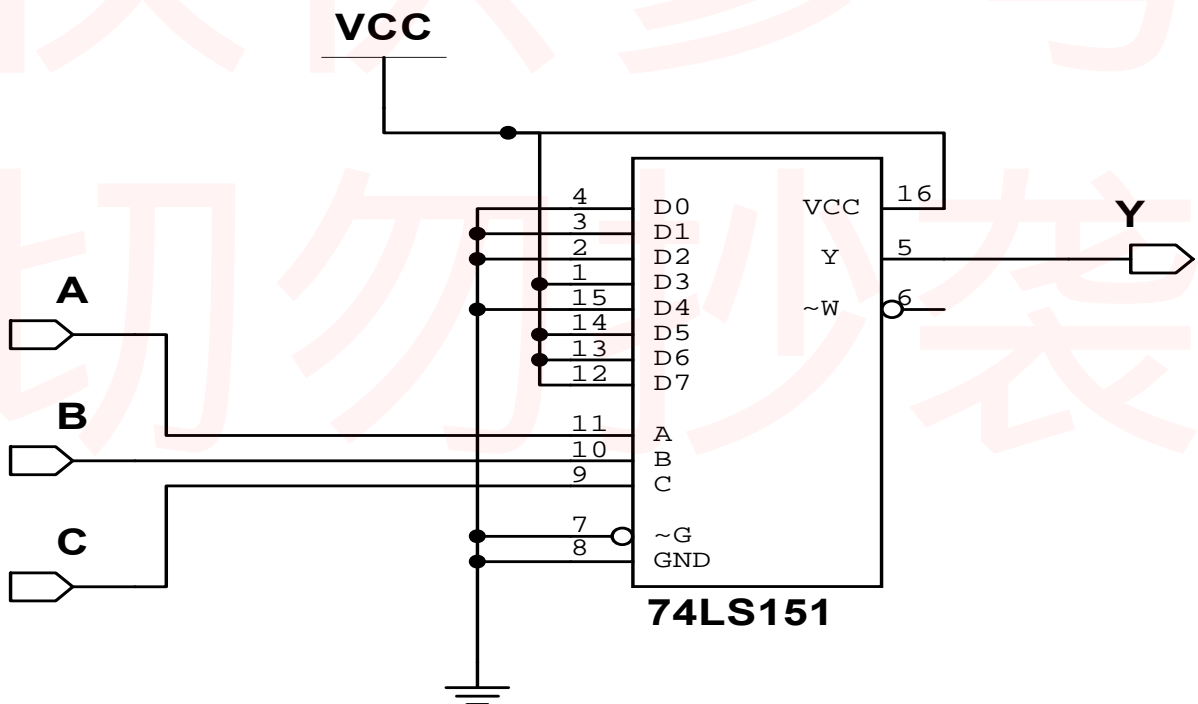


图 5: 三输入多数表决实验电路

测量结果: 测得实际搭建电路的真值表如下, 表中 1 代表高电平, 0 代表低电平, x 代表此项输入与输出逻辑电平无关。

表 1: 三输入多数表决电路真值表

A2	A1	A0	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

实验中得到的真值表与其设计要求完全一致，将使能端置高电平，可以看到电路的输出为三个输入中占多数的信号，具有多数表决的功能。这说明我们的电路设计以及连接正确，工作正常。

3.2 两片 74LS151 实现逻辑函数

要求实现的逻辑函数为 $Y = \sum m(6, 7, 8, 11, 13)$ ，由于 74LS151 是八输入数据选择器，为了实现十六输入的组合逻辑函数，需要使用类似图4.b的接法将两块 74LS151 连接成十六输入数据选择器，再实现要求的逻辑功能。连接电路如图6所示。

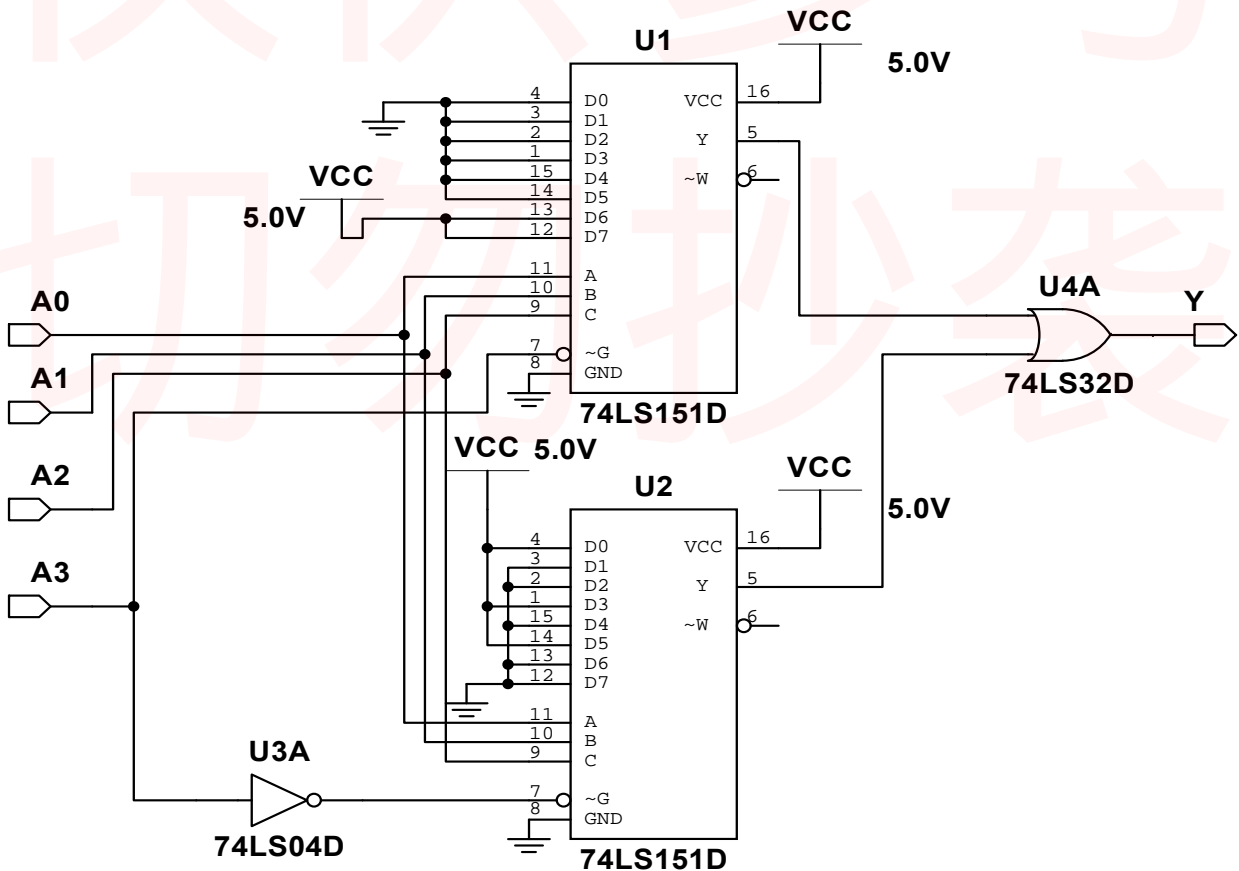


图 6: 两片 74LS151 实现逻辑函数实验电路

测量结果: 测得实际搭建电路的真值表如下,

表 2: 实现逻辑函数真值表

A3	A2	A1	A0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

实验中得到的真值表与其设计要求完全一致。

3.3 用 74LS153 实现一位全加器

74LS153 是双 4 选 1 数据选择器, 为了实现全加器, 将一位全加器的输出逻辑函数改写为最小项的形式

$$\begin{cases} S = AB \cdot CI + \bar{A}B \cdot \bar{C}I + A\bar{B} \cdot \bar{C}I + \bar{A}\bar{B} \cdot CI \\ CO = AB \cdot 1 + \bar{A}B \cdot CI + A\bar{B} \cdot CI + \bar{A}\bar{B} \cdot 0 \end{cases} \quad (4)$$

此时选取 A, B 作为数据选择器的地址信号, $CI, \bar{C}I, 1, 0$ 分别作为输入信号, 可设计电路如图7

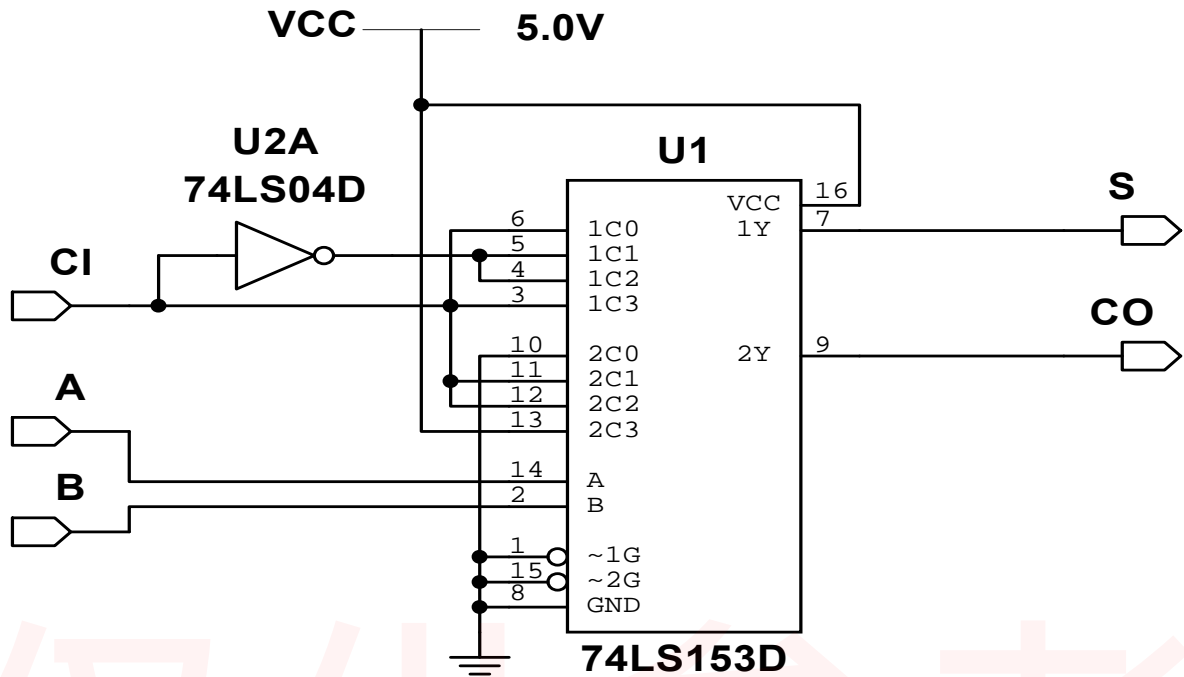


图 7: 用 74LS153 实现一位全加器实验电路

测量数据: 测得实际搭建电路的真值表如下,

表 3: 一位全加器实验电路真值表

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

实验中得到的真值表与其设计要求完全一致, 可以正确完成一位全加操作。

3.4 8 选 1 数据选择器产生逻辑函数

用 8 选 1 数据选择器 74LS151 产生逻辑函数 $Y = A\bar{C}D + BC + B\bar{C}\bar{D} + \bar{A}BCD$ 。八选一数据选择器只有三个地址输入端, 必须将一个输入作为数据输入才可能实现功能。可将 A, B, C 作为地址输入, $D, \bar{D}, 1, 0$ 作为输入信号, 设计搭建电路如图8

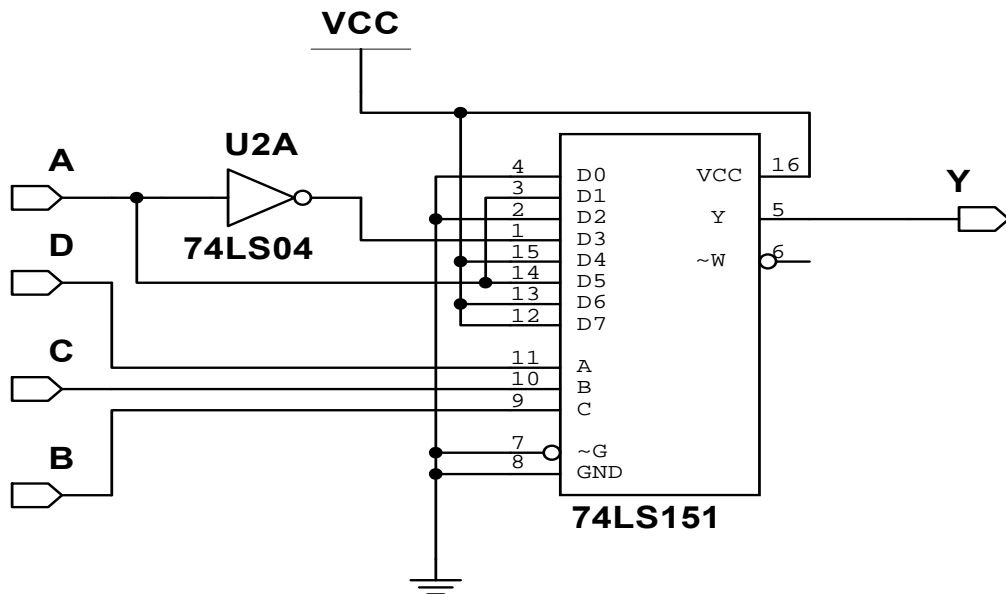


图 8: 8 选 1 数据选择器产生逻辑函数实验电路图

测量数据: 测得实际搭建电路的真值表如下,

表 4: 8 选 1 数据选择器产生逻辑函数实验电路真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

实验中得到的真值表与其设计要求完全一致, 可以正确完成逻辑运算。

我们可以总结出如下规律, 对于有 n 个输入变量的逻辑函数, 可以选择其中 $n - 1$ 个作为地址信号, 并将剩下一个作为输入信号, 可以在不另接逻辑门或仅仅借助一个非门的情况下实现。

3.5 用1/2双 4 选 1 数据选择器 74LS153 实现逻辑函数

用半块双 4 选 1 数据选择器 74LS153(即一个 4 选 1 数据选择器) 产生逻辑函数 $Y = A\bar{C}D + BC + B\bar{C}\bar{D} + \bar{A}BCD$ 。4 选 1 数据选择器意味着只能有两个变量作为地址端, 另外两个通过逻辑电路组合作为输入端接入电路。在这里我们尝试以 C, D 作为地址输入, A, B 作为数据输入。可画出卡诺图如下

		AB			
		00	01	11	10
CD	00	0	1	1	0
	01	0	0	1	1
	11	1	1	1	0
	10	0	1	1	0

图 9: 待实现逻辑函数卡诺图

第一至四行分别归并为 $B \cdot (CD), A \cdot (\bar{C}D), (\bar{A} + B) \cdot (\bar{C}\bar{D}), B \cdot (C\bar{D})$, 可将表达式写为

$$Y = B\bar{C}\bar{D} + BC\bar{D} + A\bar{C}D + (\bar{A} + B)CD \quad (5)$$

如此只需要一个或门、一个非门再加上选择器电路即可实现功能, 搭建电路如图10

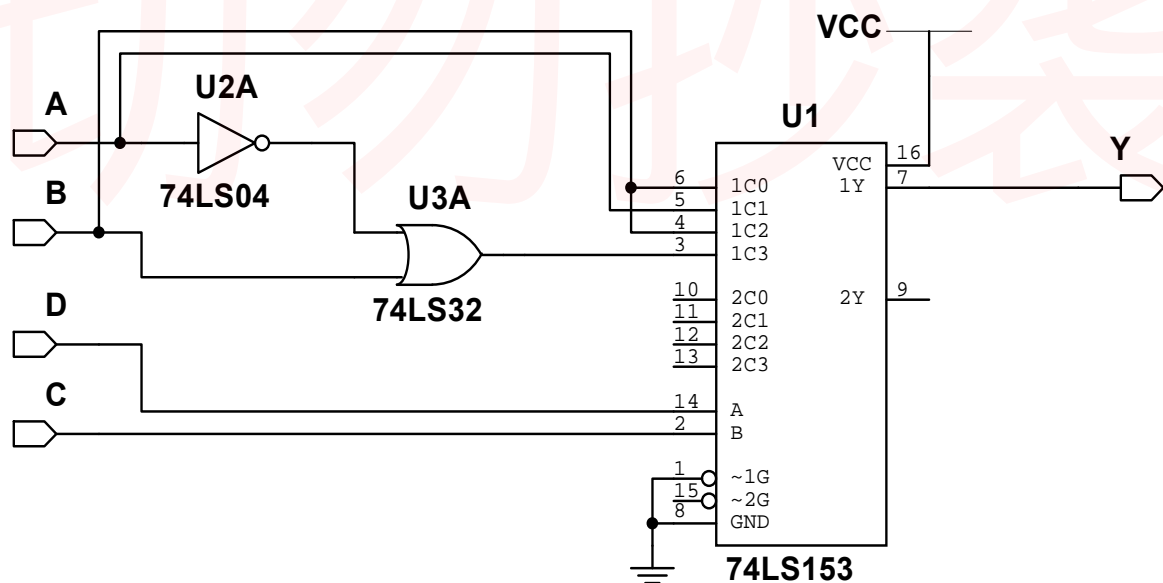


图 10: 1/2双 4 选 1 数据选择器 74LS153 实现逻辑函数实验电路图

测得实际搭建电路的真值表与表4完全相同，可见实验中得到的真值表与其设计要求完全一致，可以正确完成逻辑运算。可见在某些特定的情况下，使用 4 选 1 数据选择器以及两个外置的逻辑门也能够实现 4 变量的逻辑表达式计算。

4 实验心得与体会

本实验中，我们利用不同种类的数据选择器 (74LS151 与 74LS153) 以及逻辑门电路，搭建了多数表决电路、一位全加器电路、特定逻辑函数实现电路。数据选择器实现逻辑功能的内涵是任何逻辑表达式都可以化为最小项的形式，任何最小项形式可以将其中一些变量作为地址，剩下变量作为输入，借助数据选择器进行控制。

5 思考题

问：试用 4 选 1 数据选择器实现一个简单的交通灯故障检测电路。

要求：每一组信号灯由红、黄、绿三盏灯组成。正常工作情况下，任何时刻只有一盏灯点亮，而且只允许有一盏灯点亮。而当出现其他五种点亮状态时，认为电路发生故障，这时要求发出故障信号，以提醒维护人员去修理。

答：可设红、黄、绿三色信号灯工作状态输入分别为 A, B, C ，灯点亮时为高电平，输出故障信号为 Y ，当其为高电平时表示需要维修。根据正常工作的定义，可以写出 Y 的逻辑表达式，并选取 BC 作为数据选择器的地址输入，此时 A 端作为部分数据输入，写出表达式

$$\begin{aligned}
 Y &= \overline{ABC} + ABC + \overline{ABC} + A\overline{BC} + A\overline{BC} \\
 &= \overline{A} \cdot \overline{BC} + 1 \cdot BC + A \cdot \overline{BC} + A \cdot \overline{BC}
 \end{aligned}
 \tag{6}$$

可使用电路图11实现此表达式

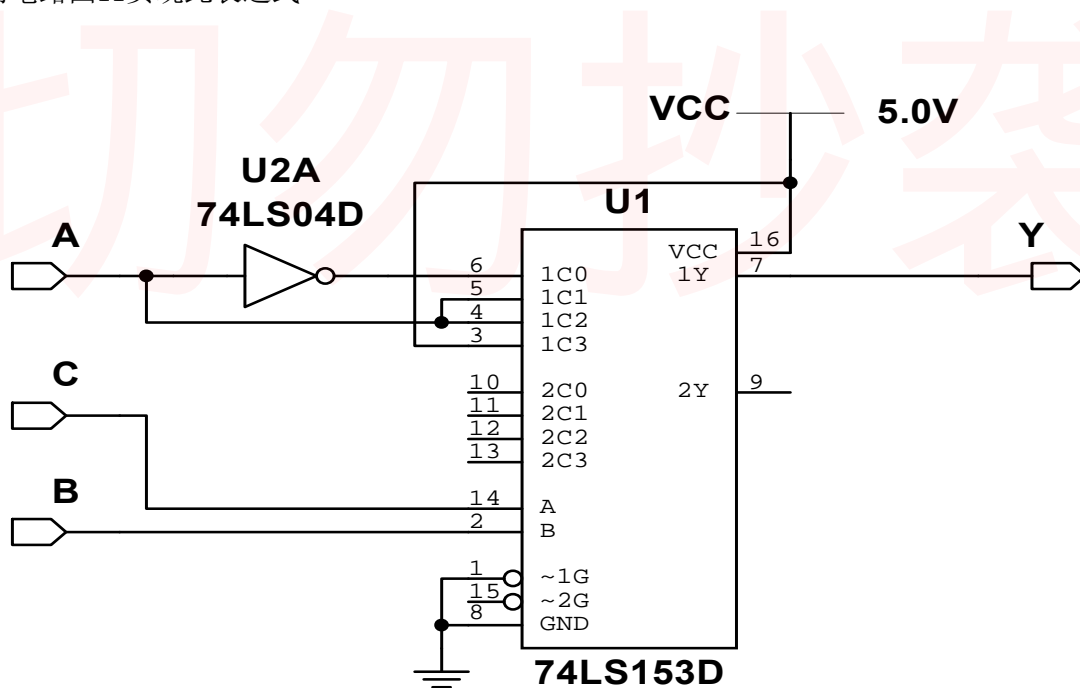


图 11: 用 4 选 1 数据选择器实现一个简单的交通灯故障检测电路

问：数据选择器和译码器都可以实现逻辑函数，试述它们的特点以及不同之处。

答：

特点：使用数据选择器或译码器实现逻辑函数都利用了任何逻辑函数都可以化作最小项之和的形式的性质，这样在简单情况下便可以通过预先推算每个最小项对应的逻辑变量值，通过“查表”的方式得到结果，这种方式理论上可以构造出任意的组合逻辑函数。这时待构造逻辑表达式有几个变量，数据选择器或译码器就至少要有几位。

若待构造的逻辑表达式变量较多，可考虑使用多个级联，或需要外接逻辑门电路一同完成逻辑功能。

实际上考虑集成电路内部结构时，使用数据选择器或译码器实现逻辑函数常常有部分门电路冗余，电路整体的复杂性较高，但一般来说对应用没有影响。

不同之处：使用译码器实现具有多个最小项的逻辑函数一般都需要在输出端连接多输入或门或与非门来综合各个最小项的结果，而使用数据选择器一般不需要。

若待构造的逻辑表达式变量较多，需要外设门电路时，一般而言使用数据选择器时，额外的组合逻辑电路是接在输入端前面，但是译码器则一般是在输出端之后连接逻辑电路。

仅供参考
切勿抄袭

实验十 移位寄存器

韩振、邱哲儒

(PB15000009、PB15000034)

2017年12月19日

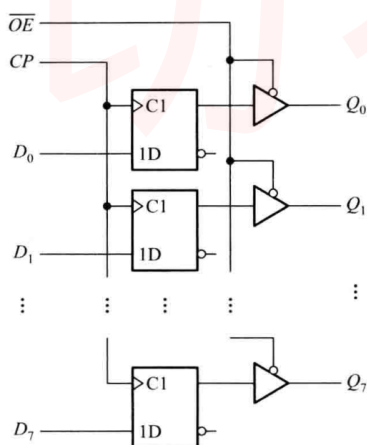
1 实验目的

1. 掌握时序逻辑电路的原理。
2. 熟悉和了解移位寄存器的工作原理功能及应用方法。
3. 熟悉中规模4位双向移位寄存器(74LS194)的逻辑功能。

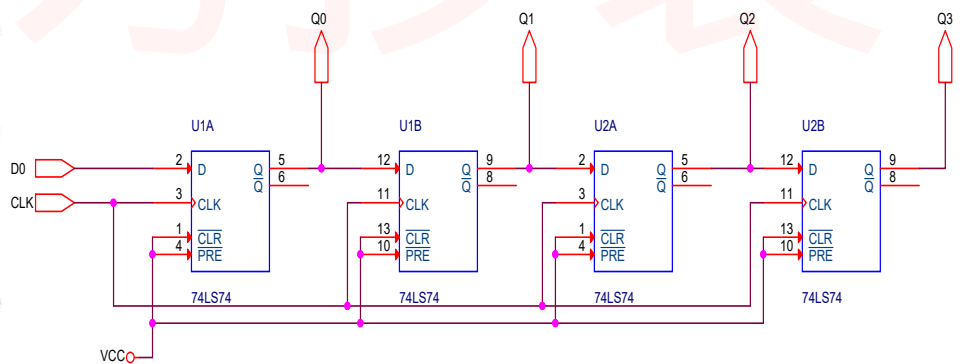
2 实验原理

2.1 移位寄存器

寄存器(Register)是一类有状态记忆功能的时序逻辑电路,其主要可以由触发器组成,一般一个触发器可以存储一位二进制数。在时钟信号为特定边沿状态(上升或下降)时,触发器的状态根据输入端的状态,按一定规则改变,其他时刻触发器的状态对输入端的状态不敏感。存储 N 位二进制数据的寄存器需要用 N 个触发器组成,典型的带输出缓冲器的8位寄存器如图1.a所示。如果将多个若干个触发器级联,如图1.b所示,将左触发器的输出作为右邻触发器的输入,使用共同的时钟信号,经过每一个时钟信号的上升/下降边沿,各触发器就进行一次状态跳转,次级触发器状态由于输入端的级联变为前级触发器状态,可以得到移位寄存器。



1.a 带输出缓冲器的8位寄存器



1.b 用D触发器74LS74构成的四位移位寄存器

图1.b中,从 D_0 输入的信号,按一个时钟脉冲为一步,逐渐向右移动。集成电路74LS74中的直接置位、复位功能端 \overline{CLR} , \overline{PRE} 不使用,均接高电平。移位寄存器常常被用来进行信号的串并行转换。

2.2 多功能移位寄存器

通过打乱移位寄存器相互级联的顺序，通过组合逻辑控制寄存器间的相互链接，可以实现各种左移、右移与并行输入的功能，可具有更广泛的用途。如常见的 74LS194，其原理图如图2

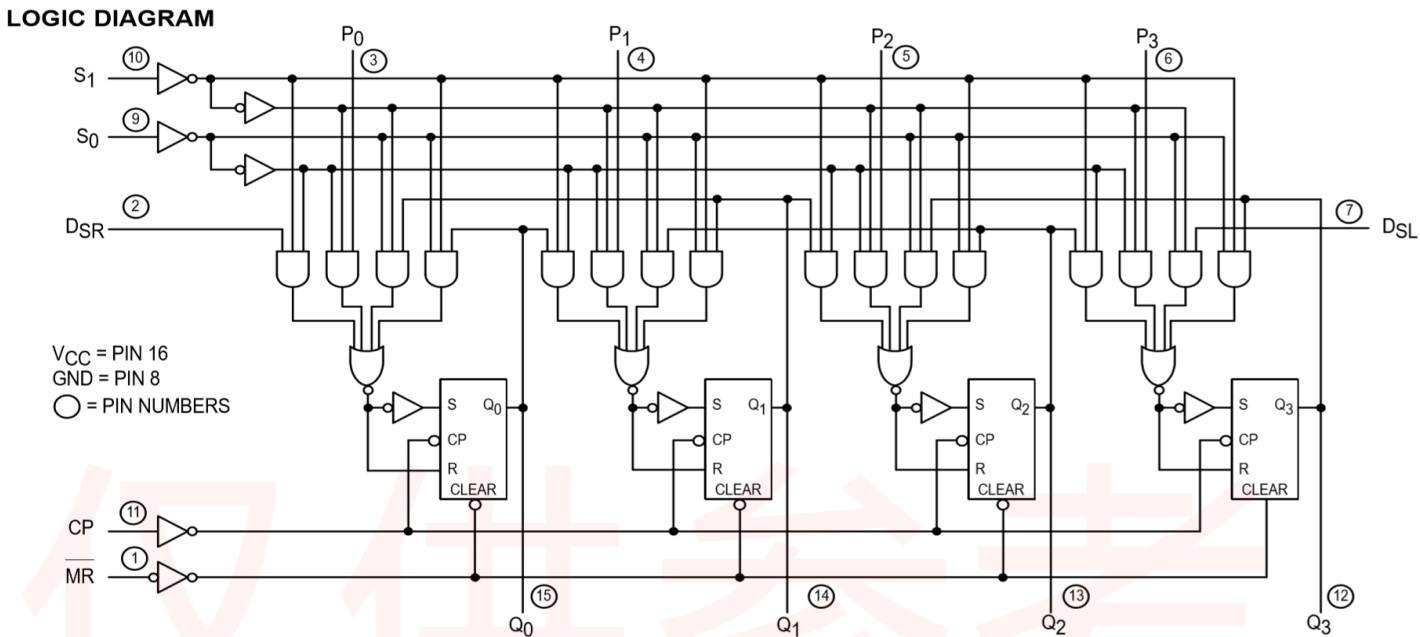


图 2: 74LS194 原理示意图 (取自 Motorola 公司数据表)

74LS194 的所有数据与模式控制输入都是边缘触发的，仅在时钟脉冲 (CP) 由低电平跳为高电平时有响应。复位端 \overline{MR} 具有最高优先级，其处于低电平时，所有输出 Q_i 均被强制为低电平。模式控制输入 S_1S_0 决定了寄存器的工作状态，在 $S_1S_0 = 10$ 时，数据按 $Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$ 的顺序左移；当 $S_1S_0 = 01$ 时，数据右移； $S_1S_0 = 00$ 时数据保持，无论输入为何 (除 \overline{MR} 外)，输出均不变； $S_1S_0 = 11$ 时，并行置数输入端 $P_3P_2P_1P_0$ 处呈现的数据在下一个时钟周期会被移进 $Q_3Q_2Q_1Q_0$ 端。

3 数据分析与处理

以下讨论中的二进制数均以 Q_3 作为最高位， Q_0 作为最低位，状态图中状态使用二进制数表示，省略下标 b 。

3.1 用四个 D 触发器 (二枚 74LS74) 组成 4 位输出移位寄存器

按图1.b或图3连接电路，从 D_{SI} 端串行输入，将寄存器的初态分别置成 $Q_3Q_2Q_1Q_0 = (0001)_2, (0110)_2, (0101)_2, (0111)_2$ ，在每种初态下，把 D_0 接到 Q_3 ，记录在时钟脉冲 CP 作用下 $Q_3Q_2Q_1Q_0$ 的变化情况。

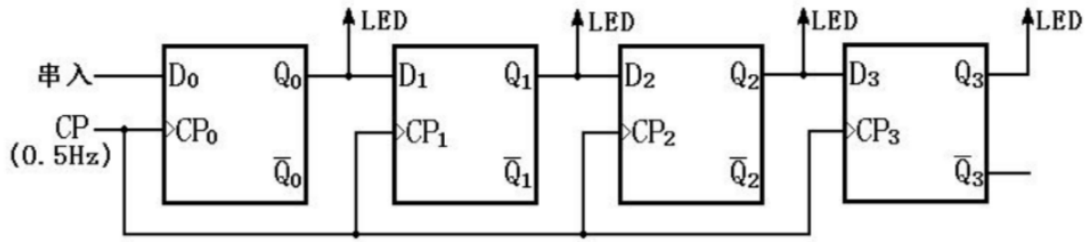
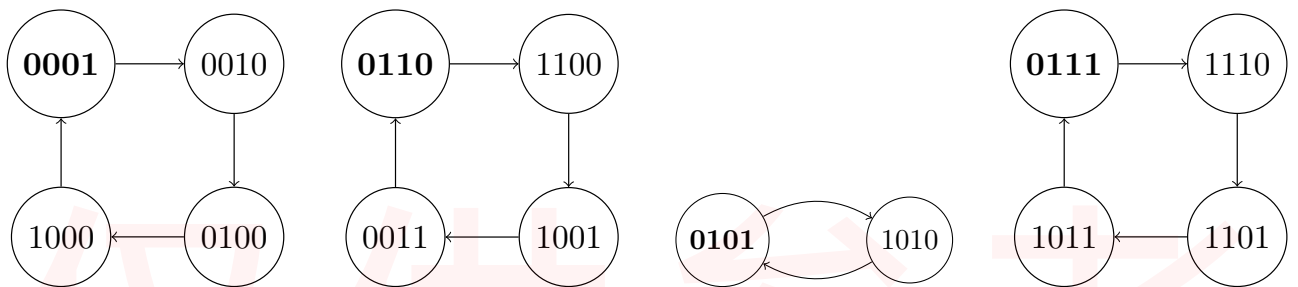


图 3: 用四个 D 触发器组成 4 位输出移位寄存器实验电路图

测量结果: 得到实验电路 $Q_3Q_2Q_1Q_0$ 的变化情况如图。初始状态用黑体标注。



4.a 初态为 $(0001)_2$ 时状态转换图

4.b 初态为 $(0110)_2$ 时状态转换图

4.c 初态为 $(0101)_2$ 时状态转换图

4.d 初态为 $(0111)_2$ 时状态转换图

由四个 D 触发器进行级联构成了具有上升沿触发功能的移位寄存器, 数据串行输入之后, 数据随着时间信号右移 (对应 $Q_3Q_2Q_1Q_0$ 数码上的左移), 由于 Q_3 的输出为 Q_0 的输入, 状态一般以 4 为周期循环。对于某些特例会有更短的周期, 当初始状态为 0101 时, 如图 4.c 所示, 循环周期为 2。

3.2 D_0 连接 $\overline{Q_3}$ 时移位寄存器工作状态

将上个实验中的串行输入端 D_0 连接 $\overline{Q_3}$, 连接电路如图 5, 反馈线在置数完毕后连接, 寄存器的初态分别置成 $Q_3 - Q_0$: $(0000)_b$ 和 $(0101)_b$, 记录在 CP 作用下 $Q_3Q_2Q_1Q_0$ 的变化情况。

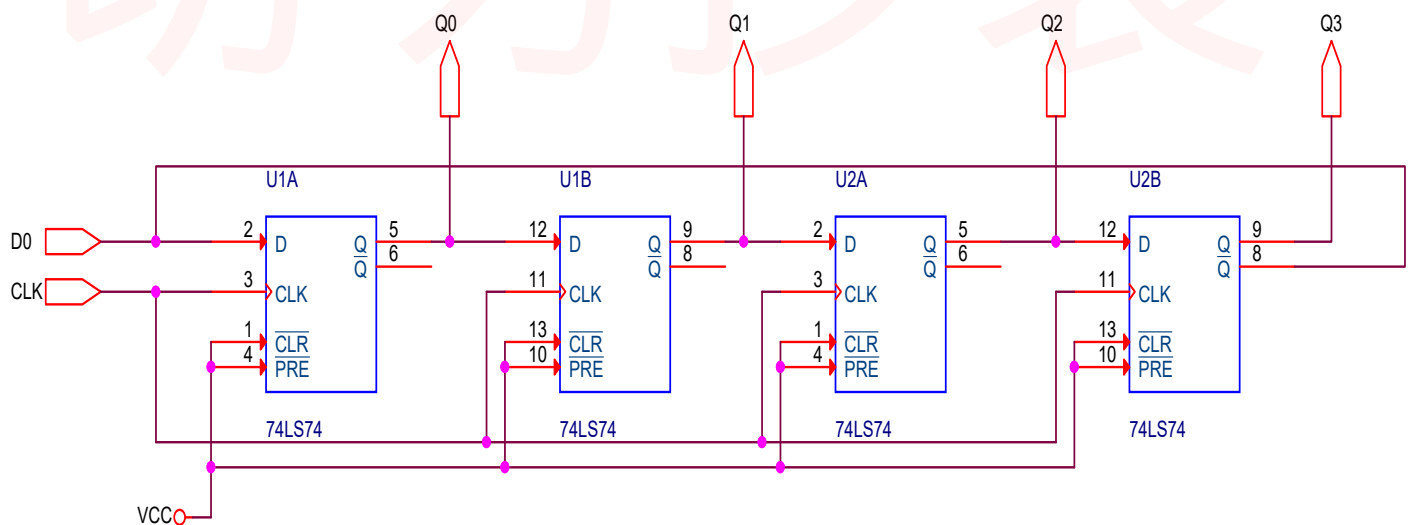
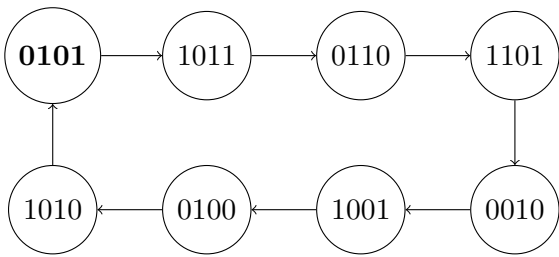
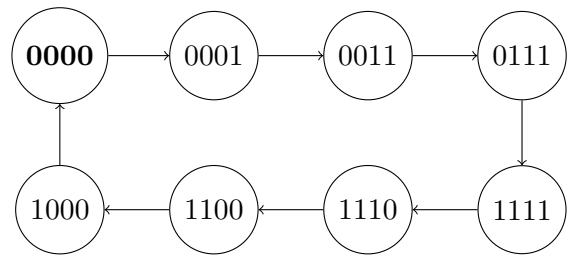


图 5: D_0 连接 $\overline{Q_3}$ 时移位寄存器实验电路图

测量结果: 得到实验电路 $Q_3Q_2Q_1Q_0$ 的变化情况如图6.a与图6.b。初始状态用黑体标注。



6.a 初态为 $(0101)_2$ 时状态转换图



6.b 初态为 $(0000)_2$ 时状态转换图

可见电路的状态分为两个相互“正交”的环，两个环中的状态均各不相同，每个环均有 8 个元素，电路的所有稳定状态均属于两环之一。

3.3 可自启动的同步时序逻辑电路

将 $D_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$ 作为反馈输入，连接电路如图8，记录在时钟脉冲 CP 作用下电路状态。

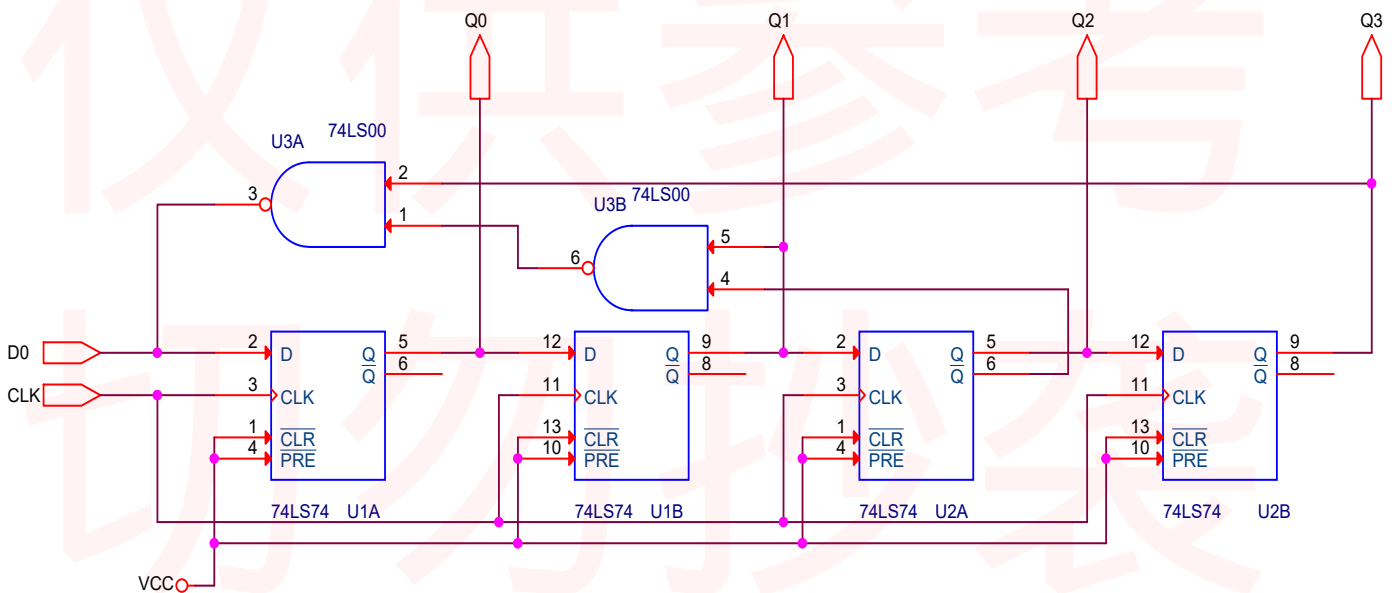


图 7: 可自启动的同步时序逻辑电路实验电路图

测量结果: 得到实验电路 $Q_3Q_2Q_1Q_0$ 的变化情况如图8所示。图中环内有效状态用黑体标出。

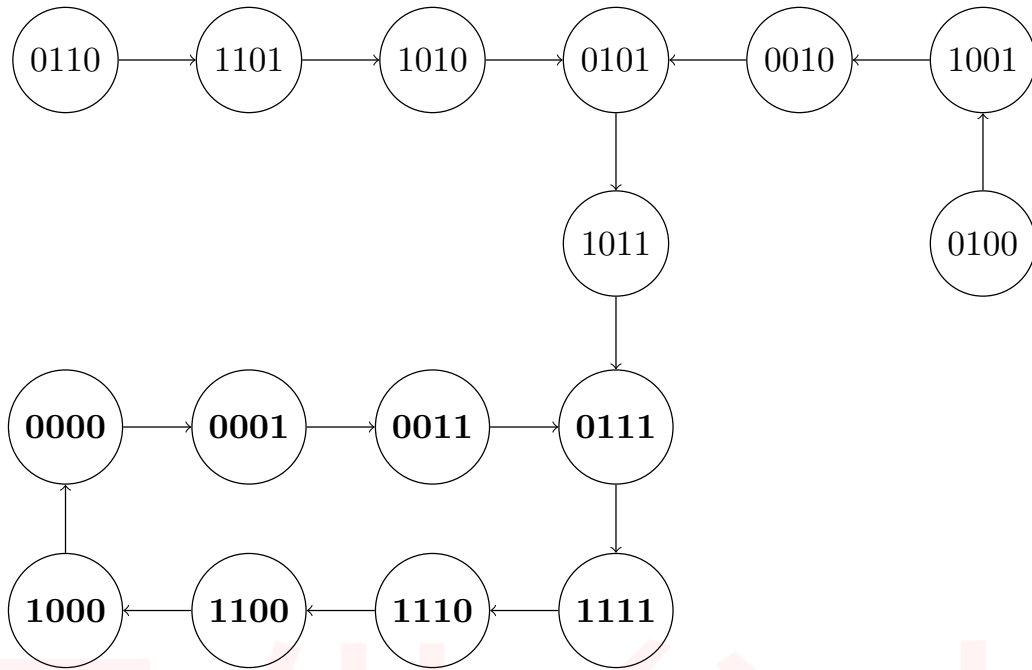


图 8: 自启动的同步时序逻辑电路状态转换图

该电路状态中具有一个周期为 8 的循环，其他所有状态都会经过一系列演化进入到这个循环内。这种性质是自启动性质，假如电路的 0, 1, 3, 7, 15, 14, 12, 8 状态是有效工作状态，那么对于可能出现的扰动情况导致电路进入了非有效工作状态，经过一段时间的演化，电路总能进入工作循环，因此具有良好的抗干扰能力和稳定性。

3.4 测试双向移位寄存器 74LS194 的逻辑功能

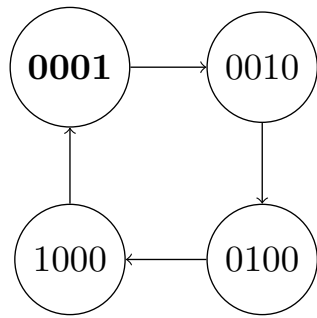
74LS194 是双向移位寄存器，其结构如图2所示，除了置零之外它有四种工作状态，工作状态受 S_1S_0 端的控制，有保持、右移、左移、并行输入的功能。

并行输入功能的验证 首先置 $S_1S_0 = 11$ ，分别取 $D_0D_1D_2D_3 = (0110)_b$ 与 $D_0D_1D_2D_3 = (1001)_b$ 。观察到在下一个时钟脉冲来临时，输出 $Q_3Q_2Q_1Q_0$ 分别同时被置为 $(0110)_b$ 与 $(1001)_b$ ，此时为并行输入功能。

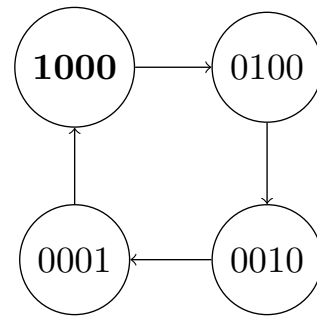
保持功能的验证 置 $S_1S_0 = 00$ ，可见输出数据不变化，对时钟脉冲没有响应。此时为保持功能。

右移功能的验证 置 $S_1S_0 = 01$ ，取初态 $Q_3Q_2Q_1Q_0 = (1000)_b$ ，连接 D_{SR} 与 Q_3 ，可见数据在每经过一个时钟信号之后就发生一位右移 (对应数码上为左移)，状态变化如图9.a，同时最右端数据重新回到最左端，此时为右移功能。

左移功能的验证 置 $S_1S_0 = 10$ ，取初态 $Q_3Q_2Q_1Q_0 = (0001)_b$ ，连接 D_{SL} 与 Q_0 ，可见数据在每经过一个时钟信号之后就发生一位左移 (对应数码上为右移)，状态变化如图9.b，同时最左端数据重新回到最右端，此时为左移功能。



9.a $S_1S_0 = 01$, 初态为 $(0001)_2$ 时状态转换图



9.b $S_1S_0 = 10$, 初态为 $(1000)_2$ 时状态转换图

4 实验心得与体会

在本次实验中，我们首次接触了时序逻辑电路，使用 D 触发器组成了移位寄存器并验证了移位寄存器的功能，了解了时序逻辑电路中自启动的概念和相应的设计思想。了解了数字电路实验的基本技能，排除故障的常见办法，养成了实验前检查导线通断的好习惯。

5 思考题

问 1: 在 N 位移位寄存器中，串行输入 N 位二进制数需要多少个 CP ? 送数的次序应从高位至低位，还是低位至高位?

答 1: 应该需要 N 个 CP ，送数的次序依赖于寄存器连接的端序。以实验中的四位移位寄存器(如图3)为例，如果 Q_3 表示数据最低位，那么就应先送低位；如果 Q_0 表示数据最低位，那么就应先送高位。

问 2: 设计一个按 7-14-13-11 循环计数的自启动四位环形计数器，画出逻辑图。

答 2:

在此认为 Q_3 是最高位

此题可以按照一般的时序电路设计方法，画出所有状态并标记，逆推激励方程，最后得到电路结构设计，但是仔细观察可以发现，7-14-13-11 分别是三个 1 和一个 0 组成的 8421BCD 码对应的十进制数，而且这个循环结构也与 0 从 Q_0 处移动到 Q_3 处的过程一致，首先能够想到将 Q_3 反馈连接至 D_0 即可，但这样构造的电路不满足具有自启动能力的要求。

为了能够让电路能够有自启动能力，需要能够让所有其他状态能在有限个时钟周期内跳转至有效状态之一。观察电路状态可以发现，电路正常工作当且仅当电路中有三个寄存器处在 1 状态，剩下一个处在 0 状态。对于正常工作的状态，除了 7 号状态下一时刻需要从 D_0 输入低电平信号之外，别的状态到下一个状态的跳转均需要 D_0 为高。此时容易想到对于无效状态，让它们变为工作状态的一个方法是不断从 D_0 端输入 1，直到电路状态变为 $(1111)_b$ 或 $(0111)_b$ ，下一时刻在 D_0 端输入 0 即可。

综上所述，反馈给 D_0 的信号，当电路状态为 7 或 15 时应当为 0；其他一切状态均应为 1。观察 7 与 15 的二进制编码，写出对应最小项，归并后可得到 D_0 的表达式应为

$$D_0 = \overline{Q_0Q_1Q_2} \quad (1)$$

此电路可使用 74LS194 等集成移位寄存器或 74LS74 等 D 触发器与三输入与非门(可用 74LS10 或使用多个双输入门构造)构成，一种可能的结构如图10所示。

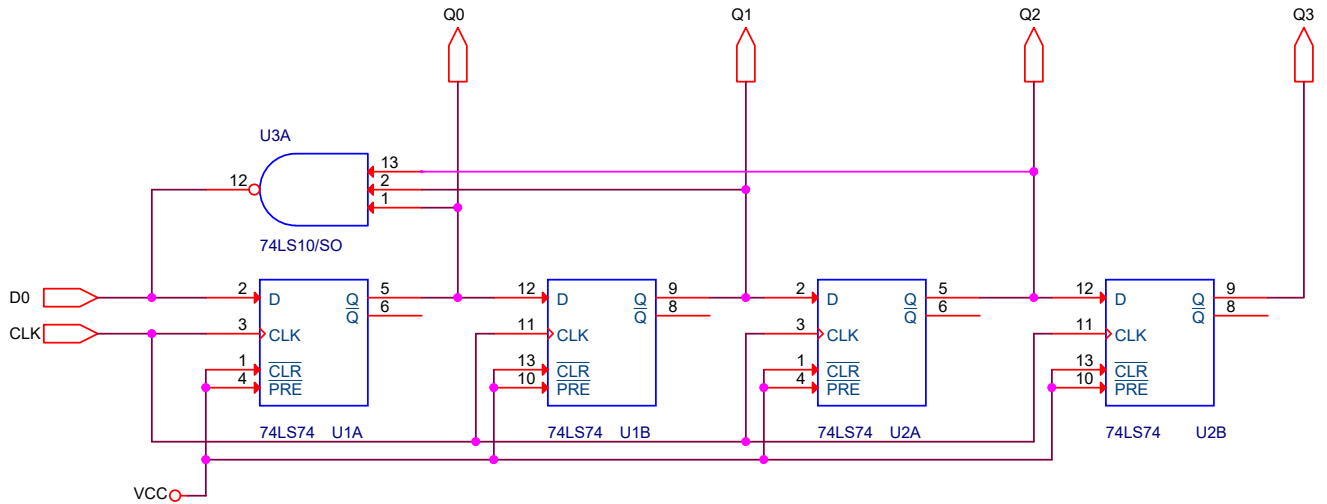


图 10: 按 7-14-13-11 循环计数的自启动四位环形计数器逻辑图

电路的状态转换图如图11，状态以 $Q_3Q_2Q_1Q_0$ 的顺序写为二进制，有效状态用黑体标出。

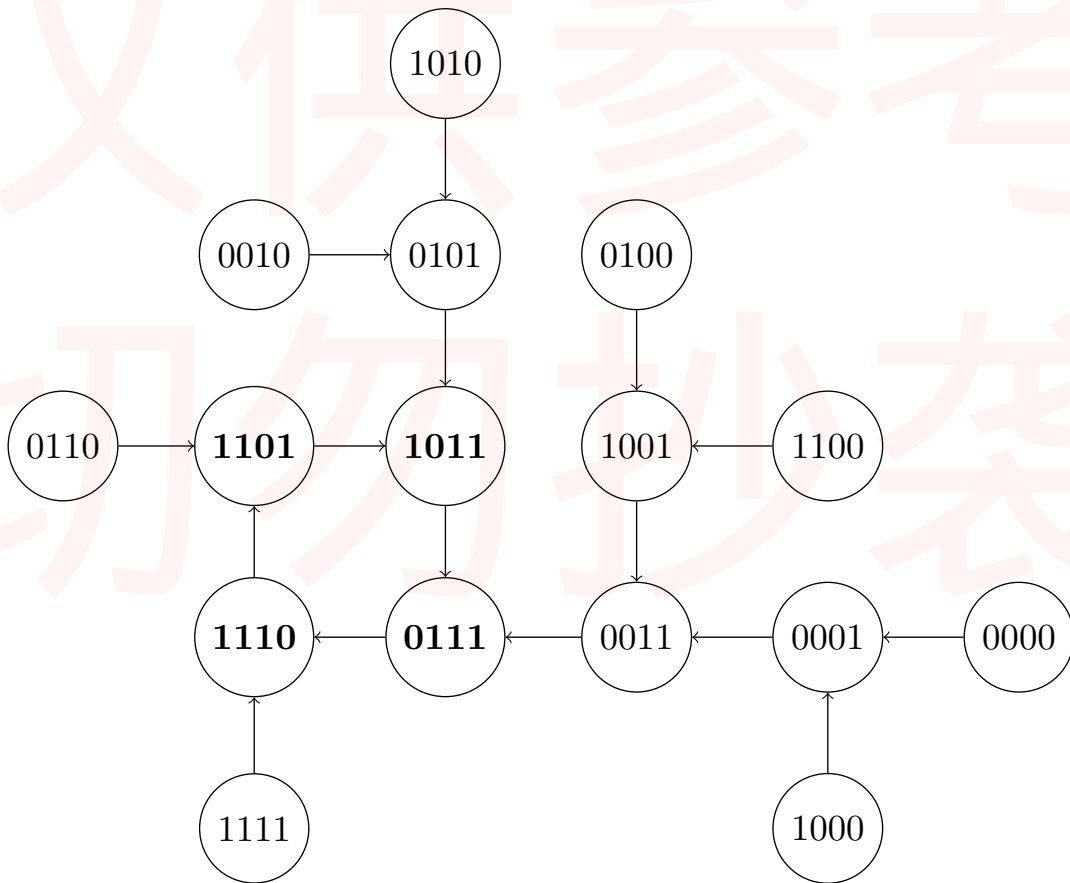


图 11: 按 7-14-13-11 循环计数的自启动四位环形计数器状态转换图

显然电路还有其他可能的实现方式，在此给出的只是一种较简单的可能。

实验十一 抢答器

韩振、邱哲儒

(PB15000009、PB15000034)

2017 年 12 月 13 日

1 实验目的

1. 了解多谐振荡器，D 触发器的功能与用途，能够综合运用设计各种时序逻辑电路。学习使用多个反相器组成多谐振荡器。
2. 熟悉运用门控时钟这种一种时序逻辑电路的设计方法。
3. 学习小型综合数字系统实验的调试和故障排除方法，磨练排除故障时的耐心。

2 实验原理

本次实验中要求设计搭建四路抢答器电路，功能上需要满足以下要求

1. 能够在几个抢答信号中选取最早发生抢答事件，并且通过七段数码管显示给出抢答的小组组号。
2. 具有从 9 至 0 倒计时的功能，可以是抢答前的倒计时 (如果一段时间内无人抢答那么该题作废)，或是抢答完后回答的倒计时。在倒计时至 0 结束后能够将倒计时显示固定在数字 9 上。
3. 具有手动复位功能。

设计的抢答器有五个主要模块：抢答模块、数显译码模块、时钟模块、倒计时模块、复位功能模块。实现主要功能的电路图如图1所示 (图中不含复位功能模块)。

2.1 各模块设计概述

2.1.1 抢答部分

抢答部分主要使用四 D 触发器 74LS175 与其他门电路通过控制时钟信号有无的方式构成，此部分电路如图2所示。

74LS175 是普通的四 D 触发器，内部逻辑结构如图3所示，其具有共同的下降沿有效的时钟输入端与一个低电平有效的异步立即清零控制端。

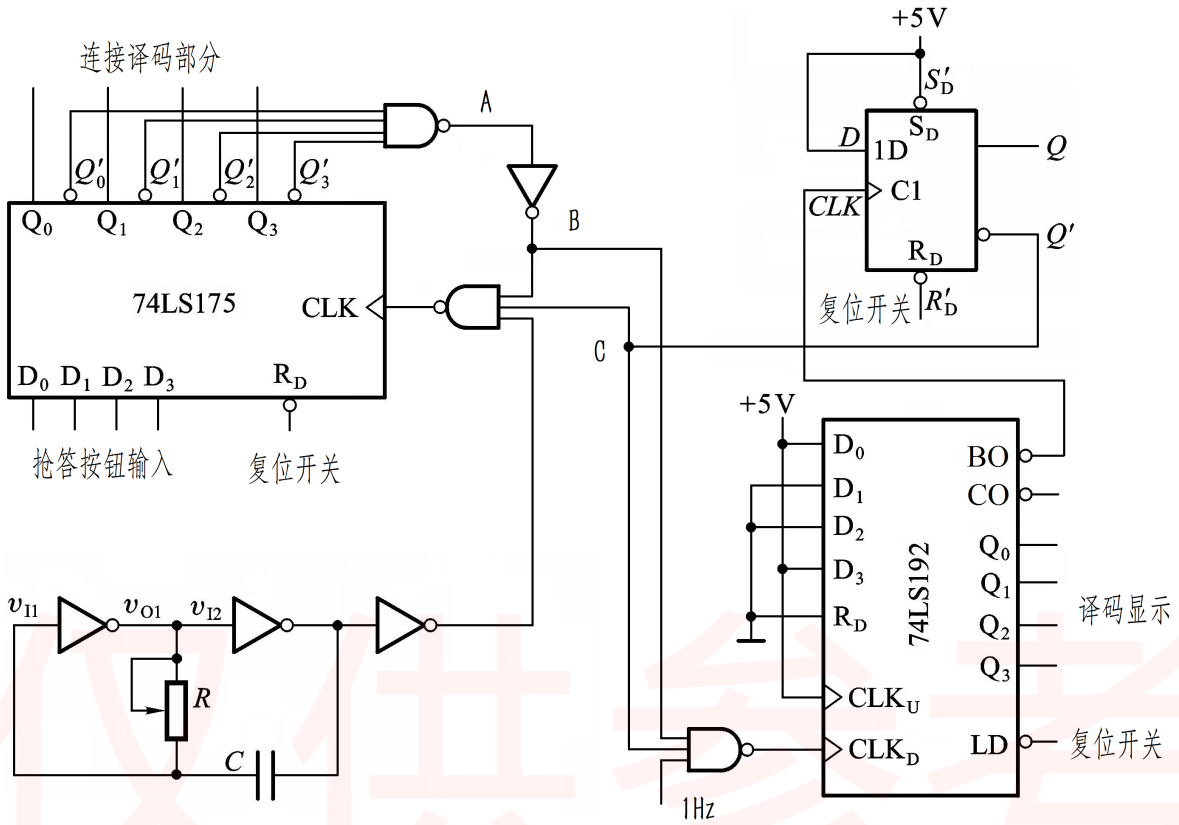


图 1: 四路抢答器总电路图 (除数显译码部分外)

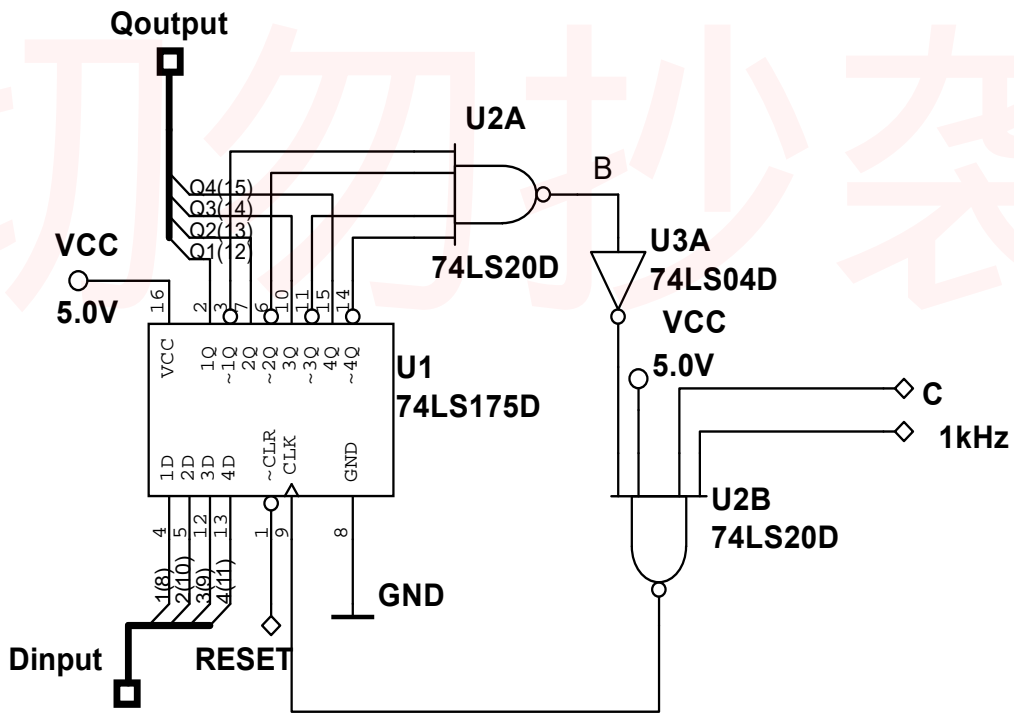


图 2: 抢答部分电路逻辑图

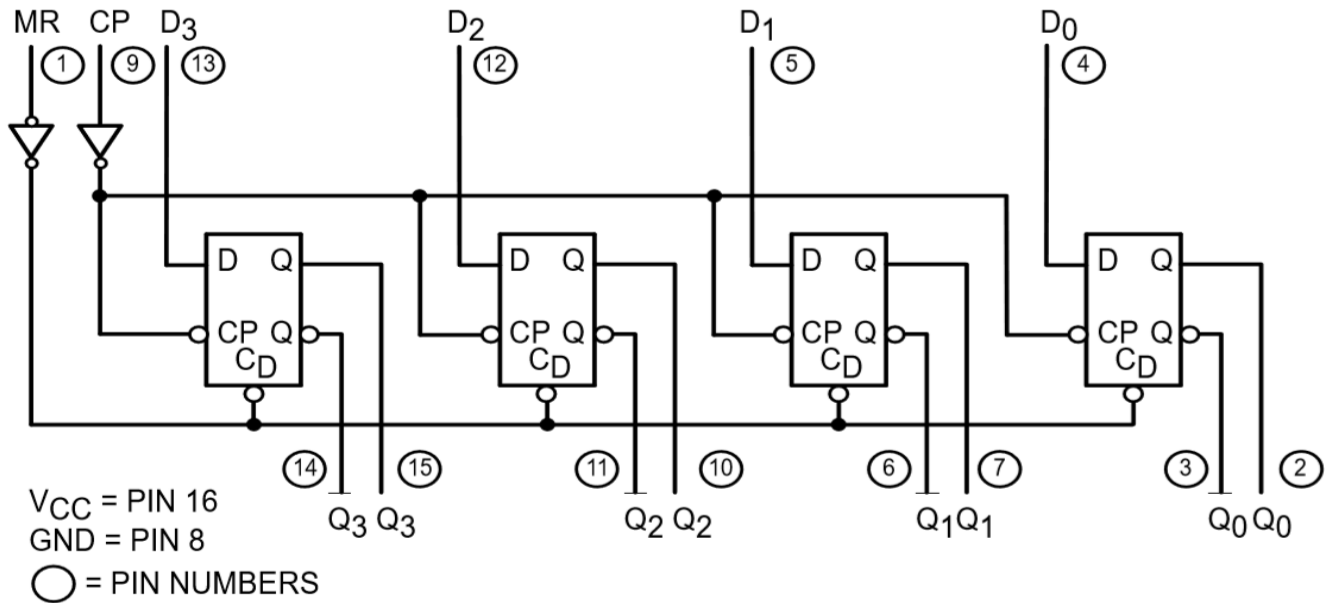


图 3: 74LS175 逻辑图 (选自 Motorola 公司数据手册)

为了使 74LS175 具有在收到第一个输入非 0 信号就保持状态、不再接受任何其他信号的功能，将输出通过与非门和反相器与正常时钟信号相与非后作为真正的时钟信号，这样一旦在某一次时钟脉冲来到时检测到任何一个抢答输入 D_i 并产生非零输出 Q_i ，时钟信号马上变为恒定电平，不再有上升或下降沿，状态不再根据输入 D_i 而改变，实现抢答的功能。这样可以以时钟 (1kHz) 的频率鉴别出四路抢答输入中第一个来到的信号，并锁定在相应的状态上。

2.1.2 数显译码部分

为了能够直观的使用七段数码管显示抢答成功的组号 (1-4)，需要将抢答部分输出信号 (以 $(0001)_2$ 至 $(1000)_2$ 分别代表 1 至 4 组) 转为可送 CD4011 进行译码显示的 8421BCD 码需要另外的译码电路。

输出 1 - 4 的组号需要三个输出 $S_0 - S_2$ 接七段显示译码器 CD4511 的译码输入端 ABC，仅当 Q_3 为高时需要设置对应权值为 4 的 S_2 为高，组 2 与组 3 抢得时 Q_1 与 Q_2 为高时设置 S_1 为高，输出权值为 2 的 S_1 ，组 0 与组 2 抢得时 (Q_0 与 Q_2 为高时) 设置 S_0 为高。所需电路真值表如表 1 所示

表 1: 数显译码部分电路真值表

Q0	Q1	Q2	Q3	S3	S2	S1	S0
1	0	0	0	0	0	0	1
0	1	0	0	0	0	1	0
0	0	1	0	0	0	1	1
0	0	0	1	0	1	0	0

写为逻辑表达式

$$\begin{aligned}
 S_3 &= 0 \\
 S_2 &= Q_3 \\
 S_1 &= Q_1 + Q_2 \\
 S_0 &= Q_0 + Q_2
 \end{aligned}
 \tag{1}$$

可设计电路如图4所示。(BCD 码最高位 S_3 始终保持为低)

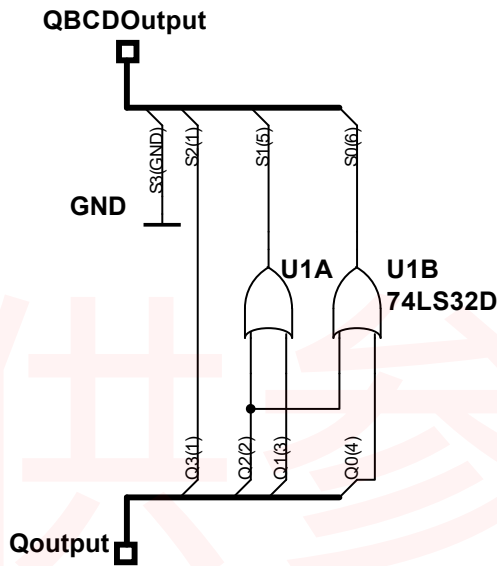


图 4: 数显预译码部分电路逻辑图)

2.1.3 时钟信号产生部分

为了让电路可以作为一个独立的系统工作，使用三个反相器 $3/874LS04$ 与 RC 电路可搭建一个多谐振荡电路，如图5所示。

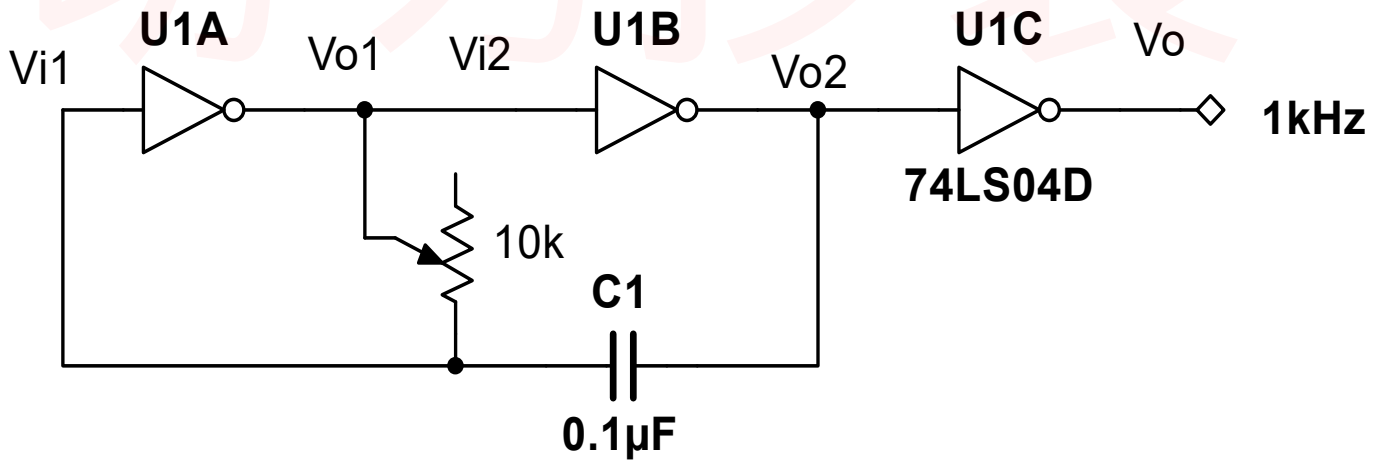


图 5: 时钟信号产生部分电路图)

反相器的传输特性曲线在门限电压附近有一陡峭的下降，当 V_{i1} 有小的正跳变时，根据传输特性， V_{o1} 跳变为低电平， V_{o2} 跳变为高电平，电路进入第一个暂稳态，此时对电容 C 放电；当电压经放电达到门限 $V_{i1} = V_{th}$ 后， V_{o1} 回到高电平，电路对 C 充电，电路输出来回振荡，输出方波时钟脉冲。为了获得更稳定的输出、提高驱动能力，在 V_{o2} 后另接有一反相器作为缓冲级。

2.1.4 倒计时部分

倒计时部分本质上是一个在 1Hz 的时钟作用下的减计数计数器，可以使用 BCD 计数器 74LS192 实现，电路如图6所示。图中 B 端口可连接图1中的 B 点或 A 点，分别实现抢答前的倒计时 (如果一段时间内无人抢答那么该题作废)，或是抢答完后回答的倒计时功能。为了能够有十秒的倒计时范围，在复位时应当将初始状态设置为 9。

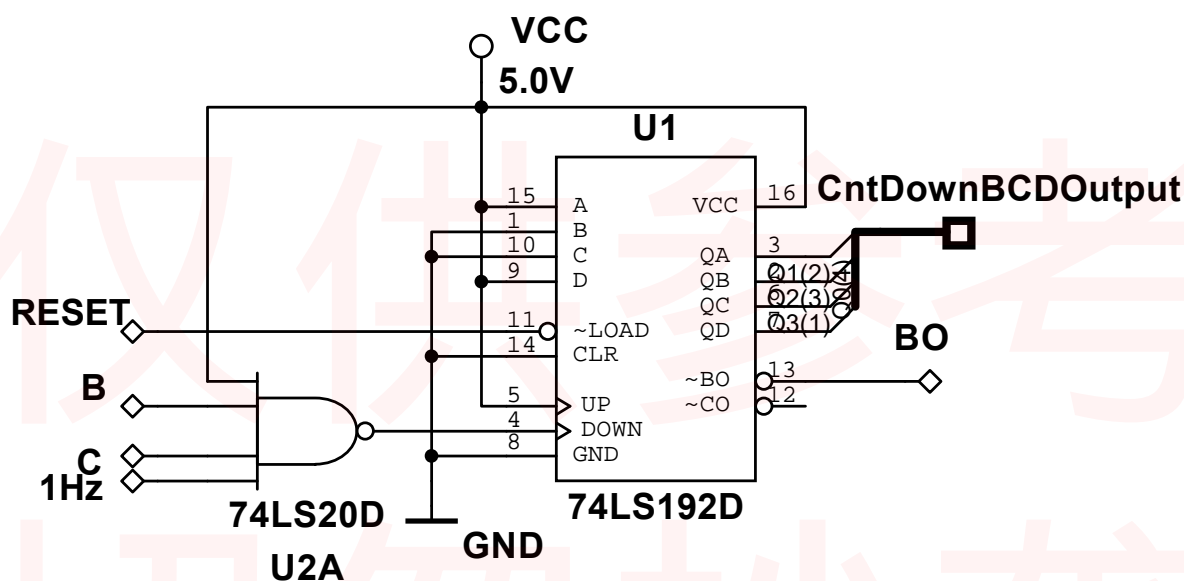


图 6: 倒计时部分电路图)

74LS192 是可异步置数的 BCD 码/十进制增/减计数器，其内部逻辑图如图7所示。

LOGIC DIAGRAMS

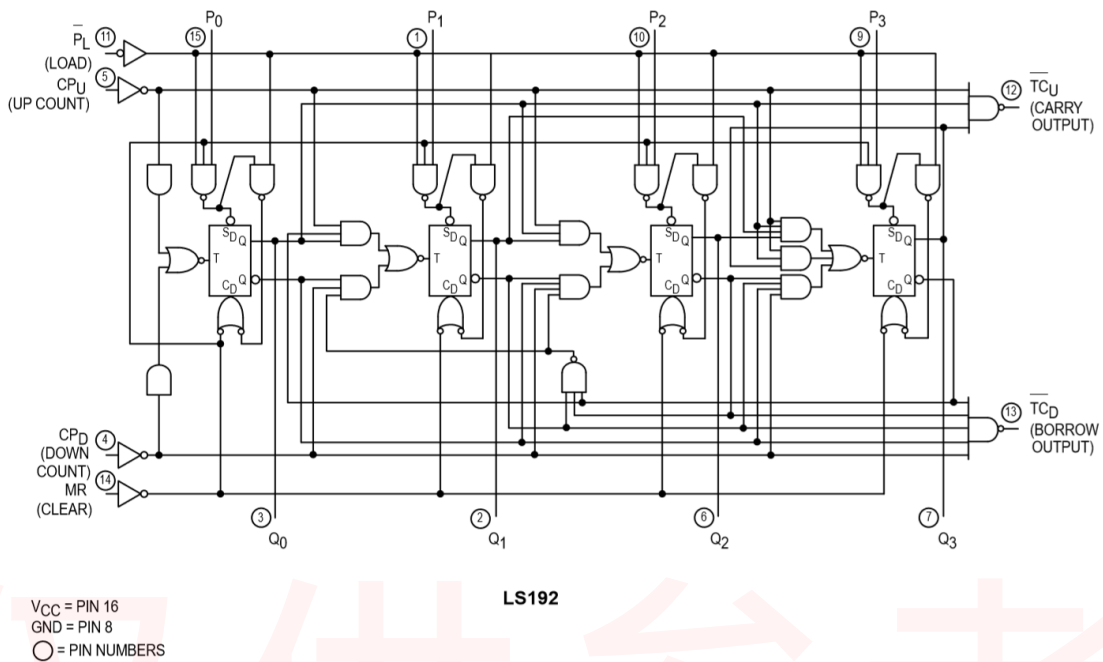


图 7: 74LS192 逻辑图 (选自 Motorola 公司数据手册)

在复位开关为低时，异步置数端 \overline{LD} 为低，由于 $D_0 - D_3$ 设置为 9，可实现复位至 9 的功能，倒计时的使能控制由两路控制信号与 1Hz 的时钟信号与非运算实现。当控制信号之一为低时，减计数时钟输入端 CLK_D 被强制为高，没有能够触发计数的边缘，计时停止。

2.1.5 复位部分

复位部分需要在计时器输出为 0 的时候起作用，其效果应该同时控制所有元件的时钟来决定其是否工作，这一功能可以用 D 触发器来实现：将倒计时部分计数器 74LS192 的借位输出 \overline{BO} (相当于倒计时归零的信号) 作为时钟，一旦其发生跳变，就意味着倒计时归 0，D 触发器状态发生一次转换，触发器输出分别连接到抢答部分和倒计时部分的时钟上，决定其是否工作；图8中通过输出 \overline{Q} 为低，连至 C 端来禁止倒计时与抢答部分的时钟。

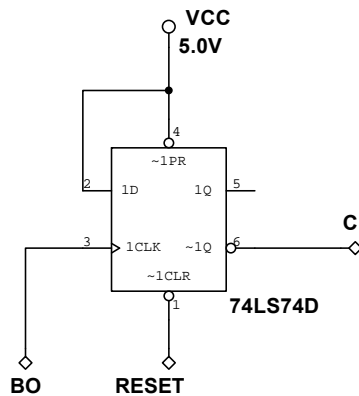


图 8: 复位部分电路图

3 实验内容与结果

3.1 测试各数字逻辑集成电路的功能

构造简单的验证电路，经测试，各数字逻辑集成电路功能正常。

3.2 测试抢答部分电路功能

按图2连接抢答部分电路，不使用的使能端暂时接高电平，复位开关置高位，时钟信号使用实验箱上提供的信号源，调节频率约为 1kHz。经测试，模块工作正常，可以正确的鉴别出各输入信号的时序先后并保持记录，并能够在 LED 指示灯组中指示对应的组别。

3.3 调试多谐振荡器电路功能

按图5连接多谐振荡器电路，使用示波器观察图5上各端输出波形，调节电位器 R 阻值使输出信号频率约为 1kHz， v_{i1} 端波形如图9所示， v_{o1} 端波形如图10所示， v_{o2} 端波形如图11所示，

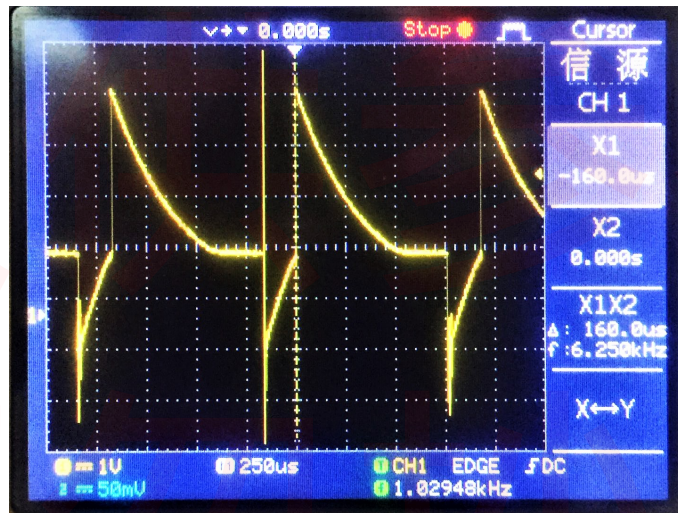


图 9: 实测 v_{i1} 端波形图

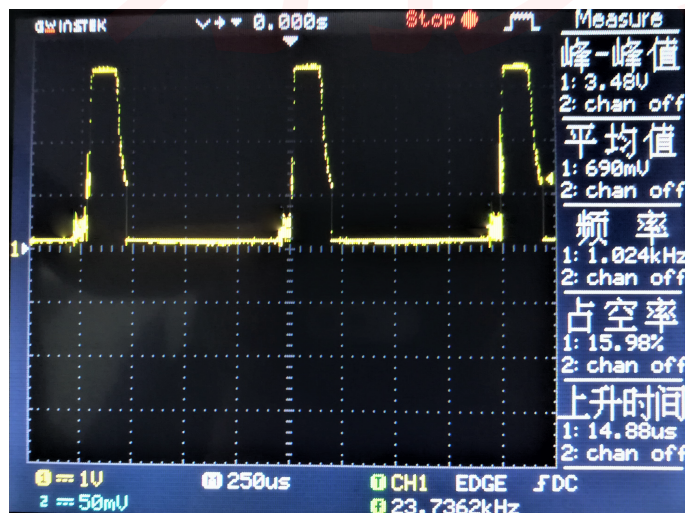


图 10: 实测 v_{o1} 端波形图



图 11: 实测 v_{o2} 端波形图

从示波器上通过光标读出测得各个参数为

$$T_1 = 840\mu s$$

$$T_2 = 160\mu s$$

$$V_{TH} + V_{OH} = 4.44V$$

$$V_{TH} = 1.20V$$

$$V_{OH} = 3.18V$$

$$V_{IK} = -1.52V$$

(2)

各参数定义如图12所示

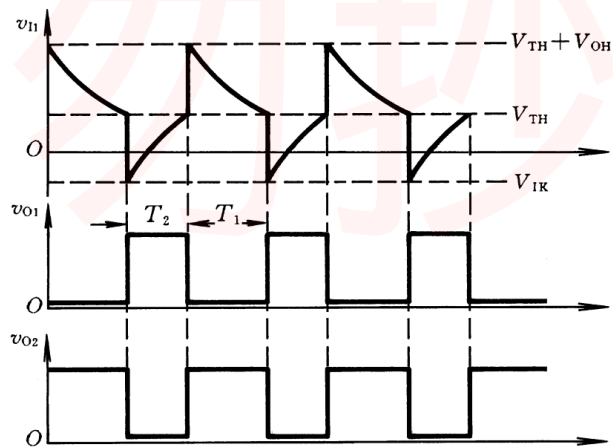


图 12: 实测参数定义示意

实验中使用实验箱上提供的 5V 直流电源, $V_{CC} = 5V$ 。认为 $V_{BE} = 0.6V$, $R_1 = 20k\Omega$, 调节频率至 $1kHz$ 后使用数字万用表测量电阻 R , 得到 $R = 7.0150k\Omega$ 。

根据振荡器的结构与工作原理，我们有电容充电、放电时间 T_1, T_2 的理论值

$$\begin{aligned} T_1 &= RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}} \\ T_2 &= R_E C \ln \frac{V_E - V_{IK}}{V_E - V_{TH}} \end{aligned} \quad (3)$$

$$R_E = \frac{RR_1}{R + R_1}$$

$$V_E = V_{OH} + \frac{R}{R + R_1} (V_{CC} - V_{BE} - V_{OH})$$

将各参数代入式3可得

$$\begin{aligned} T_{1t} &= RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}} \\ &= 7.0150k\Omega \times 0.1\mu F \times \ln \frac{4.44V}{1.20V} \\ &= 917.8\mu s \\ V_E &= V_{OH} + \frac{R}{R + R_1} (V_{CC} - V_{BE} - V_{OH}) \\ &= 3.18V + \frac{7.0150}{7.0150 + 20} (5 - 0.6 - 3.18) \\ &= 3.50V \\ T_{2t} &= R_E C \ln \frac{V_E - V_{IK}}{V_E - V_{TH}} \\ &= \frac{7.0150 \times 20}{7.0150 + 20} k\Omega \times 0.1\mu F \times \ln \frac{3.50 + 1.52}{3.50 - 1.20} \\ &= 405\mu s \end{aligned} \quad (4)$$

电容充、放电时间 T_1, T_2 的相对误差为

$$\begin{aligned} \eta_{T_1} &= \frac{840 - 917.8}{917.8} \times 100\% = -8.48\% \\ \eta_{T_2} &= \frac{160 - 405}{405} \times 100\% = -60.49\% \end{aligned} \quad (5)$$

发现与测得结果有较大的偏差，测定值均较计算值偏短， T_2 偏短尤为明显，实验中可能带来误差的原因包括

1. 非门集成电路 74LS08 中各非门的等效参数与给定的 $V_{BE} = 0.6V, R_1 = 20k\Omega$ 不相同，在较新型的速度较快的数字集成电路中 R_1 可能较 $20k\Omega$ 小，且 TTL 门电路也有一定的非 0 的输出电阻，可能影响充电时间的计算精度。且集成电路输出级内部结构与输出特性较为复杂，可能与线性关系偏离甚远，取一个特定的 R_1 是一个较为粗糙的近似。
2. 实验中电位器可能存在老化问题，容易受到环境因素影响，在实验过程中发生漂移，事实上也在实验中观察到数百 Hz 的频率漂移。实验中需要 1kHz 时钟信号的电路对时钟频率要求很低，频率的漂移不影响电路的正常工作。
3. 实验中使用示波器光标读出测量各个电压值，精度受到示波器垂直通道精度限制，人读出的主观性也影响了结果。

3.4 实验内容 2 和 3 电路整体测试

将自制多谐振荡器替代试验箱中提供的 1kHz 信号源，抢答电路能够正常工作。

3.5 在 1 个数码管上显示抢答成功的组号

电路设计如图4，按图4连接电路可完成译码功能，顺利显示抢答成功的组号。

3.6 测试计数器 74LS192 功能后接入抢答电路中

经试验，在接入时钟信号时，74LS192 在复位开关置高位、接通电源、初始输入置为 1001 的时候能够具有 9 到 0 的倒计时功能，认为其工作正常。按图6接入电路中，可以实现倒计时功能。

3.7 增加 9 锁定功能

按图8连接 9 锁定部分，即可实现无人抢答时倒计时到 0 后，锁定显示 9，直到主持人按下复位开关的功能。此时电路全部功能均已实现，可以作为一个有实用价值的四路抢答器使用。

4 实验心得与体会

本实验中我们利用了计数器、触发器等时序电路组件，主要运用门控时钟的方法思想，组成了具有复杂实用功能的抢答器电路。实验过程中，我们首先检查了各逻辑门和触发器是否有故障，确认正常后，我们设计并搭建了抢答部分，能够根据最早输入信号的组号确定输出，并且阻断后到的信号；之后，出于电路完整性考虑我们设计了用反相器和可变电阻构成的多谐振荡器并测量其特性，构成电路的时钟部分；然后，我们再根据组号输出特性，借助简单的逻辑门电路，将其转换为 8421BCD 码并接入数码管进行显示，构成了电路的数显部分；然后我们利用一个 10 状态计数器，利用递减计数端实现 10 秒倒计时；之后，我们利用触发器设计了复位开关；最后，我们将所有模块相连接，并且排除故障测试电路，使其成为完整的抢答器电路。

本次实验中我们学到了一些电路实验的基本经验：调试故障应该分模块调试，确认正常后再进行总体连接；元件较多、电源供电端不可在同一电源端口连接过多，“叠高楼”，应该确保就近取电，否则极易导致供电不稳定；做实验要有耐心，不能因为故障而产生情绪波动，不然实验进度会进一步受到影响

5 思考题

问：在本实验基础上设计一个 60 秒的答题倒计时电路，要求计时显示精确到秒，并用 555 设计秒脉冲。

答：此电路的设计方式有较多种，在此给出一例。

设计思路：为了实现 60 秒倒计时，需要一个能够计 60 个状态的计数器，而常见的 74 系列计数器集成电路状态数不超过 16，因此需要利用计数器之间的级联来实现。而两个 10 状态级联的计数器能够实现最多 $10 \times 10 = 100$ 个状态，因此能够实现 60 秒倒计时，在此选用两片 74LS192 来实现功能。

如图所示，用作低位计数的计数器时钟连接 CLK_D 端，在外部输入 1Hz 时钟信号时，低位端不断从 9 减计数至 0。每次状态从 0 跳回 9 时，BO 端会产生一个时钟脉冲，将其与高位计数器的递减时

钟输入相连，这样就能实现“借位”操作。倒计时时间用尽的情况等价于高位端输出借位信号(00 向下一个状态跳转的时候向高位输送一个时钟信号，高位状态跳转导致高位计数器借位)，因此将高位借位信号接至复位电平的触发时钟信号端。新的设计可沿用原先的复位触发器部分，可在 00 状态之后将电路锁定在 99 状态而等待复位开关的操作。在两个计数器的输入端 $D_3D_2D_1D_0$ 接上 $(1001)_2 = 5_{10}$, $(0101)_2 = 9_{10}$ 的初始状态，(对于包含 00 状态的 60 秒倒计时器初始状态应置 59，若对题意理解不同，认为应从 60 起始，只需改接 $D_3D_2D_1D_0$ 即可)，这样在复位信号有效后就能回到初始状态。

555 计时器的内部结构示意图如图13所示，主要由三个阻值一般为 $5k\Omega$ 的分压电阻，两个比较器， R, S 锁存器，放电三极管组成。

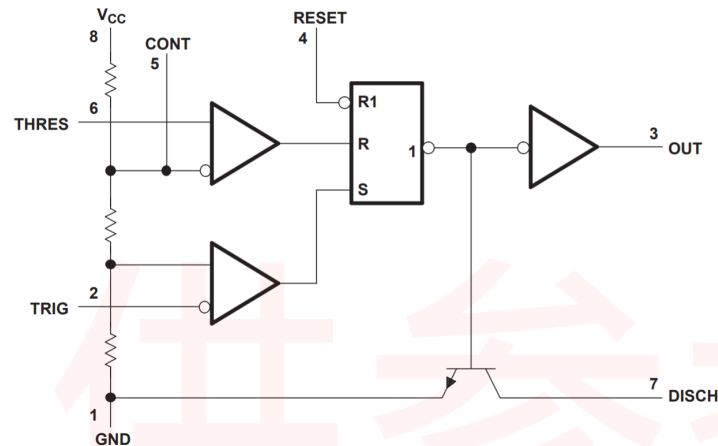


图 13: 555 计时器的内部结构示意图 (引自 TI 公司数据表)

对于此电路，可令 555 工作在无稳态模式下，其功能类似多谐振荡器。电阻 R_1 接在 V_{CC} 与放电引脚 (引脚 7) 之间，另一个电阻 (R_2) 接在引脚 7 与触发引脚 (引脚 2) 之间，引脚 2 与阈值引脚 (引脚 6) 短接。控制引脚 (引脚 5) 通过可省略的滤波小电容 (0.01 到 $0.1\mu F$) 接地。工作时电容通过 R_1 与 R_2 充电至 $2/3V_{CC}$ ，然后输出电压翻转，电容通过 R_2 放电至 $1/3V_{CC}$ ，之后电容重新充电，输出电压再次翻转。在此工作状态下输出波形的频率由 R_1, R_2, C 决定，有公式

$$f = \frac{1}{C(R_1 + 2R_2) \ln 2} \quad (6)$$

为了产生 1Hz 的时钟信号，可选取 C 为 $47\mu F$ 的电解电容， R_1 与 R_2 均为 $10k\Omega$ 电阻 (考虑了常见市售分立阻容元件参数序列，如有条件也可选取更接近理论值 $C(R_1 + 2R_2) = 1/\ln 2 \approx 1.443$ 的参数)。为了能够较为精确的校准输出频率，可通过选取稍大阻值的电阻，并给一个电阻并联上一个阻值较大的精密电位器等方式来进行调节补偿。

最终设计电路如图14所示，图中 S1 为复位开关，U6 与 U7 分别为低位与高位显示，为 Multisim 软件中虚拟的能够接受二进制码的七段数码管组件，仅可用于仿真，实际电路中可使用 CD4511, 74LS46 与 74LS246 等七段显示译码器与相应的数码管替代。R3 为阻值任意的上拉电阻。A 为复位开关。

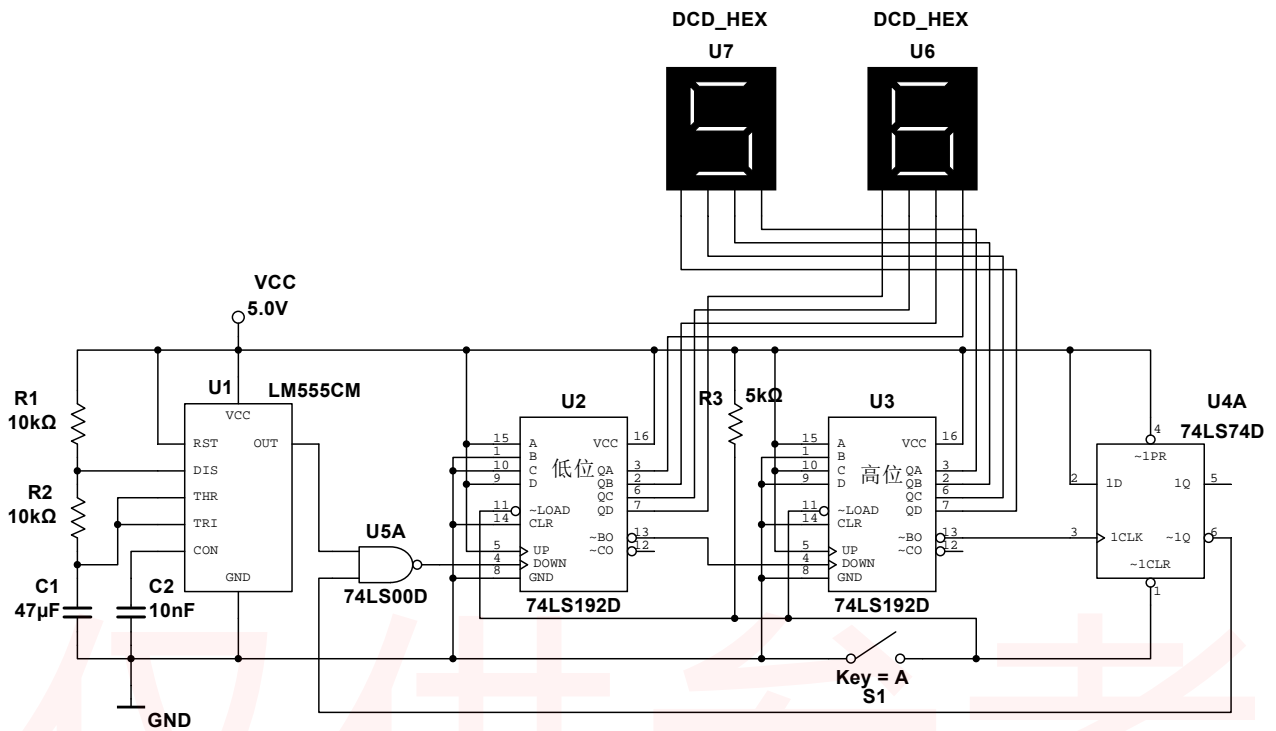


图 14: 60 秒答题倒计时电路设计图

使用 Multisim 软件仿真可见电路能够正常工作。

仅供参考，切勿抄袭

切勿抄袭

实验十二 数字钟

韩振、邱哲儒

(PB15000009、PB15000034)

2017年12月19日

1 实验目的

1. 学习了解计数器工作原理，学会反馈置零法来构成各种不同进制计数器的方法。
2. 掌握利用计数器实现数字钟的原理和设计思想，以及电路具体实现方法。
3. 学习 74LS90 型 2-5-10 进制计数器的设计思想与功能。

2 实验原理

2.0.1 N 位二进制计数器

按照二进制数自然递增或递减编码的计数器称为二进制计数器，N 位二进制的计数器最多能实现模 $M = 2^N$ ，一般需要 N 个触发器构成。

2.0.2 异步计数器

实现多位二进制计数器的一种手段是将前一触发器的输出作为下一触发器的时钟输入，多个触发器链状连接。异步计数器的各个触发器不是在同一时钟沿作用下同时翻转，而是逐级脉动翻转实现计数进位的，故称为异步计数器。典型的异步计数器电路如图1所示。

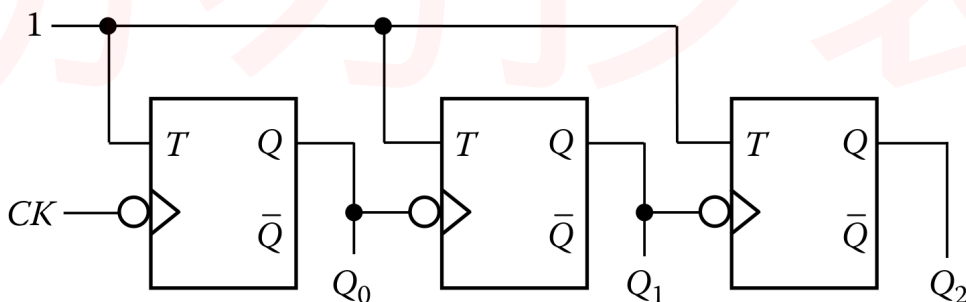


图 1: 三位异步计数器

异步计数器的原理与结构都很简单，但是也有弊端，若在设计时未仔细考虑信号逐级传输的时间延迟，假如以这种电路的输出作为输入接入组合逻辑电路，则有可能出现错误的瞬间输出。但是，对于要求并不高、本身并不复杂的电路，使用异步计数器是可行的，而且相比同步计数器电路结构更加方便简单。

2.0.3 74LS90 型 2-5-10 进制计数器

74LS90 是一种 2-5-10 进制计数器，其内部包含一个二进制计数器与一个五进制计数器，两个计数器独立工作。 \overline{CP}_0 端是模 2 计数器的时钟端， \overline{CP}_1 端是模 5 计数器的时钟端。使用时常常将其中模 2 计数器的输出端 Q_0 与模 5 计数器的 \overline{CP}_1 端相连接，以实现模 $M = 2 \times 5 = 10$ 的计数功能。

LOGIC DIAGRAM

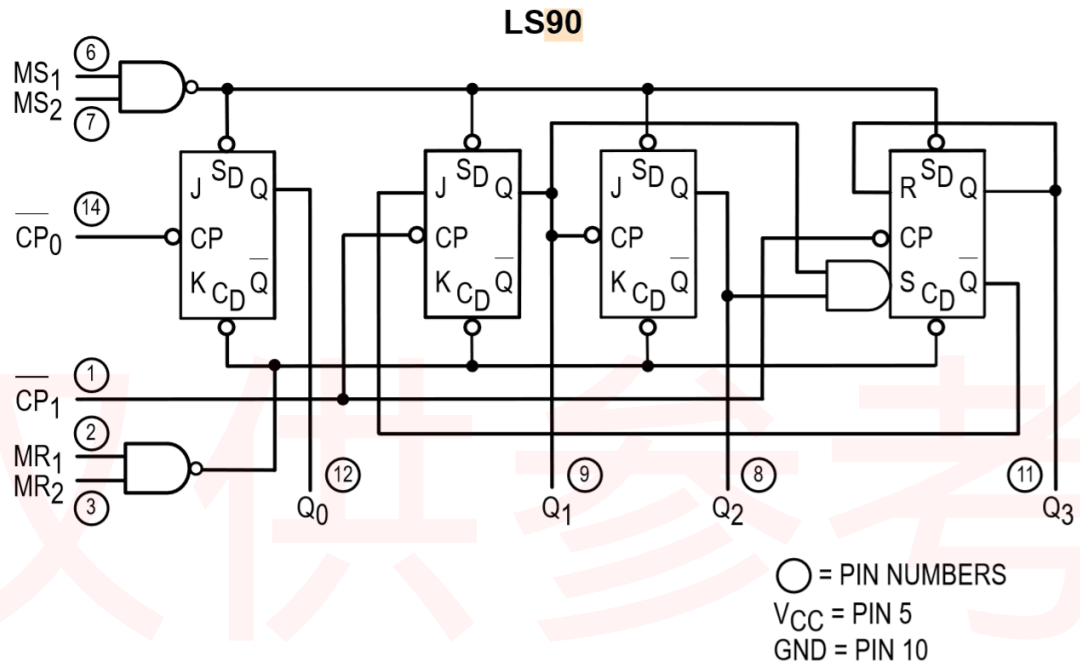


图 2: 74LS90 内部逻辑图 (摘自 Motorola 公司数据表)

74LS90 的复位端是由一个与门控制的，对外有两条复位线 MR_1 与 MR_2 ，仅当两线均为有效时才复位，这在一定程度上方便了使用，在需要复合复位端时不需外接其他电路。其具有异步置数功能，其异步置数端也是由一个与门控制的，置数端优先于清零端。其计数顺序与真值表如下

MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

2.0.4 反馈置零法

(以下讨论假设计数是递增计数器, 递减计数器情况类似) 为了实现模 M 为任意大小 (但小于 2^N) 的计数器, 一个很简单的思路就是设计一个组合逻辑能将 $M + 1$ 状态的电路输出作为输入的情况下输出高电平, 否则输出低电平, 然后用其接入高电平有效的置 0 端, 这样一旦电路进入不应该出现的 $M + 1$ 状态, 就马上能够被置 0。当然这依赖于芯片设计是否是异步清零的, 即不需要等到下一个跳变时钟到来, 只要一旦有效清零输入就将电路状态置零。否则应当做相应的修改。实验中使用的 74LS90 是异步置零的。

具体而言, 实现 8 进制计数器为例, 首先我们将 74LS90 的 CP_1 端与 Q_0 相连接, 使得其具有最大模 10 的计数功能; 然后, 8 进制意味着一旦电路状态进入 $(1000)_2$ 的状态就应当被置零。显然这就意味着输出 Q_3 与一个置零端相连, 另一个置零端接高电平。

3 实验内容与结果

3.1 分别验证 74LS90 实现 2、5、10 进制计数器

3.1.1 二进制计数器电路

对于二进制计数器, 实现时仅需使用 74LS90 中独立的二进制计数器部分即可, 如图3中阴影部分所示, 其余控制引脚全部置为低电平。

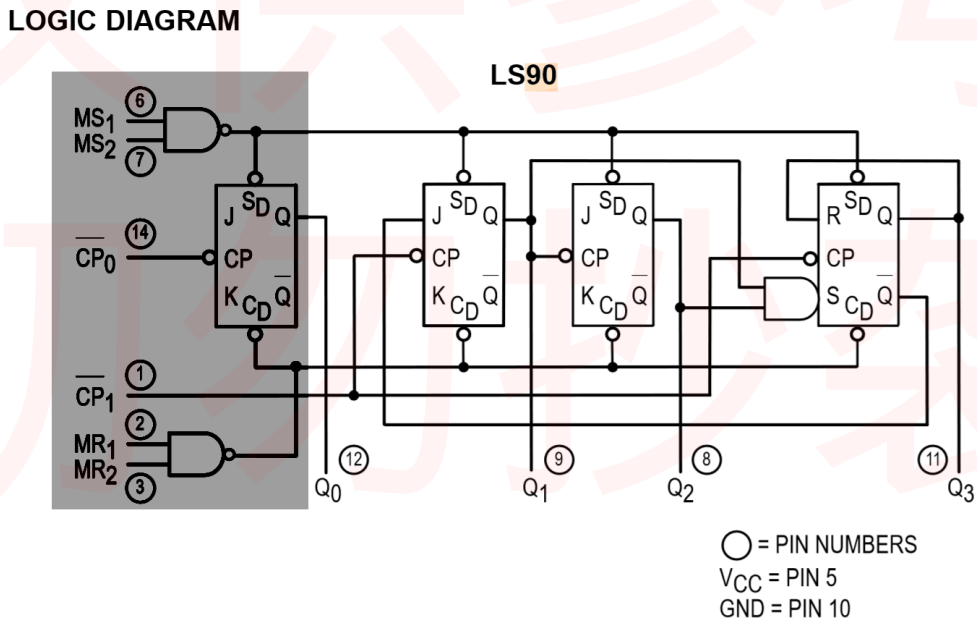


图 3: 74LS90 实现二进制计数器电路

实验得到其状态转换图如图4, (在此所有状态转换图中各输出按二进制 $Q_3Q_2Q_1Q_0$ 标记。)

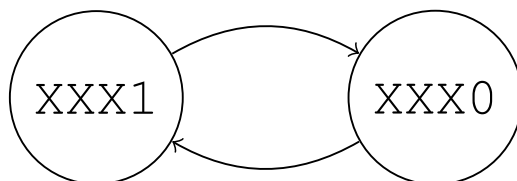


图 4: 74LS90 实现二进制计数器电路状态转换图

3.1.2 五进制计数器电路

五进制计数器也只需要用到 74LS90 中的另一个独立计数器即可，如图5中的阴影部分所示，其余控制引脚全部置为低电平。其状态转化图如图6所示。值得注意的是，其 BCD 码是由前三个输出 $Q_3Q_2Q_1$ 构成的。

LOGIC DIAGRAM

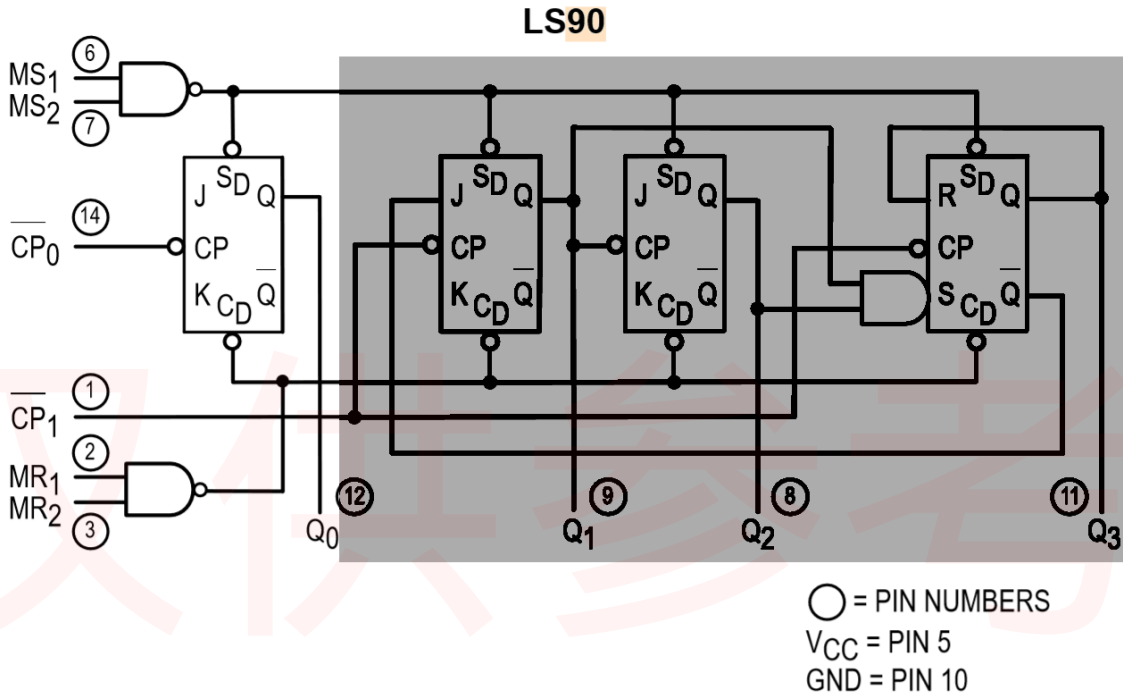


图 5: 74LS90 实现五进制计数器电路

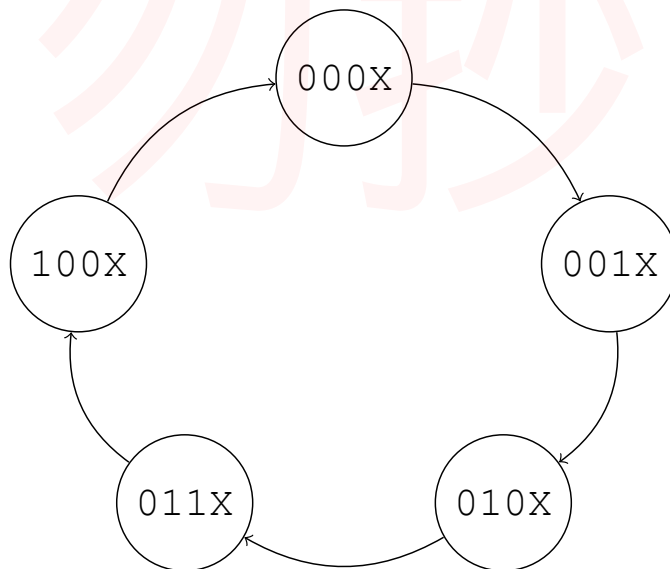


图 6: 74LS90 实现五进制计数器电路状态转换图

3.1.3 十进制计数器电路

十进制计数器只需要将二进制计数器的输出作为五进制计数器时钟端即可实现。在外部将 $\overline{CP_1}$ (INB) 输入连接到 Q_0 (QA) 输出即可，电路如图7所示。

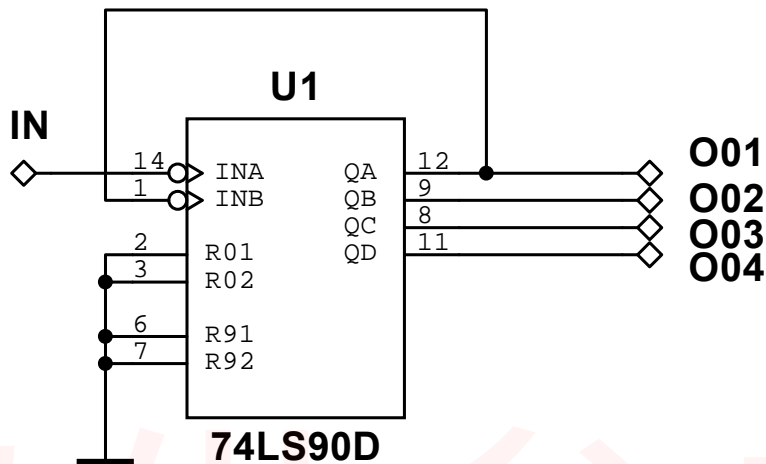


图 7: 74LS90 实现十进制计数器电路

3.2 用一块 74LS90 实现 8 进制的计数器

将 74LS90 的 CP_1 端与 Q_0 相连接，使得其具有最大模 10 的计数功能后，将输出 Q_3 与一个置零端相连，另一个置零端接高电平，或将 Q_3 同时连接到两个置零端，外部电路连接如图8所示。

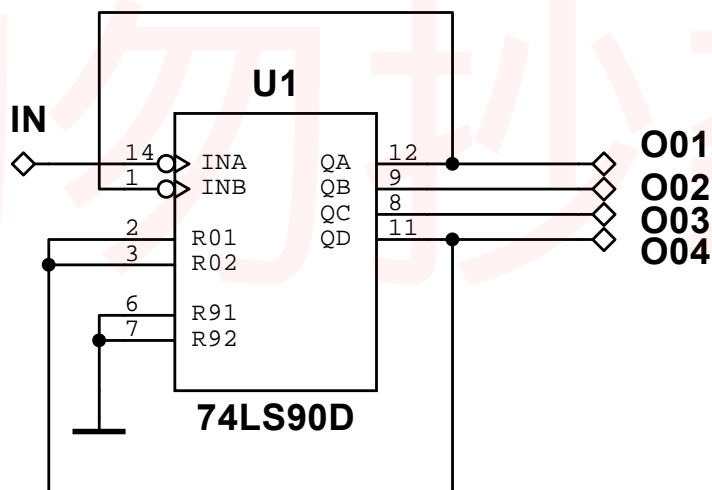


图 8: 74LS90 实现八进制计数器电路

测得电路状态转换图如图9所示，与预期一致。

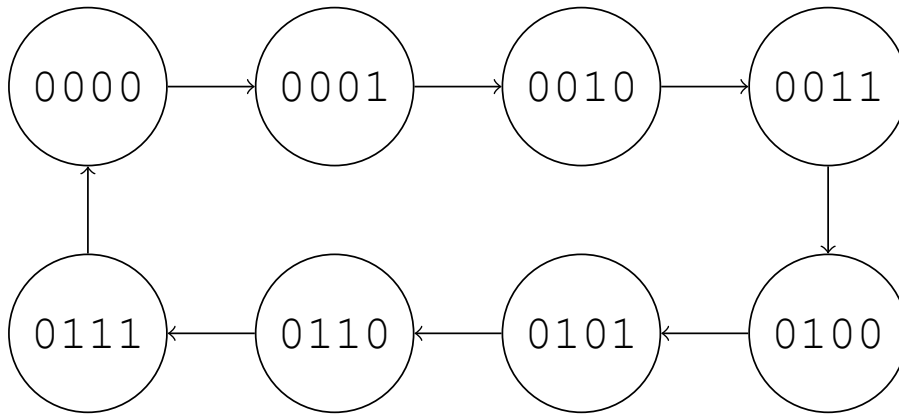


图 9: 74LS90 实现八进制计数器电路状态转换图

3.3 用两块 74LS90 实现 100 进制的计数器

由于一片 74LS90 的最大计数模为 10，因此需要使用计数器级联的手段达到 $10 \times 10 = 100$ 进制计数器。由于计数器本身结构的自相似性，只要将两片 74LS90 各接成 10 进制计数器，一片计数器最高位输出接到另一片计数器芯片的最低时钟端即可实现，电路如图10所示。

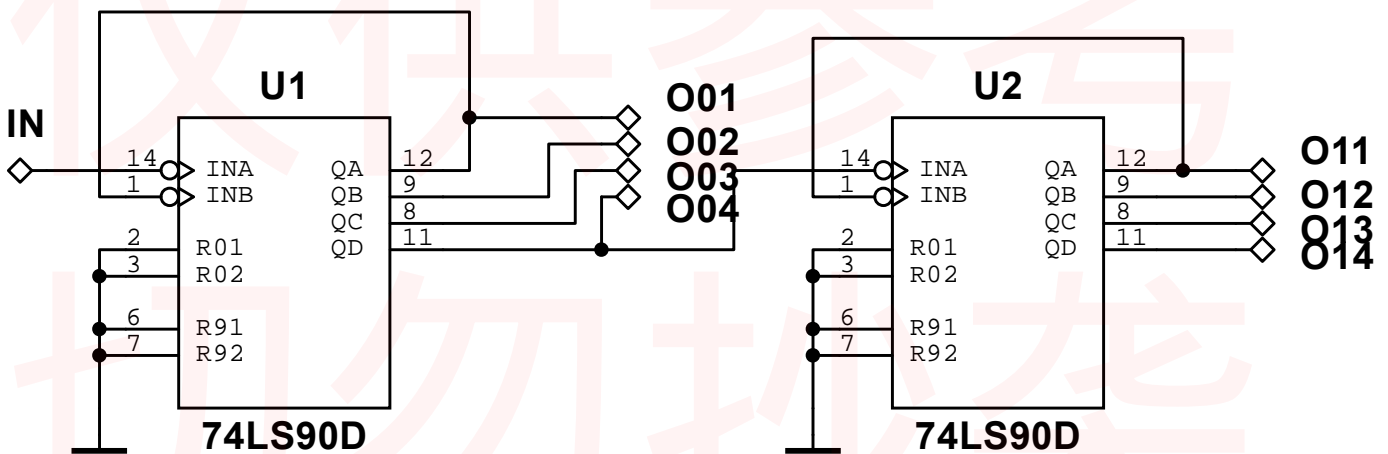


图 10: 74LS90 实现 100 进制计数器电路

将 IN 端连接到实验箱上时钟信号输出端，根据上面的设计搭建的电路的确具有 100 进制计数功能，将输出分别接到数码管显示的各位译码输入上，显示从 00 依次递增 1，到 99 后回到 00 状态。

3.4 用两块 74LS90 实现 60 进制的计数器

计数器的级联并没有给反馈置零法带来任何的复杂性，只需要将级联后的多个计数器整体当作一个大计数器。只需要将表示十位数的计数器的输出为 6 的状态一起接至两片计数器的置零端即可在首次出现 60 时将计数器置零，可利用 74LS90 内部内置的与门来完成状态为 6 的判断。需要注意，每一片计数器的两个置零端分别连接 Q2, Q3, 而不能连接于同一个输出端，否则无法保证正确的清零。电路如图11所示。

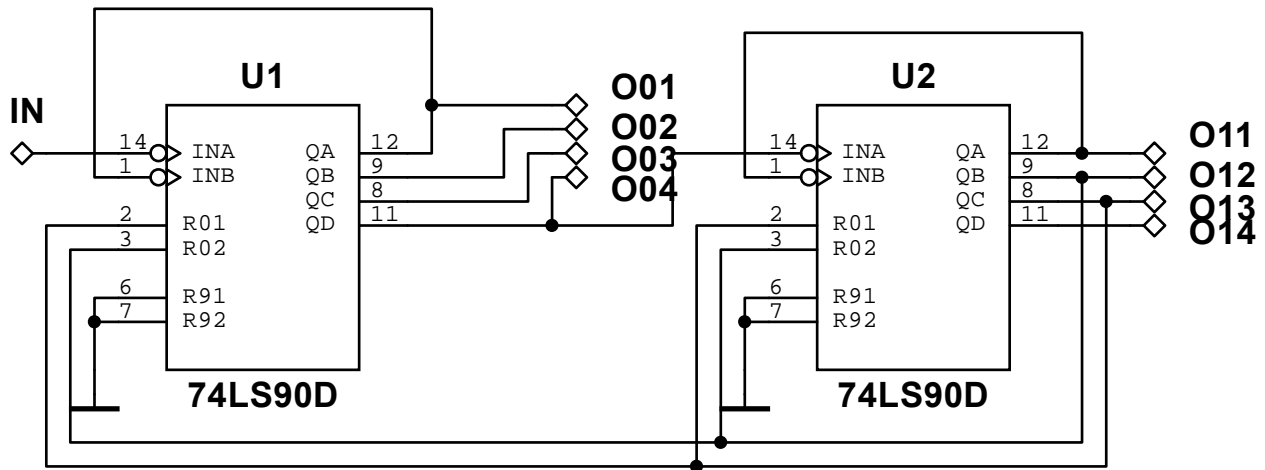


图 11: 74LS90 实现 60 进制计数器电路

将 IN 端连接到实验箱上时钟信号输出端，根据上面的设计搭建的电路的确具有 60 进制计数功能，也就是具有数字钟功能，将输出分别接到数码管显示，显示从 00 依次递增 1，到 59 后回到 00 状态。

4 实验心得与体会

本实验中我们利用 2-5-10 进制计数器芯片 74LS90 设计了各种计数器。使用 74LS90 中的模块结构构成了 2 进制、5 进制、10 进制的计数器。借助级联的手段利用两片 74LS90 实现了 100 进制计数器。同时，我们还利用反馈清零法，对于单片计数器和级联计数器的情况设计并搭建了 8 进制、60 进制计数器电路。其中，60 进制计数器电路具有实际意义，可以在输入 1Hz 时钟信号的情况下作为秒计数器。通过这个实验，我们掌握了异步计数器电路的原理与设计方法，同时也明白了级联和反馈清零法的意义。最重要的是，给了我们在数字电路课程中学到的时序电路的一个具体使用样例，可以用实验指导后续理论学习。