

数字电路

Digital Circuits

05_半导体器件

张俊霞
zjx@ustc.edu.cn

内容提纲

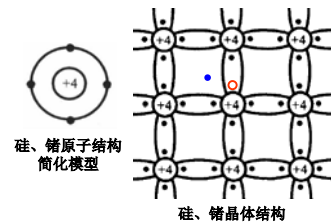
- 半导体基本知识
- 二极管
- 三极管
- 逻辑门电路

半导体基本知识

- 本征半导体
- N型和P型半导体
- PN结形成
- PN结单向导电性

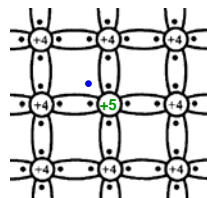
本征半导体

- 半导体：导电能力介于导体和绝缘体之间的物质
 - 常用半导体有硅、锗、砷化镓等
- 本征半导体：纯净的、呈单晶体结构的半导体
- 存在两种载流子
 - 由热激发产生的自由电子和空穴
 - 空穴是共价键中的空位
 - 自由电子和空穴成对产生，相遇复合时成对消失



N型半导体

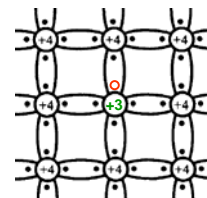
- 在本征半导体中掺入微量的作为杂质的五价元素(如磷)，所形成的杂质半导体
- 多数载流子(简称多子)是自由电子
 - 几乎每个杂质原子都产生一个自由电子，电子的浓度较掺杂前高得多
- 少数载流子(简称少子)是空穴
 - 由热激发形成，其浓度较掺杂前低得多



因多子带负(Negative)电，故称为N型半导体

P型半导体

- 在本征半导体中掺入微量的作为杂质的三价元素(如硼)，所形成的杂质半导体
- 多子是空穴
 - 几乎每个杂质原子都产生空穴，空穴的浓度较掺杂前高得多
- 少子是自由电子
 - 由热激发形成，其浓度较掺杂前低得多



因多子带正(Positive)电，故称为P型半导体

示例—掺杂对导电性影响

例如，室温下，本征硅的电子和空穴浓度：

$$n = p = 1.4 \times 10^{10}/\text{cm}^3$$

掺杂后 N 型半导体中的自由电子浓度：

$$n = 5 \times 10^{16}/\text{cm}^3$$

本征硅的原子浓度： $4.96 \times 10^{22}/\text{cm}^3$

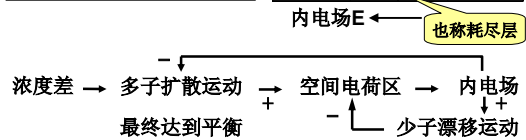
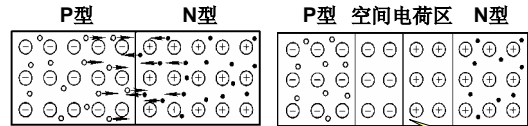
以上三个浓度基本上依次相差 $10^6/\text{cm}^3$

即掺入百万分之一杂质后，导电能力提高了百万倍

虽然掺杂甚微，但其对导电性影响极大

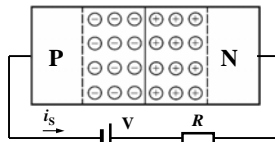
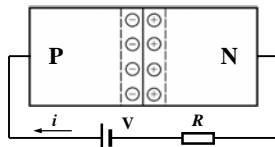
PN结形成

- PN结：在紧邻制作的P型和N型半导体的界面，由载流子扩散和漂移运动所形成的空间电荷区



PN结单向导电性

- 加正向电压(正偏)
 - P+, N-
 - 具有较大的正向扩散电流
 - 呈现低电阻，导通
- 加反向电压(反偏)
 - P-, N+
 - 具有很小的反向漂移电流
 - 呈现高电阻，截止

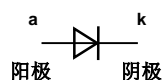
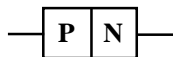


二极管

- 二极管结构与符号
- 二极管伏安特性和主要参数
- 二极管等效电路
- 二极管应用

二极管结构与符号

- 在PN结上加上引线和封装，就构成一个半导体二极管



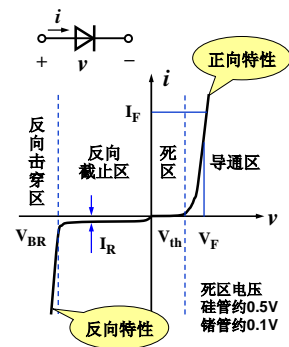
二极管符号



二极管外型

二极管伏安特性和主要参数

- 最大整流电流 I_F
 - 管子长期运行所允许通过的电流平均值
- 最大反向工作电压 V_{RM}
 - 为确保管子安全工作所允许的最高反向电压
- 反向电流 I_R
 - 室温下加上规定的反向电压时测得的电流
- 正向压降 V_F
 - 通过一定的直流电流时测得的管压降

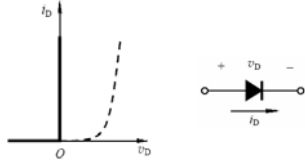


硅管约0.7V, 锗管约0.2V

二极管等效电路

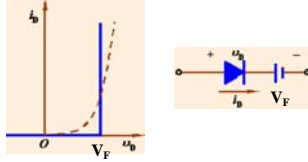
- 理想模型

- 忽略死区和导通压降
- $i > 0, v = 0$
- $v < 0, i = 0$



- 恒压降模型

- 导通压降=死区电压 $\neq 0$
- $i > 0, v = V_F$
- $v < V_F, i = 0$



数字电路—半导体器件

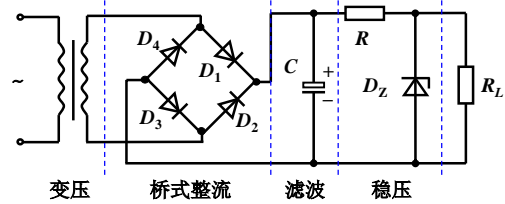
13

二极管应用

- 特殊二极管



- 主要应用：整流、限幅



变压 桥式整流 滤波 稳压

数字电路—半导体器件

14

三极管

- 晶体管

- 结构和符号
- 放大原理
- 伏安特性
- 主要参数

- 场效应管

- 结构和符号
- 工作原理
- 伏安特性

数字电路—半导体器件

15

三极管分类

- 三极管：具有放大和开关作用的三端半导体器件
- 按材料分类：硅管，锗管
- 按结构分类

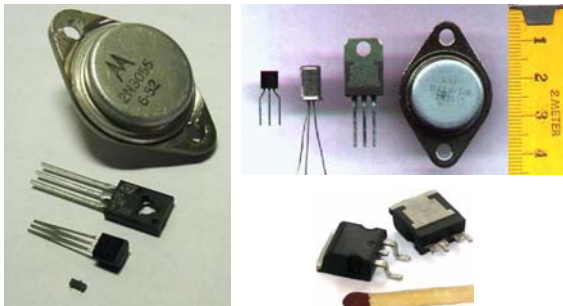
晶体管：NPN，PNP

场效应管 { 绝缘栅型 { 增强型：N沟道，P沟道
耗尽型：N沟道，P沟道
结型：N沟道，P沟道（耗尽型）

数字电路—半导体器件

16

示例—三极管外形



TO-3, TO-18, TO-92, SOT-23 Packages from top to bottom

SMD package D2PAK

数字电路—半导体器件

17

晶体管

- 由于三极管内两种极性的载流子都参与导电，故称为双极型三极管，或双极结型晶体管 (Bipolar Junction Transistor, BJT)，简称晶体管
 - 是一种电流控制电流型器件
- 具有两个PN结，依据其偏置情况，有四种工作状态
 - 放大状态 主要应用于模拟电路
 - 饱和状态 } 开关状态，主要应用于数字电路
 - 截止状态 }
 - 倒置状态 一般避免使用

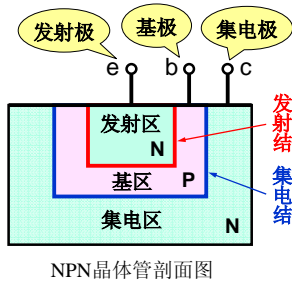
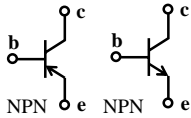
数字电路—半导体器件

18

晶体管结构和符号

- 根据结构，晶体管分为两种类型：NPN、PNP
- 内部结构特点

- 发射区掺杂浓度远大于基区和集电区
- 基区很薄且掺杂浓度最低
- 集电区面积最大



晶体管放大原理

- 放大本质：利用微小的基极电流，控制大的发射极和集电极电流

- 放大条件

- 发射结正偏
- 集电结反偏

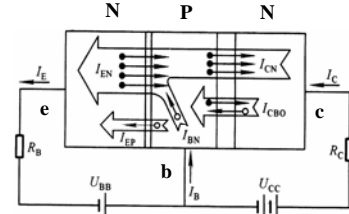
- 电流分配关系

$$\alpha = I_{CN} / I_{EN}$$

$$\beta = \alpha / (1 - \alpha)$$

$$I_E = I_C + I_B$$

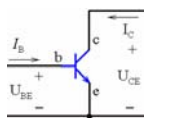
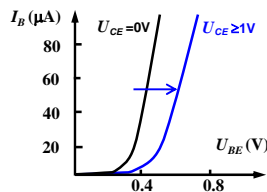
$$I_C \approx \alpha I_E \approx \beta I_B$$



晶体管伏安特性—输入特性

$$I_B = f(U_{BE}) \mid U_{CE} = \text{常数}$$

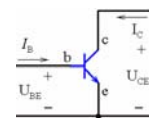
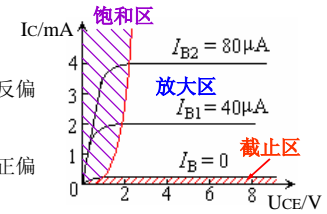
- 类似于PN结的正向特性
- 当 U_{BE} 不变， U_{CE} 从零增大时，集电结逐渐进入反偏，开始收集电子，基区复合减少， I_B 减小，特性曲线右移
- 当 $U_{CE} \geq 1V$ 时，输入特性曲线几乎重合在一起，即 U_{CE} 对输入特性几乎无影响



晶体管伏安特性—输出特性

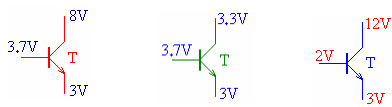
$$I_C = f(U_{CE}) \mid I_B = \text{常数}$$

- 截止区
 - 发射结和集电结均为反偏
 - $I_B \approx 0, I_C \approx 0$
- 饱和区
 - 发射结和集电结均为正偏
 - I_C 随 U_{CE} 增大而增大
 - $I_C < \beta I_B$
- 放大区
 - 发射结正偏，集电结反偏
 - I_C 与 U_{CE} 无关
 - $I_C = \beta I_B$



示例—判断晶体管工作状态

- 根据测得的三极管三个电极对地电位，判断晶体管的工作状态



发射结正偏
集电结反偏
→ 放大

发射结正偏
集电结正偏
→ 饱和

发射结反偏
集电结反偏
→ 截止

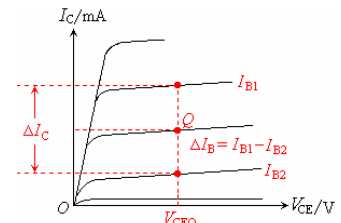
晶体管主要参数

- 直流放大系数

$$\bar{\beta} = I_C / I_B$$

- 交流放大倍数

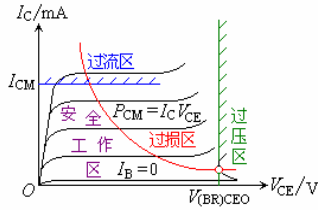
$$\beta = \Delta I_C / \Delta I_B$$



在放大区相当大范围内： $\beta = \bar{\beta}$

晶体管主要参数(续)

- 集电极最大允许电流 I_{CM}
- 集电极最大允许功率损耗 P_{CM}
 $P_{CM} = V_{CE} * I_C$
- 基极开路时集电极和发射极间的击穿电压 $V_{(BR)CEO}$



由 P_{CM} 、 I_{CM} 和 $V_{(BR)CEO}$ 确定晶体管的安全工作区

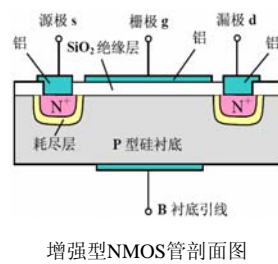
场效应管

- 简称FET (Field Effect Transistor), 利用输入电压产生的电场效应, 来控制输出电流, 是一种电压控制电流型器件
- 由于起导电作用的是一种极性的多数载流子, 又称单极型三极管
- 具有输入阻抗高、功耗低、噪声低、热稳定好、抗辐射、工艺简单、便于集成等特点, 因此得到广泛应用
- 按结构分为绝缘栅型和结型两大类

绝缘栅型FET结构和符号

- 又称MOS管(Metal-Oxide-Semiconductor FET)
- 按导电沟道类型分为

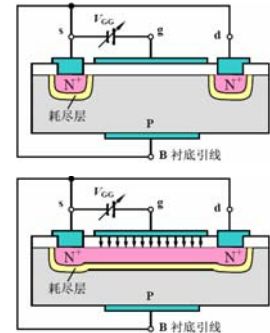
- N沟道: 增强型、耗尽型
- P沟道: 增强型、耗尽型



增强型NMOS管剖面图

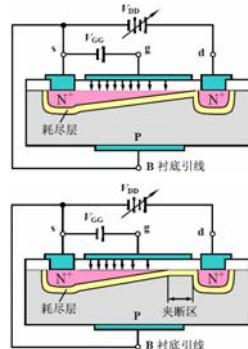
增强型NMOS管工作原理

- $V_{GS} < V_T$ (开启电压)
 - d、s间没有形成导电沟道, 即使加电压, 也无电流产生
- $V_{GS} > V_T$
 - d、s间形成导电沟道, 加电压后, 将有电流产生
 - V_{GS} 增大, 导电沟道增厚, 电阻率减小



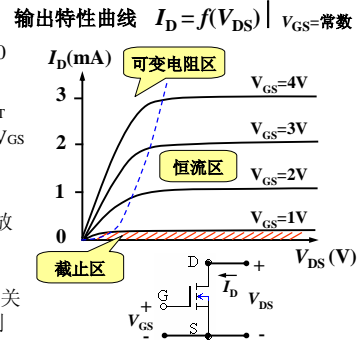
增强型NMOS管工作原理(续)

- 在导电沟道形成后, 保持 V_{GS} 不变
- 增加 V_{DS} , I_D 随之增加
 - 在 V_{DS} 作用下, 导电沟道呈锥形分布
 - $V_{GD} = V_{GS} - V_{DS}$
- 当 V_{DS} 增加到使得 $V_{GD} \leq V_T$ 后, I_D 基本不随 V_{DS} 增加而增加
 - 沟道出现夹断区



增强型NMOS管特性曲线

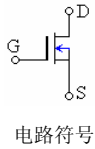
- 截止区
 - $V_{GS} < V_T$, $I_D = 0$
- 可变电阻区
 - $V_{DS} \leq V_{GS} - V_T$
 - 管子相当于受 V_{GS} 控制的电阻
- 恒流区
 - 也称饱和区、放大区
 - $V_{DS} > V_{GS} - V_T$
 - I_D 几乎与 V_{DS} 无关, 只受 V_{GS} 控制



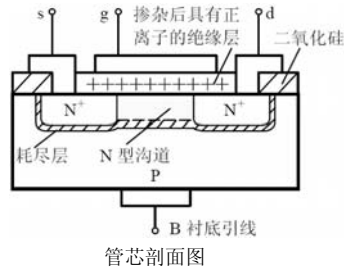
耗尽型NMOS管

- 在管子制造过程中，在栅极下方的绝缘层中掺入了大量的金属正离子，从而预置了导电沟道

在正/负栅源电压下均可工作



电路符号



管芯剖面图

晶体管与场效应管比较

	晶体管 (双极性)	场效应管 (单极性)
导电特点	多子和少子都参与导电	只有一种多子导电
控制方式	电流控制电流	电压控制电流
类型	PNP、NPN	N沟道、P沟道、增强型、耗尽型
	C、E一般不可倒置使用	D、S一般可倒置使用
输入电阻	小	很大
噪声	较大	较小
热稳定性	差	好
抗辐射性	差	强
制造工艺	较复杂，不易大规模集成	简单，易于大规模集成

逻辑门电路

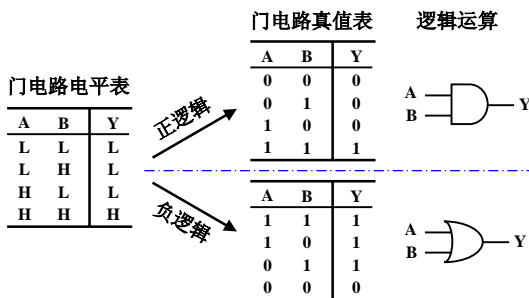
- 逻辑门电路主要参数
- CMOS逻辑门电路
- TTL逻辑门电路

逻辑门电路

- 实现基本逻辑运算和复合逻辑运算的单元电路
- 常见集成逻辑门电路
 - TTL: 74, 74LS, 74AS, 74ALS等系列
 - CMOS: 4000系列, 74HC, 74HCT, 74VHC, 74VHCT, 74LVC, 74VAUC等系列
- 正负逻辑
 - 正逻辑: 高电平表示逻辑1, 低电平表示逻辑0
 - 负逻辑: 低电平表示逻辑1, 高电平表示逻辑0
- 除非特别说明, 一律采用正逻辑

正负逻辑之间关系

- 与 \leftrightarrow 或非 非 \leftrightarrow 非 与非 \leftrightarrow 或非



逻辑门电路主要参数

- 输入/输出电平

导出噪声容限 V_{NH} 、 V_{NL} , 表示抗干扰能力

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

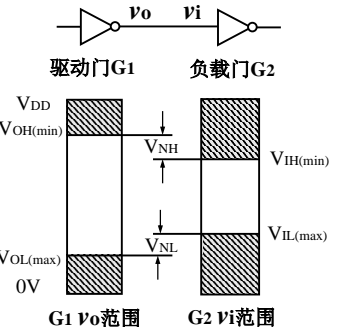
$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

- 输入/输出电流

导出扇出系数, 体现带负载能力

- 传输延迟时间

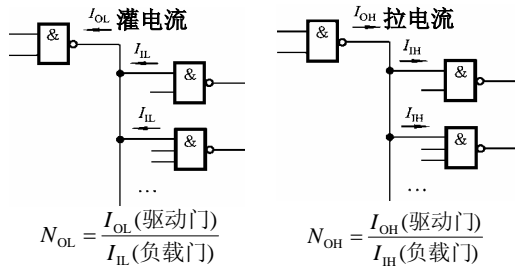
表征开关速度



扇出系数

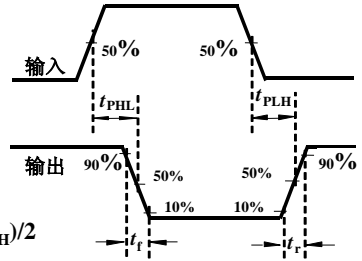
- 所能带同类门电路的最大数目

$$- N = \min(N_{OL}, N_{OH})$$



传输延迟

- 在输入脉冲波形作用下，其输出波形相对于输入波形的延迟时间



$$- t_{PHL}$$

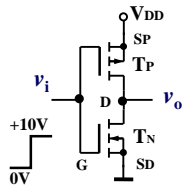
$$- t_{PLH}$$

$$t_{Pd} = (t_{PLH} + t_{PLH})/2$$

CMOS非门

- 设 $V_{TN} = 2V$, $V_{TP} = -2V$, $V_{DD} = 10V$

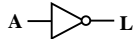
v_i	v_{GSN}	v_{GSP}	T_N	T_P	v_o
0V	0V	-10V	截止	导通	10V
10V	10V	0V	导通	截止	0V



真值表

v_i (A)	v_o (L)
0	1
1	0

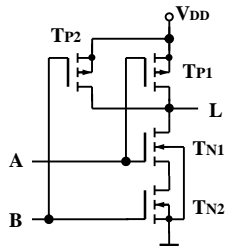
$$L = \bar{A}$$



CMOS与非门

真值表

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	L
0	0	截止	截止	导通	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	导通	截止	截止	0



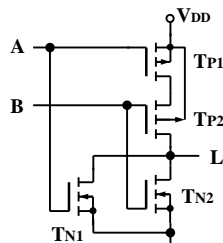
$$L = \overline{AB}$$



CMOS或非门

真值表

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	L
0	0	截止	截止	导通	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	导通	截止	截止	0



$$L = \overline{A+B}$$



CMOS异或门

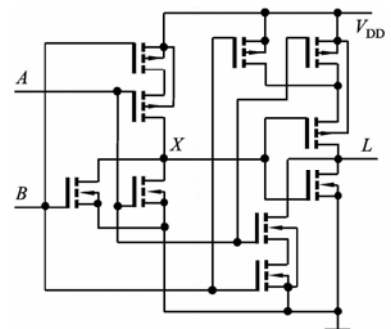


$$L = \overline{A \cdot B + \bar{X}}$$

$$= \overline{A \cdot B + A + B}$$

$$= \overline{A \cdot B + \bar{A} \cdot \bar{B}}$$

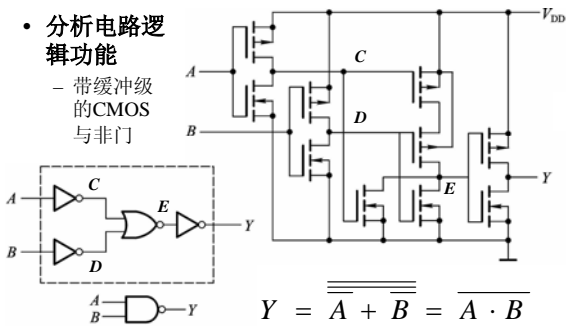
$$= A \oplus B$$



示例—CMOS逻辑门(1)

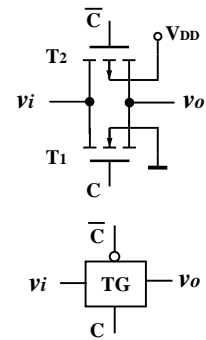
- 分析电路逻辑功能

—带缓冲级的CMOS与非门



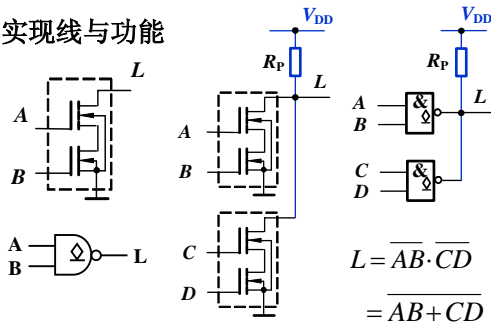
CMOS传输门

- $v_i = 0 \sim V_{DD}$
- 当 $C=0V, \bar{C}=V_{DD}$ 时
 - T1、T2截止，传输门截止
- 当 $C=V_{DD}, \bar{C}=0V$ 时
 - T1、T2至少有一个导通，传输门导通
 - $v_o = v_i$
- 传输门相当于一个理想的双向开关



CMOS漏极开路(OD)门

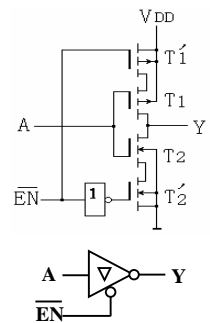
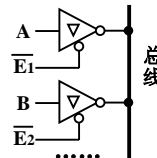
- 实现线与功能



CMOS三态(TS)门

- 输出有三种状态
 - 高电平 (1)
 - 低电平 (0)
 - 高阻态 (Z)
- 可实现总线功能

EN	A	L
0	0	1
0	1	0
1	x	Z

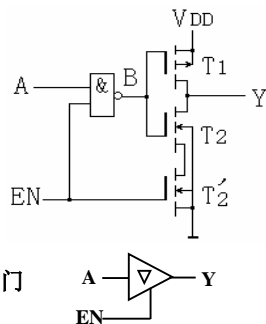


示例—CMOS逻辑门(2)

- 分析电路逻辑功能

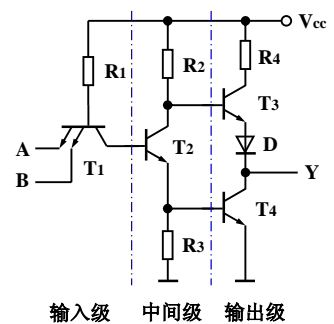
EN	A	Y
0	x	Z
1	0	0
1	1	1

高电平有效的同相三态门



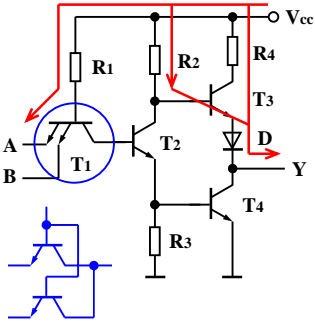
TTL与非门

- 输入级：实现输入信号的与运算
- 中间级：提供两个相位相反的电压信号
- 输出级：采用推挽式结构驱动输出信号



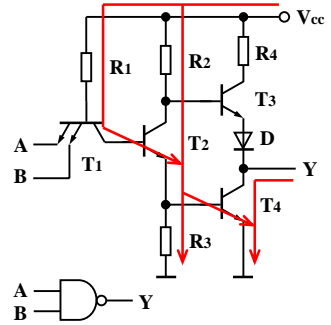
TTL与非门工作原理

- 设 $V_{CC}=5V$, $V_{IH}=3.4V$, $V_{IL}=0.3V$, PN结导通时的电压 $V_{BE}=0.7V$
- 当输入中存在低电平(V_{IL})时
 - T_2 、 T_4 截止,
 - T_3 、 D 导通
 - 输出为高电平
 - $V_{OH} \approx 3.4V$



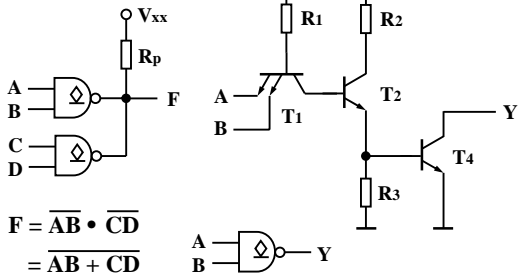
TTL与非门工作原理 (续)

- 当输入全是高电平($V_{IH}=3.4V$)时
 - T_1 发射结截止, 集电结导通,
 - T_2 、 T_4 饱和导通
 - T_3 、 D 截止
 - 输出为低电平
 - $V_{OL} \approx 0.3V$
- 由此可见, 输出和输入之间满足与非逻辑关系

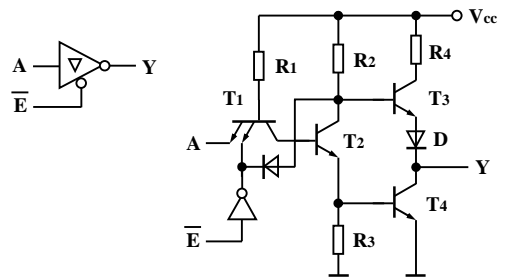


TTL集电极开路(OC)门

- 实现线与功能



TTL三态(TS)门



The End