

集成电路工艺原理

绪论

一. 芯片加工环境

加工环境是指芯片加工过程中除衬底，加工设备，能源加工技术之外的所接触的水，空气，人员，工艺气体，化学试剂等

1. 超净间沾污类型

- 颗粒
- 金属杂质
- 有机物沾污
- 自然氧化层
- 静电释放 (ESD) (控制方法空气中和法，含空气电离和软x射线辐射)

2. 三道放线控制沾污

- 净化环境
- 硅片清洗
- 吸杂

3. 一级净化间

单位体积内超过直径超过0.5um的颗粒数不超过一个

4. 洁净度和超细颗粒

直径小于0.1um的颗粒为超细颗粒 洁净度 $U(x)$ ， x 是指每立方米空气中所允许的超细颗粒最大数

5. 衬底材料

- 元素半导体 Si

- 化合物半导体 氮化镓
- 绝缘体 Si_3N_4

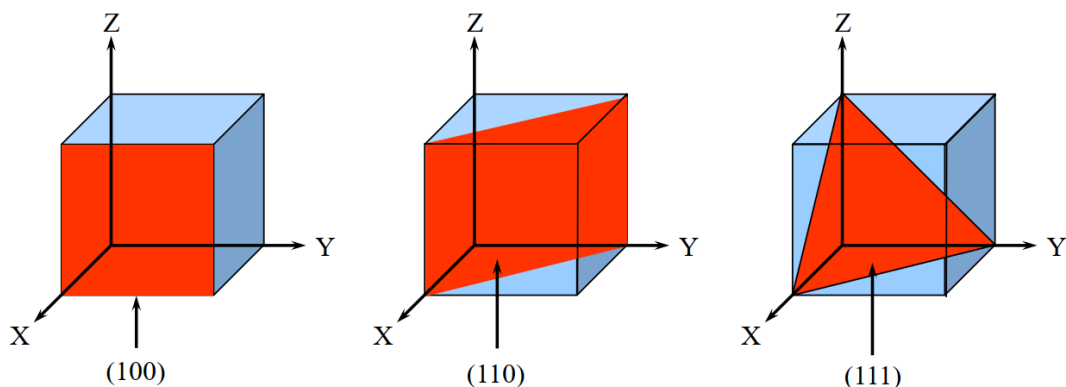
6. 硅的晶体结构结论

- 用作半导体材料的硅是具有特定结构的晶体，不同位置的芯片之间获得相同的性能成为可能。
- 硅晶体中有大量的空隙
 - 间隙杂质很容易在晶体内存留并运动；
 - 为扩散运动（掺杂）提供了足够的空间；

7. 晶向晶面和米勒指数

用密勒指数表示的晶面

Miller Indices of Crystal Planes



每个密勒符号是根据平面与坐标轴的交点而定的。

8. 半导体采用单晶结构的硅

多晶硅杂乱的晶体结构存在大量的晶界和缺陷，导致微缺陷的形成，影响硅片质量；使工艺和器件性能不易控制；使芯片和芯片之间的重复性很低；

9. 硅中主要缺陷

- 点缺陷 肖特基缺陷（空位），间隙原子产生原因：生长速率和晶体熔体界面间的温度梯度及热处理

- 线缺陷
- 面缺陷
- 体缺陷
- 位错
- 层错

10.杂质的分类

- 深能级杂质, 浅能级杂质
- 固溶度: 杂质在晶体中的最大溶解度
- 根据作用 施主杂质 (释放电子) 受主杂质 (接受电子)
- 间隙式杂质 替位式杂质
- 杂质对材料的影响:
 - 导电类型
 - 电阻率
 - 非平衡载流子寿命

二.氧化

1. 定义

在硅表面形成一层氧化层形成一层氧化层

2.分类

- 本征二氧化硅
- 非本征二氧化硅 (存在杂质) 分为两种
 1. 网络形成者 指可替代SiO₂网络中硅、并能与氧形成网络结构的杂质, 即替位式杂质。通常是和硅原子大小相近或更小的一类杂质, 如硼、磷、铝等

2. 网络改变者，存在于SiO₂网络间隙的杂质，主要是离子半径较大的一类杂质，如钾、钠、钡、铅、铝等，多以**离子**形式存在

3. 集成电路中的SiO₂ (结构)

热氧化法生长出**无定形硅**

有氧桥的比例越大，氧化层的密度粘合力越大

4. SiO₂的应用 (五个)

- 表面钝化层
- 器件保护层
- 掺杂阻挡层 CVD淀积 (掺杂剂在二氧化硅扩散速度慢于硅中)
- 电学隔离层 淀积法 电阻率高，介电强度大
- 器件介质层 **栅氧结构**中做介质层，用来让氧化层下面的栅极区产生感应电荷，从而控制器件中的电流

5. 三种氧化工艺(高温氧化工艺)

三种热氧化方法比较

种类	氧化剂	优点	缺点
干氧氧化	O ₂	SiO ₂ 结构致密、均匀性和重复性好，掩蔽能力强	生长速率慢
水汽氧化	H ₂ O	氧化速度快	SiO ₂ 质量差、掩蔽能力不强
湿氧氧化	通过高纯水的氧气	生长速率介于上述两者间	

共同点：均消耗硅

6. 氧化的两个阶段

- 表面反应控制阶段 初始阶段 **线性**阶段，生长速率由氧化反应速率决定
- 扩散控制阶段，**抛物线**生长速率主要由氧化剂在氧化层中的扩散系数来决定

7.影响氧化速率因素

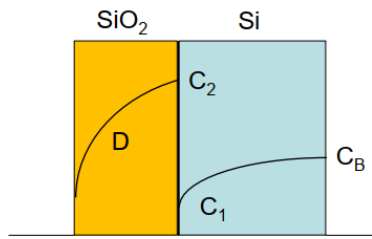
1. 温度
2. 氧化剂分压
3. 晶向
4. 杂质浓度

8.氧化过程杂质再分布

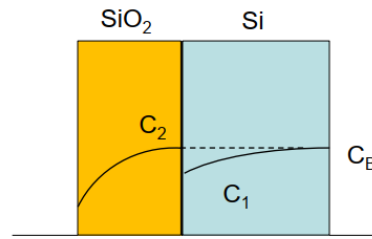
掺有杂质的硅在热氧化过程中，靠近界面的硅中杂质将在界面两边的硅和二氧化硅中发生再分布。

- 再分布诱因：杂质在Si和SiO₂中的溶解度不同，扩散系数不同
- 杂质再分布由**分凝系数**(Segregation Coefficient)来描述：

四种分凝现象



$m < 1$ 、 SiO_2 中慢扩散：B



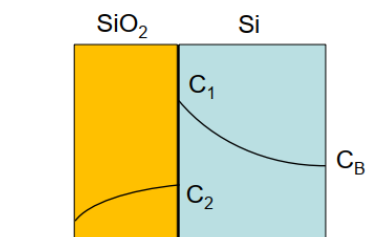
$m < 1$ 、 SiO_2 中快扩散：
 H_2 气氛中的B

79

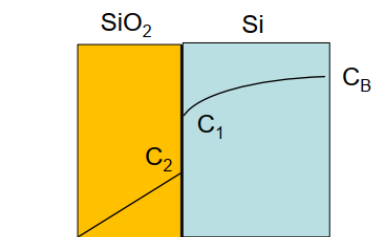
§2.4 热氧化过程中的杂质再分布



四种分凝现象



$m > 1$ 、 SiO_2 中慢扩散：
P (m 在10左右)



$m \gg 1$ 、 SiO_2 中快扩散：
Ga (m 大约20)

9.氧化系统

- RTP (Rapid Thermal Processing) 快速热处理器：单晶圆操作，较快速率升温
- 高温炉 批量工具，一次能够处理数百片晶圆，但温度变化慢

10.氧化后检测

- 氧化膜缺陷检测
- 厚度检测

- 电学测量
- 洁净度参数
- 表面检测

三. 扩散

1. 掺杂的目的

改变材料性能、改变晶片电学性质 制作PN结、欧姆接触区、电阻、硅栅和硅互连线

2. 掺杂分类

- **热扩散** 高温驱动杂质穿过硅的晶格结构，受温度的影响
- **离子注入** 通过使杂质离子与硅片发生原子级的高能碰撞将其引入硅片，不受温度的影响

3. 扩散的必要条件

- 杂质浓度梯度
- 温度梯度

4. 扩散的三步工艺

1. 预淀积 作用：实现杂质源在硅表面的均匀淀积；生长掩蔽氧化层；
2. 推进扩散
3. 激活 使杂质原子与晶格中的硅原子键合，从而使杂质原子移到正常的晶格上

扩散层质量检验

- 薄层电阻测量 四探针方块电阻测量
- 结深测量 磨角染色法
- 掺杂分布测量 C-V测量

两步扩散法

1. 恒定表面浓度的扩散 (**预沉积扩散** Pre-deposition) ; 目的: 提供扩散源, 控制掺入的杂质总量; 为整个扩散过程建立了浓度梯度; 较低温度 (800-900) **余误差函数**
2. 有限源的推进扩散 (**推进扩散**, Drive-in主扩散 或再分布), 往往同时氧化; 目的: 控制扩散深度和表面浓度; 高温 (1000-1200)

呈高斯分布

扩散方程和扩散系数

FICK菲克第一定律

杂质的扩散流密度与杂质的浓度梯度成正比。D扩散系数

$$J(x, t) = -D \frac{\partial C(x, t)}{\partial x}$$

菲克第二定律

讨论晶体中杂质浓度与扩散时间的关系

$$\frac{\partial C(x, t)}{\partial t} = D \frac{\partial^2 C(x, t)}{\partial x^2}$$

扩散系数

扩散系数依赖于扩散温度、扩散杂质的类型及杂质浓度;

固相扩散三种方式

- 间隙式扩散 (间隙式杂质的扩散) 快, 但对掺杂水平无直接贡献

- 替位式扩散（替位式杂质的扩散）慢，但改变了材料结构 P B As
- 1. 直接交换
- 2. 空位交换（主要）
- 3. 间隙扩散（只有存在空位扩散才会发生间隙扩散）
- 间隙-替位式扩散

杂质原子到晶格上的两种机制

- 挤出机制（Kick out）杂质原子取代硅原子的晶格位置
- Frank-Turnball机制 间隙杂质被一个空位俘获

影响杂质分布的其他因素

1. 扩散中的点缺陷
2. 扩散系数与杂质浓度的关系
3. 氧化气氛对扩散的影响
4. 扩散的相互作用
5. 横向扩散 使扩散区之间的实际距离比由光刻版确定的尺寸小；

扩散杂质元素选择

1. 选用的杂质最好能用SiO₂作为扩散掩蔽层
2. 在硅中的固溶度应大于所需的表面浓度。
3. 扩散系数的大小要适当（首要是结深）。
4. 先掺入的杂质在后续的热处理中引起的杂质再分布应尽量小。

四. 离子注入

扩散的缺点

1. 掺杂浓度不能超过杂质的固浓度

2. 较难得到杂质均匀分布（轻掺杂）

离子注入定义

离化后的原子在强电场的加速作用下，以物理的方式注射可控制数量的杂质进入靶材料的表层，

基本过程

三要素

1. 离子产生
2. 加速
3. 控制

步骤

1. 将某种元素的原子或携带该元素的分子经离化 变成带电的离子；
2. 通过质量分析选择出所需要的注入离子；
3. 在强电场中加速，获得较高的动能后， 投射入 材料表层（靶）。

扩散 离子注入比较

1. 扩散高温 SiO₂掩膜 离子注入低温 光刻胶掩模或铝等
2. 扩散 各项同性 离子注入 各项异性
3. 扩散不可以独立控制掺杂浓度和结深， 离子注入可以高精度控制
4. 扩散成批加工 离子注入可成批或单片加工
5. 扩散纯度低，均匀性差 离子注入纯度高，均匀性好
6. 扩散横向效应大，离子注入横向效应小
7. 扩散有固溶度限制 离子注入无固溶度限制

但离子注入会造成衬底晶圆的晶格损伤，设备复杂昂贵

两种能量损失机制

核阻止

定义：（低能区，重离子）

注入离子与靶内原子核之间的相互碰撞；将较大的能量传给靶核，使离子的运动方向发生较大的偏折，靶核产生位移

电子阻止

定义：（高能区，轻离子）

注入离子与靶内的自由电子和束缚电子碰撞，产生电子 - 空穴对；碰撞后离子能量损失较小，可认为碰撞后离子的运动方向基本不变

注入离子在无定形靶中的分布（纵向，横向，沟道，浅结）

1. 纵向分布 **对称高斯分布**
2. 横向分布 **余误差函数**下降 窗口边缘的离子浓度是中心处的50%，以后则按余误差函数下降
3. 沟道 避免沟道效应 影响因素：离子注入方向 晶向 靶温 注入剂量和速度
4. 浅结

注入损伤

分类：

1. 简单损伤
 1. 点缺陷（轻离子）
 2. 局部非晶区（轻掺杂重离子注入）
2. 非晶层的形成（重掺杂重离子注入）

临界剂量：

形成非晶层所需的最小注入离子剂量；与注入离子质量成反比，与温度成正比，温度升高，临界剂量增加

热退火

目的:

1. 消除由离子注入产生的晶格损伤，恢复硅晶格原有的晶体结构；
2. 激活杂质，让杂质进入电活性位置 - 替位位置；
3. 恢复材料少子寿命及载流子迁移率。

离子注入系统

- 离子源 (Ion Source)
- 磁分析器(质量分析器) (Magnetic analyzer)
- 加速管 (Accelerator)
- 聚焦和扫描系统 (Focus and Scan system)
- 工艺腔(靶室和后台处理系统 Target Assembly)

五.光刻 (光刻之后刻蚀或掺杂)

5.1光刻基本概念

定义

是指使用光敏材料和可控制的曝光在硅片表面形成三维图形的过程。

目的

将掩模版上的几何图形正确转换成晶圆上的器件结构，为进行刻蚀或离子注入作准备

5.2光刻八步

1. 气相成底膜 Vapor Prime
 1. 微粒清除 清除 颗粒状污染物
 2. 脱水烘焙 增加表面粘附性 增加表面粘附性
 3. 涂底胶 增强附着力。
2. 涂胶 Photoresist(光刻胶) Application
 1. 旋转涂胶 Spin Coat

3. 前烘 Soft Bake 去除光刻胶中的部分溶剂
4. 对准 曝光 Align & Expose (设备核心)
5. 曝光后烘培 Post-Exposure Bake
 1. 提高光刻胶的粘附性并减少驻波缺陷
 2. 促进光刻胶的化学反应
 3. 提高对线宽的控制
6. 显影 Develop
 1. 湿法显影
 2. 干法 (等离子) 显影
7. 坚膜烘培 Hard Bake 挥发掉存留的光刻胶溶剂和水分 提高光刻胶对硅片的粘附性, 稳固光刻胶
8. 显影目检 Develop Inspection

5.3 光刻三要素

- 光刻胶
- 掩模版 透明石英板, 两种, 投影掩模版(Reticle) 光掩膜版(Photomask)
- 光刻机

套准精度

: 每个连续图形与先前图层的匹配的精度

关键尺寸:

光刻技术所能达到的工艺最小线条

光刻的目标:

将掩模版的几何图形转换成晶圆上的器件结构

光刻工艺的目标

- 正确的定位图形（套准要求）
- 建立接近要求尺寸的图形（分辨率）

5.4分辨率（光刻的关键性能指标）

定义

清晰分辨出硅片上间隔很近的特征图形对的能力，实际上用每mm内能刻蚀出可分辨的最多线条数来描述；

影响分辨率的因素

1. 波长 λ ，减小 λ 提高光学系统分辨率
2. 增加透镜的数值孔径
3. 减小工艺因子K

$k\lambda/Na$

理论上最高分辨率 $1/\lambda$

最小线宽 $\lambda/2$

焦深

指焦点周围的一个范围，在此范围内图像连续地保持清晰

数值孔径增加，焦深减小

5.5光刻胶

作用

将掩膜版图案转移到硅片表面的光刻胶中；在后续工艺中作为保护层或阻拦层

组成

- 树脂（Resin）惰性的聚合物基体材料 保证光刻胶膜的附着性和抗腐蚀性
 - 负胶树脂曝光后由非聚合转为聚合

- 正胶曝光后变为可溶状态
- 感光剂 光敏成分 用来产生或控制聚合物的特定反应
 - 作用
 - 控制和或改变光化学反应，决定曝光时间和强度
- 溶剂
- 添加剂

光刻胶基本属性

5.6 光刻机

光源

- 高压汞灯 紫外光 (UV)
- 准分子激光 激光光源 248nm深紫外及以下波长提供较大光强

曝光方法

- 光学曝光
- X射线曝光
- 电子束曝光 (不需要掩模版直接在光刻胶上扫描) (EBL)
- 离子束曝光

光刻机类型

- 接触式光刻机
- 接近式光刻机
- 扫描投影光刻机
- 步进式光刻机 (分步重复光刻机)

六.刻蚀

6.1分类

- 离子束刻蚀(IE) (物理) (溅射刻蚀)
- 湿法刻蚀 (WET) (化学)
- 反应离子刻蚀 (RIE) (物理化学) 存在物理剥离 也有氧化反应
- 感应耦合等离子(ICP-RIE) (物理化学)

6.2 优劣

湿法刻蚀 各项同性

干法刻蚀 各向异性 侧壁剖面控制好; 减少光刻胶脱落或黏附问题; 好的 CD (critical dimension) (关键尺寸) 控制

6.3刻蚀参数

① 刻蚀速率 ② 刻蚀剖面 ③ 刻蚀偏差 ④ 选择比 ⑤ 聚合物 (侧壁保护)

三个步骤

– 反应物质量运输 (Mass transport) 到要被刻蚀的表面 – 在反应物和要被刻蚀的膜表面之间的反应 – 反应产物从表面向外扩散的过程

Bosch工艺

通过钝化/刻蚀交替进行(TMDE) 来实现Si 深槽刻蚀

七.化学气相沉积 (CVD)

7.1 定义

一种或数种物质的气体, 以某种方式激活后, 在衬底表面发生化学反应, 并淀积出所需固体薄膜的生长技术

7.2工艺特点

- CVD成膜**温度**远低于体材料的熔点
- 淀积**速率**一般高于PVD, 效率高; 厚度范围广

- 淀积膜结构完整、致密，良好的**台阶覆盖能力**，且与衬底粘附性好
- 薄膜的成分精确可控、配比范围大
- 缺点是淀积过程容易对薄膜表面形成污染、对环境的**污染**等

7.3两个阶段

- 反应速率控制阶段（温度敏感指数）
- 质量输运控制阶段

CVD方法

PECVD 等离子增强化学气相沉积 (低温)

APCVD 常压化学气相沉积 质量输运阶段

LPCVD 低压化学沉积 表面反应控制（高温）

工艺	优点	缺点	应用
APCVD (常压 CVD)	反应简单 淀积速度快 低温	台阶覆盖能力差, 有颗粒沾污, 薄膜 均匀性差, 低产出 率	低温二氧化硅 (掺杂或不掺杂).
LPCVD (低压 CVD)	高纯度和均匀性, 一致的台阶覆盖能 力, 大的硅片容量	高温, 低的淀积速 率, 要求真空系统 支持	高温二氧化硅 (掺杂 或不掺杂),氮化硅、 多晶硅等
等离子体辅助 CVD: ▪ 等离子体增强 CVD (PECVD) ▪ 高密度等离子体 CVD (HDPCVD)	低温, 快速淀积, 好的台阶覆盖能 力, 好的间隙填充 能力	要求 RF 系统, 高 成本, 有颗粒沾污	高的深宽比间隙的填 充, ILD, 钝化 (Si ₃ N ₄).

八.物理气相沉积 (PVD)

1. 定义:

在真空条件下，利用某种物理方法并通过气相过程实现物质的转移，并在材料表面淀积一层具有某些特殊性能的薄膜的技术(常用制备金属薄膜)

2. 基本方法

- 真空蒸发 (Evaporation)
- 溅射(Sputtering)

3.真空蒸发淀积

原理:

真空的环境中，加热使大量分子或原子蒸发或升华，并直接淀积在基片上形成薄膜

真空蒸发设备

- 真空工艺室
- 抽气系统
- 测量系统

蒸镀的高真空性

1. 蒸发的原子（或分子）的运输应为**直线**，真空度过低，运输过程被气体分子多次碰撞散射，方向改变，动量降低，难以淀积到衬底上。
2. 真空度过低，气体中的氧和水汽，使金属原子或分子在运输过程中**氧化**，同时也使加热衬底表面发生氧化。
3. 系统中气体的**杂质**原子或分子也会**淀积**在衬底上，影响淀积薄膜质量。

蒸发的方法

1. 电阻丝加热
2. 电子束蒸发（加速电子碰撞）
3. 激光加热
4. 高频感应加热

4.溅射淀积 (Sputtering)

定义

应用高能离子与高纯度固体靶材料的表面原子进行碰撞，而使原子从固体表面溅射出来，最后淀积到材料表面

溅射阈值：靶原子发生溅射的最小能量值。

溅射率(溅射产额 Sputtering Yield)平均每个入射离子轰击出的原子数

溅射率影响因素

- 入射离子的质量 惰性气体的溅射率最高
- 入射粒子能量
- 靶原子质量
- 靶材组成
- 入射角

分类

- 直流溅射
- RF溅射
- 磁控溅射（速率高薄膜质量好）
- 离子束溅射

5.蒸发溅射对比

蒸发

- 设备简单
- 生长机理简单
- 所制备的薄膜纯度较高，厚度控制较精确，成膜速率快
- 缺点是对某些元素淀积速率很慢
- 合金和化合物很难采用
- 台阶覆盖差

溅射

- 台阶覆盖比蒸发好
- 辐射缺陷少
- 薄膜附着性好，密度高
- 膜厚度可控，重复性好
- 任何物质均可溅射

6.外延

定义

在单晶衬底上，用物理或化学方法，按衬底晶向生长单晶膜的工艺

临界尺寸

在界面上不出现失配位错的生长层的最大厚度

影响因素

- 温度
- 硅源
- 反应剂浓度
- 衬底晶向，气体流速

层错法测量外延厚度

扩展电阻法测电阻率（四探针法，CV法）

MBE

定义（属于PVD）

超真空环境下，使具有一定热能的分子或原子束喷向晶体衬底，与衬底表面发生反应的过程

特点

- 生长慢，高精度控制掺杂、组合、厚度
- 生长温度低
- 可以进行即时观测

固相外延

将衬底上非晶或多晶薄膜在高温下退火，使其转化为单晶

关键：工艺温度和保温时间

MOCVD (金属有机化学气相外延)

主要制备化合物半导体单晶薄膜

CMOS制备流程(工艺集成) (落脚点)

基本工艺

- 图形加工 光刻刻蚀
- 薄膜制备 氧化 CVD PVD等
- 掺杂 扩散，离子注入

平坦化工艺

局部平坦化 SOG 旋涂玻璃法

全局平坦化 CMP化学机械研磨

COMS工艺流程

1. 选择衬底
2. 氧化
3. 浅槽隔离
 1. Si_3N_4 淀积 (CVD) 为后续平坦化 (CMP) 作为停止层
 2. 隔离沟槽制备

1. 光刻胶成型
2. Si₃N₄和SiO₂刻蚀(RIE)
3. 浅槽隔离刻蚀 (RIE)
4. 去除光刻胶

3. SiO₂淀积 (CVD) 填充浅隔离沟槽

4. 化学机械抛光 (CMP)

5. 去除Si₃N₄

4. 制作N阱P阱

1. 光刻胶成型

2. P掺杂 (N型区)

3. 去除光刻胶

4. 光刻胶成型

5. B掺杂 (P阱)

6. 去除光刻胶

7. 退火 (600-1000度H₂环境加热) 修损, 杂激 增寿 杂扩 (RTP) 减扩

5. 栅极制备

1. 牺牲氧化层生长

2. 除去牺牲氧化层

3. 栅氧化层生长 (作为栅绝缘层)

4. 多晶硅淀积 (CVD)

5. 光刻胶成型

6. 多晶硅刻蚀 (RIE)

7. 除去光刻胶

6. 源漏极制备

1. 多晶硅氧化
2. 光刻胶成型
3. NMOS管衔接注入(低能量、浅深度、低掺杂的砷离子注入)
4. 除去光刻胶
5. 光刻胶成型
6. PMOS管衔接注入(低能量、浅深度、低掺杂的BF₂+离子注入)
7. 除去光刻胶
8. Si₃N₄淀积 (CVD)
9. Si₃N₄刻蚀 (留下隔离侧墙)
10. 光刻胶成型
11. NMOS源漏注入 (重掺杂)
12. 除胶
13. 胶成
14. PMOS管源漏注入
15. 除胶加退火

7. 接触孔制备

1. 除去表面氧化物
2. Ti淀积 (溅射)
3. TiSi₂形成
4. Ti刻蚀, TiSi₂被留下, 形成Si与金属间的欧姆接触
5. 硼磷硅玻璃(BPSG)淀积 (绝缘隔离器件和第一层金属)
6. BPSG抛光 CMP

7. 光刻胶成型
 8. 接触通孔刻蚀
 9. 除胶
 10. TiN淀积 (有助于后续的钨层附着在氧化层上)
 11. 钨淀积 (填充接触孔)
 12. 钨抛光
8. 第一层互连
 1. Metal1淀积
 2. 光刻胶成型
 3. Metal1刻蚀
 4. 除胶
9. 通孔制备
 1. 金属间绝缘体IMD淀积
 2. IMD抛光 CMP
 3. 光刻胶成形
 4. 通孔刻蚀(获得垂直的侧墙)
 5. 除去光刻胶
 6. TiN和钨淀积(同第一层互连)
 7. 钨和TiN抛光
10. 第二层互连
 1. Metal2淀积
 2. 光刻胶成形
 3. Metal2刻蚀

4. 除去光刻胶

11. 钝化层淀积和成型，压焊点打开，提供外界对芯片的电接触

总结

1. 两个阶段

1. 氧化（表面反应控制阶段 随时间线性）（扩散控制阶段 扩散系数 抛物线）
2. 扩散（预淀积扩散 建立浓度梯度）（推进扩散 深度）
3. CVD (反应速率控制阶段 温度 低温区 $k_s \ll k_g$)（质量输运控制阶段 k_s 远大于 k_g)

2. 干湿问题

1. 干氧氧化 和湿氧氧化
2. 干法（等离子）显影 湿法显影
3. 干法刻蚀（质量好） 湿法刻蚀（快）
4. 干法

3. 两种技术对比

1. 离子注入与扩散
2. CVD PVD
3. 蒸发与溅射

4. 中英互译

1. 晶圆 Wafer
2. 浅槽隔离 STI
3. APCVD 常压 LPCVD 低压 PECVD 等离子体增强化学气相沉积
4. PSG 磷硅玻璃 BPSG 硼磷硅玻璃 FSG 氟化硅玻璃 USG 未掺杂的硅玻璃

5. RTP快速热处理器 RTA 热退火

6. resolution

箴言

虽然没有明确重点，但强烈建议记牢第八章CMOS反相器制造的具体流程，考试一般最后一题就让写制造流程画图（一般比反相器简单）

有简答，名词解释（中英互译），器件生长流程概述等。感觉工艺各个流程没有具体实践理解贯通起来比较困难，