

PN 结  $D/\mu = kT/q$

PN 结: 由 P 型半导体和 N 型半导体实现冶金学接触 (原子接触) 所形成的结构称。

热平衡: ①热平衡下 P 区与 N 区的费米能级相等 ②内建电势 (接触电势差)

热平衡形成过程: 1. 载流子扩散、3. 产生自建电场、3. 漂移、扩散达到平衡

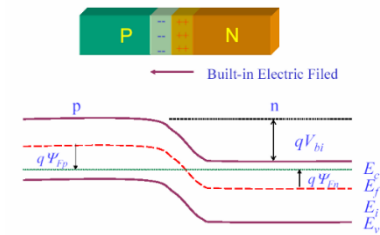
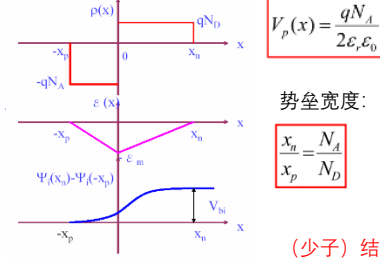


Table with 3 columns representing different regions: x < -x\_p, -x\_p < x < x\_n, and x > x\_n. It lists carrier concentrations (n\_p0, p\_p0, n\_n0, p\_n0) and electric field (E\_p(x), E\_n(x)) formulas.



耗尽近似条件: 假设空间电荷区中正负电荷密度完全由电离杂质浓度决定, 从而忽略自由载流子的影响。

$$E_p(x) = -\frac{qN_A}{\epsilon_s \epsilon_0}(x+x_p)$$

$$E_n(x) = -\frac{qN_D}{\epsilon_s \epsilon_0}(x_n-x)$$

$$V_p(x) = \frac{qN_A}{2\epsilon_s \epsilon_0}(x+x_p)^2$$

$$V_n(x) = V_D - \frac{qN_D}{2\epsilon_s \epsilon_0}(x_n-x)^2$$

势垒宽度:  $x_n = \frac{N_A}{N_D}$ ,  $x_p = \frac{N_D}{N_A}$

$$X_D = \sqrt{\frac{2\epsilon_s \epsilon_0 (N_A + N_D) V_D}{q N_A N_D}}$$

$$n(-x_p) = n_{p0} \exp(qV_f/kT)$$

$$p(x_n) = p_{n0} \exp(qV_f/kT)$$

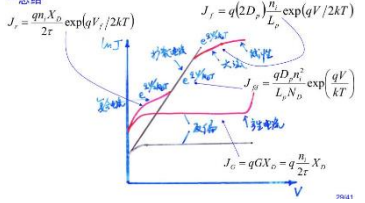
(少子) 结定律:

加偏置: 前述所有公式中的  $V_D$  均由总电势差  $V_{total} = V_D - V_f$  代替, 其中正偏时  $V > 0$  正向偏置  $W$  变小扩散大于漂移(正向扩散)反向偏置  $W$  变大扩散小于漂移(反向抽取)

PN 结理想 IV 特性基本假设: ①耗尽区有突变的边界, 边界外的半导体为电中性, 外加电压全部降在势垒区中; ②两个边界处的载流子浓度通过结上的静电势差相关联。等同于半导体非简并, 等同于满足玻尔兹曼分布条件。③小注入条件, 即注入的少子浓度远小于多子浓度, 在外加电压变化时, 中性区边界处的多子浓度的变化可忽略。④忽略势垒区中载流子的产生和复合作用, 耗尽区内既无产生电流, 又无复合电流, 通过势垒区的电子和空穴电流为常数

肖克莱方程:  $J = J_s [\exp(qV/kT) - 1]$ ,  $J_s = \frac{qD_p n_i^2}{L_p N_D} + \frac{qD_n n_i^2}{L_n N_A}$

PN 结理想电流与温度的关系: 反偏时电流等于  $J_s$  是热平衡少子浓度的函数。少子浓度均正比于  $n_i^2$ , 对于硅 PN 结, 温度升高 10°C,  $J_s$  增大 4 倍。正偏时, 既包括  $J_s$  项, 又包括与温度倒数的指数项, 随着温度的升高, 二极管电流也会增大, 但变化不如反向饱和电流的变化明显。



理想 IV 特性的修正: (1)产生复合效应: 大正偏压  $m=1$  小正偏压  $m=2$  过渡区域  $1 < m < 2$  (2)大注入效应 (仅正偏时出现): 正向偏压升高, 注入的少子浓度升高, 变得比多子浓度还要大 (3)串联电阻效应 大电流, 串联电阻 R (包括中性区的电阻和非理想欧姆接触的电阻) 上的压降不能忽略。电流随正向电压增加的速度变慢 (4)温度

效应(5)表面效应: 表面电荷导致形成表面空间电荷区、交界面的界面态、表面沟道电流、表面漏电流

势垒电容: 由势垒区中的空间电荷随外加电压变化而引, 正负电荷的增减是靠空间电荷区的宽度变化来实现的。  $C_T = |dq/dV| = A \epsilon_s \epsilon_0 / x_D$  反偏时起主要作用, 正偏时都起作用。

扩散电容: 由势垒区两边积累的非平衡少子电荷随外加电压变化所引起。

PN 结三种击穿: (1)热击穿 反向电流一热耗散一结温升高一反向电流增加 (2) 隧道击穿 (齐纳击穿) 当 P-N 结两区掺杂都很高时, 势垒区变得很窄且电场很强。若反偏压增加到某一值, 能带弯曲度的增大, 将使载流子从势垒区电场中获得的附加静电势能达到甚至超过导带底电子的能量。此时, 根据量子力学理论, 电子有一定几率穿过禁带而进入导带。只发生在重掺杂的 P-N 结中。负温度系数。振荡器、双/单稳态触发器; 高速逻辑器件和电路、低噪音微波放大器等。

(3)雪崩击穿: 反偏下, 当电子、空穴穿越空间电荷区时, 由于电场的作用, 它们的能量会增加。当它们的能量大到一定程度并与耗尽区内的原子发生碰撞时, 便会产生新的电子-空穴对, 新的电子与空穴又会撞击其它原子, 正温度系数。雪崩击穿电压比隧道击穿电压高得多。  $V_B < 4 (Eg/q)$  时主要是隧道击穿,  $V_B > 6 (Eg/q)$  时主要是雪崩击穿, 中间, 混合。

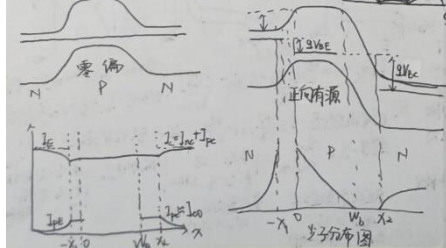
双极型晶体管

Bipolar Junction Transistor: 电子和空穴两种极性载流子均参与电流运输的晶体管。

基本原理: 以 pnp 结为例, E 结为最重掺杂, B 结中等掺杂, C 结掺杂最少。工作在正向有源模式的时候, EB 正偏, BC 反偏。EB 正偏, E 区作为 p 区, 空穴 (E 区的多子) 进入到 B 区成为非平衡少子发生扩散, 又因为 B 区很窄, 空穴能够穿越中性区达到 BC 的空间电荷区中, 在 BC 空间电荷区中的电场方向由 B->C, 且为反偏, 所以会将空穴扫到 C 区当中。

电流增益: 发射效率基区传输因  $\alpha_T$ , 共基极放大系数  $\alpha_0 = \gamma \alpha_T$ , 共射极放大系数  $\beta_0 = \frac{\Delta I_C}{\Delta I_B} = \frac{\alpha_0}{1 - \alpha_0}$

提高电流增益: 1. 减小基区宽度  $\alpha_T$  增大; 2. 提高基区载流子寿命和迁移率, 以增大载流子的扩散长度  $\gamma \alpha_T$  均增大

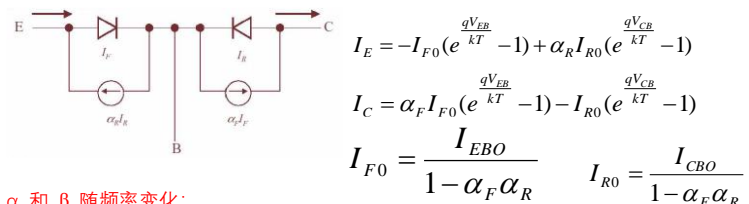


晶体管的工作状态 PNP NPN

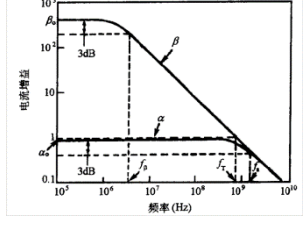
- 放大状态:  $V_{EB}$  正偏,  $V_{CB}$  反偏;  $V_{BE}$  正偏,  $V_{BC}$  反偏;
饱和状态:  $V_{EB}$  正偏,  $V_{CB}$  正偏;  $V_{BE}$  正偏,  $V_{BC}$  正偏;
截止状态:  $V_{EB}$  反偏,  $V_{CB}$  反偏;  $V_{BE}$  反偏,  $V_{BC}$  反偏;
反转状态:  $V_{EB}$  反偏,  $V_{CB}$  正偏;  $V_{BE}$  反偏,  $V_{BC}$  正偏;

非理想效应: 1、缓变基区 (好): 基区的杂质分布并不均匀, 内建电场将增强电子的运动, 引起的漂移运动, 减小少子在基区的复合, 从而提高基区输运系数 2、发射极电流集边效应: 由于基区扩展电阻效应使发射结中心部分的电流密度大大降低, 发射极电流主要集中在发射极的边缘部分, 降低发射极电流集边效应最有效的方法是使电流分布在一个相当大的边缘上 3、基区宽度调制 (Early 效应) 当改变基极-集电极偏压时, 集电结耗尽区宽度随之改变, 因而也引起中性基区宽度  $W_B$  的变化。基区掺杂越低, Early 效应越显著; 4、基区展宽效应 (Kirk 效应) 在大电流密度工作下的晶体管基区将会发生扩展, 一定条件下, 中性基区宽度超过扩散时形成的原始基区宽度 5、雪崩倍增效应 6、基区穿通效应 7、产生复合电流效应: 实际晶体管在反向偏压下, 集电区-基区内耗尽层存在产生电流, 而发射区-基区正偏, 耗尽层内有复合电流。在小电流下, 复合电流占支配作用。 8、大注入效应: 注入到基区的少子浓度接近基区多子浓度

晶体管模型: 物理模型埃伯斯-莫尔模型 (EM 模型)



$\alpha$  和  $\beta$  随频率变化:



- 1. 在中频段和低频段  $\beta$  远大于  $\alpha$ , 所以在放大电路中共射极接法更为常用。
2. 当  $f=f_T$  时  $\alpha$  和  $\beta$  开始接近, 并随频率增大两者继续保持接近。
3. 在高频段  $\alpha$  和  $\beta$  都会下降, 当  $f > f_\alpha$  时两者下降的速率基本一致。
4.  $\alpha$  比  $\beta$  有更宽的稳定增益频段。

频率参数:

共基极截止频率  $f_\alpha$ : 当电流增益下降到低频增益的  $1/\sqrt{2}$  倍时所对应的频率。
共发射极截止频率  $f_\beta$ :  $\beta$  下降到  $\beta_0/\sqrt{2}$  时的频率
特征频率  $f_T$ :  $\beta$  下降到 1 时 (0dB) 的频率。  $f_T$  就是增益-带宽乘积, 也是晶体管能起电流放大作用的最极限频率。  $f > f_\beta$  后晶体管频率响应的最重要限制是少子通过基区的渡越时间。

$$f_\beta = \frac{1}{2\pi\beta_0} \frac{1}{\tau_F + \frac{kT}{qI_C}(C_{JE} + C_{JC}) + \tau_C C_{JC}} \quad f_\alpha = (\beta_0 + 1)f_\beta$$

$$f_T = \beta_0 f_\beta = \frac{1}{2\pi} \frac{1}{\tau_F + \frac{kT}{qI_C} C_{JE} + (\frac{kT}{qI_C} + \tau_C) C_{JC}} \quad f_T = \beta_0 f_\beta = \frac{1}{2\pi} \frac{1}{\tau_F + \tau_E + \tau_C}$$

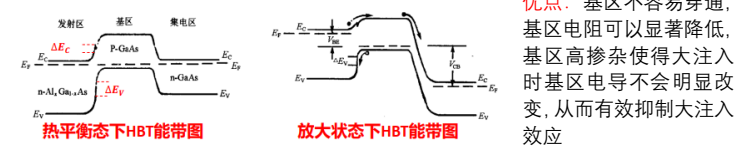
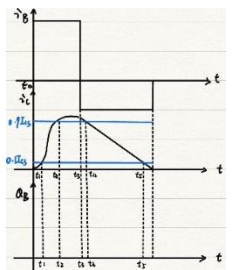
$\tau_F = \frac{C_{JE} kT}{I_C q}$  或  $\tau_F = \tau_B = \int_0^W \frac{dx}{v(x)}$ 
 $\tau_E = \frac{kT}{qI_C} C_{JE}$ 
 $\tau_C = (\frac{kT}{qI_C} + \tau_C) C_{JC}$

$\tau_F$ : 少子正向渡越基区的时间, 与  $\tau_B$  意义相近, 只是表示不同

提高  $f_T$  的途径: 减小  $\tau_B$ 。主要方法有: 降低中性基区宽度, 提高基区电场因子, 增大基区少子扩散系数, 应用有内建电场的缓变基区, 减小结面积, 适当降低集电区电阻率和厚度。

开关特性: 通过改变基极电流来改变集电极电流, 使得晶体管在短时间内从高电压、低电流的关断状态变化到低电压、高电流的导通状态, 或者相反。

延迟时间  $t_d = t_1 - t_0$ , 上升时间  $t_r = t_2 - t_1$ , 超量存储时间  $t_s = t_3 - t_2$ , 存储时间  $t_s = t_4 - t_3$ , 下降时间  $t_f = t_5 - t_4$ ,  $t_{on} = t_2 - t_0$ ,  $t_{off} = t_5 - t_3$ . (3)提高开关速度: 提高晶体管的频率特性, 减小结面积, 从而减小势垒电容, 减小基区宽度, 从而提高  $f_T$ . 同时在工艺上增加掺杂工序, 可以降低集电区少子寿命, 改善反向特性, 最后可以减小集电区外延厚度, 减小超量存储的电荷



优点: 基区不容易穿通, 基区电阻可以显著降低, 基区高掺杂使得大注入时基区电导不会明显改变, 从而有效抑制大注入效应

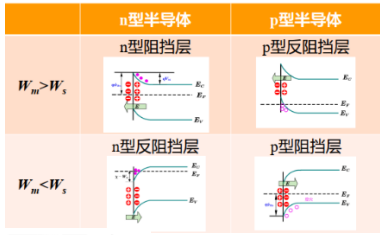
**单极型器件**

肖特基结：有整流作用，即单向导电性；

欧姆结：没不管所加电压极性，接触电阻均可忽略，这种金半接触称为欧姆接触

整流原理：正偏时，由于金属一侧的空间电荷层相对很薄，基本上保持不变。半导体一侧势垒的降低使得半导体中的电子更易向金属，能够流过大的电流。反偏时，半导体侧提高的势垒阻挡电子由半导体向金属移动，金属向半导体的电流占主导但很小，总的反偏电流很小，单向导电。

整流特性的应用：核粒子探测器、压力传感器、声波换能器等。



功函数  $W_s$ :  $E_F$  处电子逃逸到真空中所需最小能量，真空能级与费米能级  $E_F$  之差 (材料类型、掺杂)

电子亲和能:  $\chi$  导带底的电子逸出体外所需的最小能量 (固定)

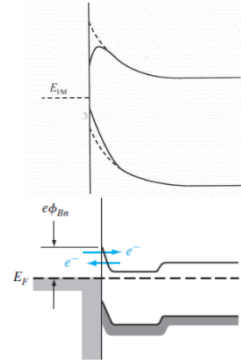
接触电势差:  $(W_s - W_m)/q = V_s$  ( $V_s = -V_{bi}$ )

内建电势差 (半导体势垒高度):  $V_{bi}, V_D$

势垒高度(金属)  $q\phi_{Bn} = E_g + \chi - W_m = E_g - q\phi_m + \chi$

$q\phi_{Bn} = q\phi_m - \chi$        $\phi_{Bn} = V_{bi} + V_n$       总和等于  $E_g$

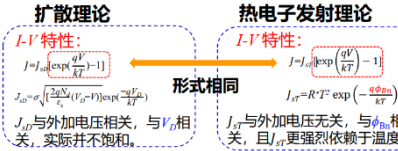
非理想因素: 1.表面态(钉扎效应): 空间电荷宽度  $W$  变宽, 能带弯曲也会增加, 内建电势差增加,  $q\phi_{Bn}$  增加, 表面态密度很高时, 由于它可屏蔽金属接触的影响, 使半导体内的势垒高度和金属的功函数几乎无关 2.肖特基效应: 镜像力使肖特基势垒高度降低。半导体中距离金属表面  $x$  处的电子会在金属上感应一个正电荷, 势能叠加到理想肖特基势垒上, 将使原来的肖特基势垒曲线在  $x=0$  处下降, 即肖特基势垒降低。大电场下, 肖特基势垒被镜像力降低很多。



3.隧穿效应: 能量低于势垒顶的电子有一定概率穿过势垒; 穿过的概率与电子能量和势垒厚度有关。镜像力和隧穿效应对反向特性影响显著, 势垒高度降低, 反向电流增加

伏安特性定性分析: 1.加正压, 半导体一边的势垒降低, 外加正向电压越高, 势垒下降越多, 正向电流越大。2.加反压, 半导体侧的势垒增高, 金属的势垒不变, 所以从金属到半导体的电子流是恒定的, 反向电压提高, 使半导体到金属的电子流可以忽略不计时, 反向电流将趋于饱和值。类似于 pn 结的伏安特性

两种模型: 适用范围、区别



1.Schottky 扩散理论: 势垒区较厚, 主导正向电流的主要因素是电子在空间电荷区的扩散。(势垒宽度远大于电子平均自由程, 即低载流子迁移率半导体) 2.Bethe 热电子发射理论: 载流子的迁移率较高, 电子能否通过势垒区, 主要取决于势垒高度 (势垒宽度远小于电子平均自由程, 迁移率高的半导体)

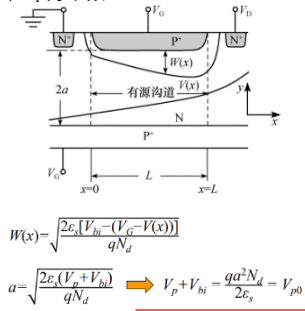
肖特基势垒二极管与 PN 结二极管的对比: 相同: IV 特性形式相同

不同: PN 少子器件、先积累再扩散有电荷储存效应、导通电压 0.6V (0.3V), SBD 工作频率高, 开关速度快, 反向饱和电流大, 导通电压较低, 温度特性更稳定

实际形成欧姆接触: 重掺杂, 利用隧穿效应:

JEET: (耗尽、增强), (n 沟道, p 沟道) 多子单极器件、制造工艺: 外延-扩散工艺、双扩散工艺。工作原理: 随着栅压和漏压的变化, 耗尽层宽度发生变化, 使沟道截面积发生变化, 从而沟道电导发生变化, 从而调制源漏之间的电流。输出特性曲线: 当漏电压  $V_D$  比较小时, 漏电流  $I_D$  会随漏电压  $V_D$  的增加线性地增加,  $V_D$  为 PN 结提供反偏电压, 随着  $V_D$  的增加, 空间电荷区将向沟道内扩展, 沟道逐渐变窄, 漏电流  $I_D$  的增加越来越缓慢。

沟道夹断后, 漏端电压再增加, 漏电流饱和, 夹断点向源端移动, 但夹断点的电位  $V_P$  为常数



JFET的  $I_D$ - $V_{DS}$  输出特性曲线由夹断曲线分线性区和饱和区,

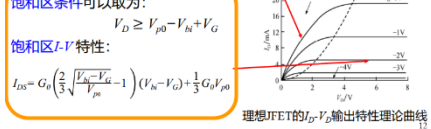
夹断曲线为:  $V_D = V_{p0} - V_{bi} + V_{GS}$

线性区条件可以取为:  $V_D < V_{p0} - V_{GS}$

线性区 I-V 特性:  $I_{Dn} = G_0(1 - \sqrt{\frac{V_{GS} - V_{GS0}}{V_{GS0} - V_{GS}}}) V_D$

饱和区条件可以取为:  $V_D \geq V_{p0} - V_{GS}$

饱和区 I-V 特性:  $I_{Dn} = G_0(\frac{2}{3}(\sqrt{\frac{V_{GS0} - V_{GS}}{V_{GS0} - V_{GS0}}} - 1)) (V_{GS0} - V_{GS}) + \frac{1}{3} G_0 V_{p0}$



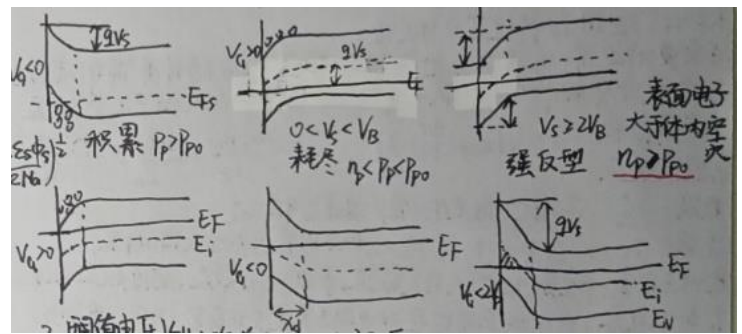
$I_{Dn} = -\frac{2qN_d\mu_n Z}{L} \left\{ V_D - \frac{2}{3} \sqrt{\frac{1}{V_{GS0}} [(V_{GS0} + V_{bi} - V_{GS})^2 - (V_{bi} - V_{GS})^2]} \right\}$

截止频率:  $f_{CO} = \frac{q a^2 N_d \mu_n}{4 \pi \epsilon L^2} = \frac{V_{p0} \mu_n}{2 \pi L^2}$

MESFET: 在半绝缘的 GaAs 衬底上外延生长一层 N 型 GaAs, 用蒸发的方法在 N 型外延层表面沉积不同的金属, 形成肖特基势垒栅电极 + 源漏欧姆接触电极; 工作原理与 JFET 类似, 把 pn 结换为肖特基势垒整流接触结。

**MOS 器件**

不同状态下的能带图:



强反型: 表面电子浓度  $\geq$  体内空穴浓度

阈值电压: 沟道开启时所需加的栅压, 理论+平带=实际

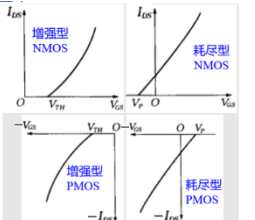
转移曲线

$V_T = 2V_B + \frac{Q_B(d_{max})}{C_{ox}} + V_{FB}$        $V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}} \int_0^{t_{ox}} \rho(x) dx$

P型半导体:  $2V_B = \frac{2k_0T}{q} \ln(\frac{N_A}{n_i})$        $Q_B(d_{max}) = qN_A d_{max}$

NMOS:  $V_{TN} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \frac{qN_A d_{max}}{C_{ox}} + \frac{2k_0T}{q} \ln(\frac{N_A}{n_i})$

PMOS:  $V_{TP} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} - \frac{qN_D d_{max}}{C_{ox}} - \frac{2k_0T}{q} \ln(\frac{N_D}{n_i})$

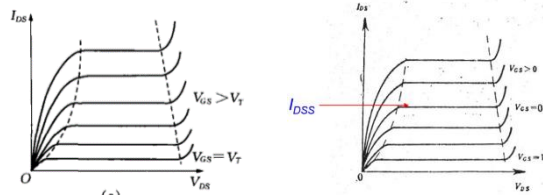


$Q_{SS}$ : 界面固定正电荷

$Q_B(d_{max}) = qN_A d_{max} = qN_A \sqrt{\frac{2\epsilon_{rs}\epsilon_0(2V_B)}{qN_A}}$       落在氧化层上的压降

影响  $V_T$  的因素: 1.功函数差  $q\phi_{ms}$  的影响(1)2.衬底杂质浓度  $N_B$  的影响(1,4)3.固定表面电荷  $Q_{ss}$  的影响(2)4.离子注入调整  $V_T$  5.MOS 栅电极材料 6.衬底偏置效应 (衬偏效应)

输出特性曲线判定: (下图时 NMOS, PMOS 原点中心对称)



直流参数: 1.阈值电压: 使半导体表面强反型时所需加的栅压。2.饱和漏电流: 对于耗尽型 MOS, 为栅压 0 时的饱和电流 3.截止漏电流: 对于增强 (E) MOS 晶体管, 栅压为 0 时的漏电流 (两个背靠背 PN 结的反向饱和电流) 4.导通电阻: 直流情况下, 当  $V_{DS}$  很小时, 线性  $I_{DS} - V_{DS}$  的斜率的倒数。5.直流输入阻抗: 理论上无穷大, 但由于受薄栅绝缘层的隧道电流, 及缺陷有关的电导的影响, 实际上达不到无穷。6.最大耗散功率: MOS 晶体管能正常工作的最大功率。

直流特性:

(a)线性区 ( $V_{DS} \ll V_{GS} - V_T$ )

$I_{DS} \approx C_{ox} \mu_n \frac{W}{L} (V_{GS} - V_T) V_{DS}$

(b)非线性区

$I_{DS} = C_{ox} \mu_n \frac{W}{L} [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2]$

(c)饱和区

$I_{DSSat} = \frac{1}{2} C_{ox} \mu_n \frac{W}{L} (V_{GS} - V_T)^2$

亚阈值特性: 栅压低于阈值电压, 半导体表面处于弱反型, 存在亚阈值电流, 使器件截止时的漏电流增大, 影响器件的开关特性, 增大了静态功耗。

短沟道效应(SCE)在沟道缩短后, 由于漏结和源结的耗尽区靠得很近, 受栅压控制的空间电荷区将由原来的矩形区变为梯形区, 梯形区以外的空间电荷区不受栅极控制, 受栅极控制的栅下空间电荷总量减小。

窄沟道效应 (NWE) 由于沟道变窄后, 使栅下可控空间电荷增多, 平均电荷面密度增大, 因而阈值电压上升。

器件小型化:

器件小型化规则 (1)按比例缩小(2)恒定电场规则(3)恒定电压规则 限制 在物理参数方面, 禁带宽度随掺杂浓度的变化, 耗尽层宽度的下降也有一定限度; 对器件设计来说, 结深很浅的源漏区增加了器件的寄生电阻, 细金属化内连线也将发生电迁移现象, 以及几何尺寸的减小会引起阈值电压的增大, 所以这些都影响器件的特性, 在制造工艺上也增加了难度。

