PLD 课程考试突击资料

Author：Duan QR

数字电子领域三种基本器件： 存储器、 微处理器、 逻辑器件

PLD 的发展趋势

1. 降低互连延时， 提高速度
2. 设计技术向高层设计转移
3. 向模数混合编程技术发展
4. 各种逻辑软核 IP Core 的开发应用
5. 产品日益丰富， 性能渐趋完善

CPLD 和 FPGA 的主要区别

CPLD 结构是基于基于乘积项（Product-Term） 技术、 EEPROM 工艺。多用于小规模设计， 适合做复杂的组合逻辑。
FPGA 结构是基于查找表技术（Look-Up table）技术、 SRAM 工艺。 密度高，触发器多，内部容易集成大容量 RAM， 多用于大规模设计。 适合做复杂的时序逻辑。
CPLD 与 FPGA 相比， 速度更高、 芯片尺寸更小， 时序特性更加确定和可靠。相比之下， CPLD 更加容易设计， 开发周期更短。
CPLD 逻辑直接固化在芯片内部， 断电后逻辑数据仍然保持； FPGA 的逻辑不能固化在芯片内部， 是保存在另一片 EEPROM，每次上电后， EEPROM 内的逻辑数据下载到 FPGA 进行配置。
CPLD 功耗相对较小。CPLD 可以加密， 不易破解 一般来说， 单片 FPGA 自己无法加密。

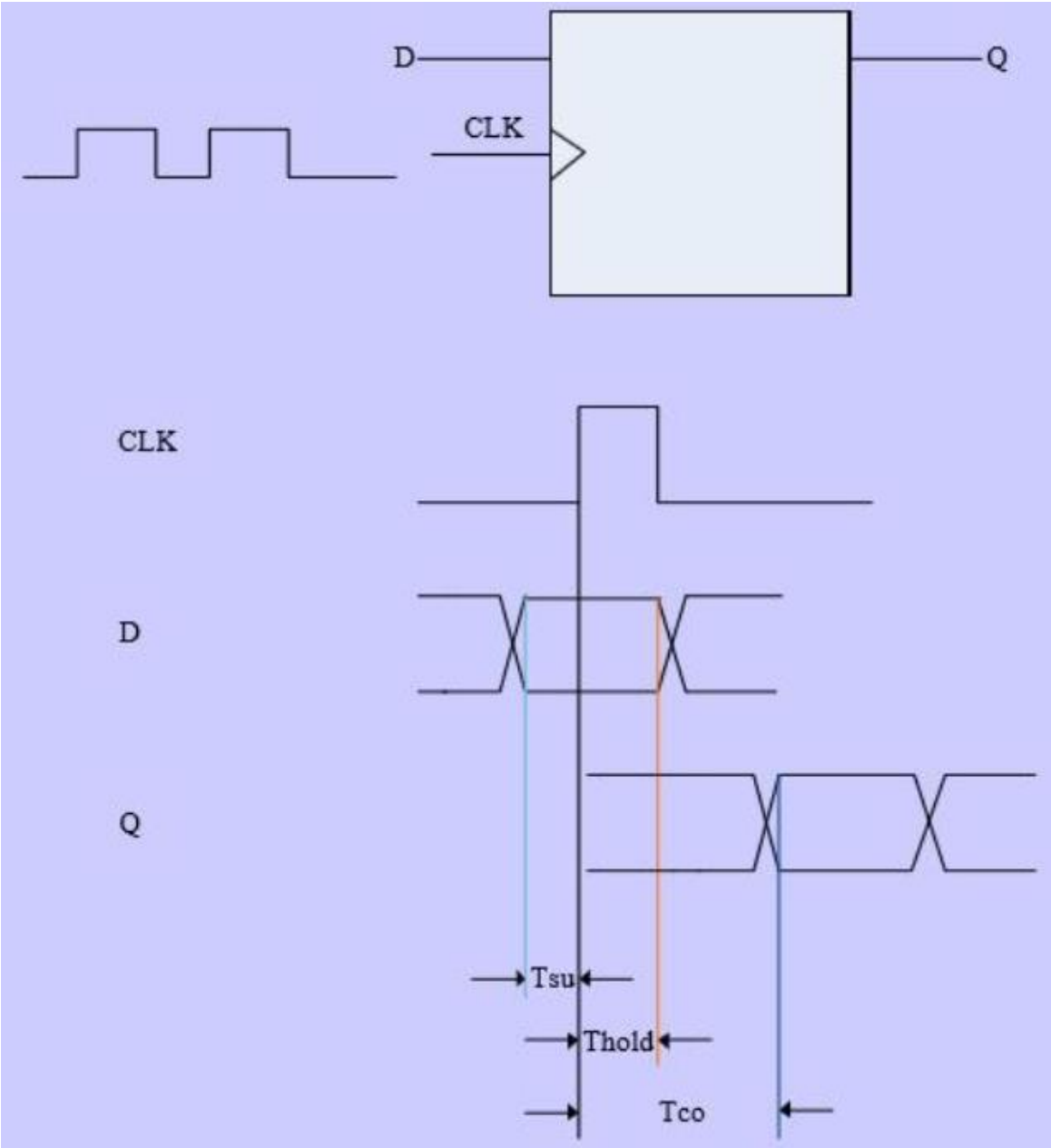
PLD 按编程方式分类

熔丝（fuse） 开关元件：
反熔丝（antifuse） 开关元件
浮栅编程技术
SRAM 配置寄存器

Tsu（ Global clock setup time） ： 全局时钟的建立时间。 输入脚的数据必须在全局（同步） 时钟有效之前， 提前有效的时间。

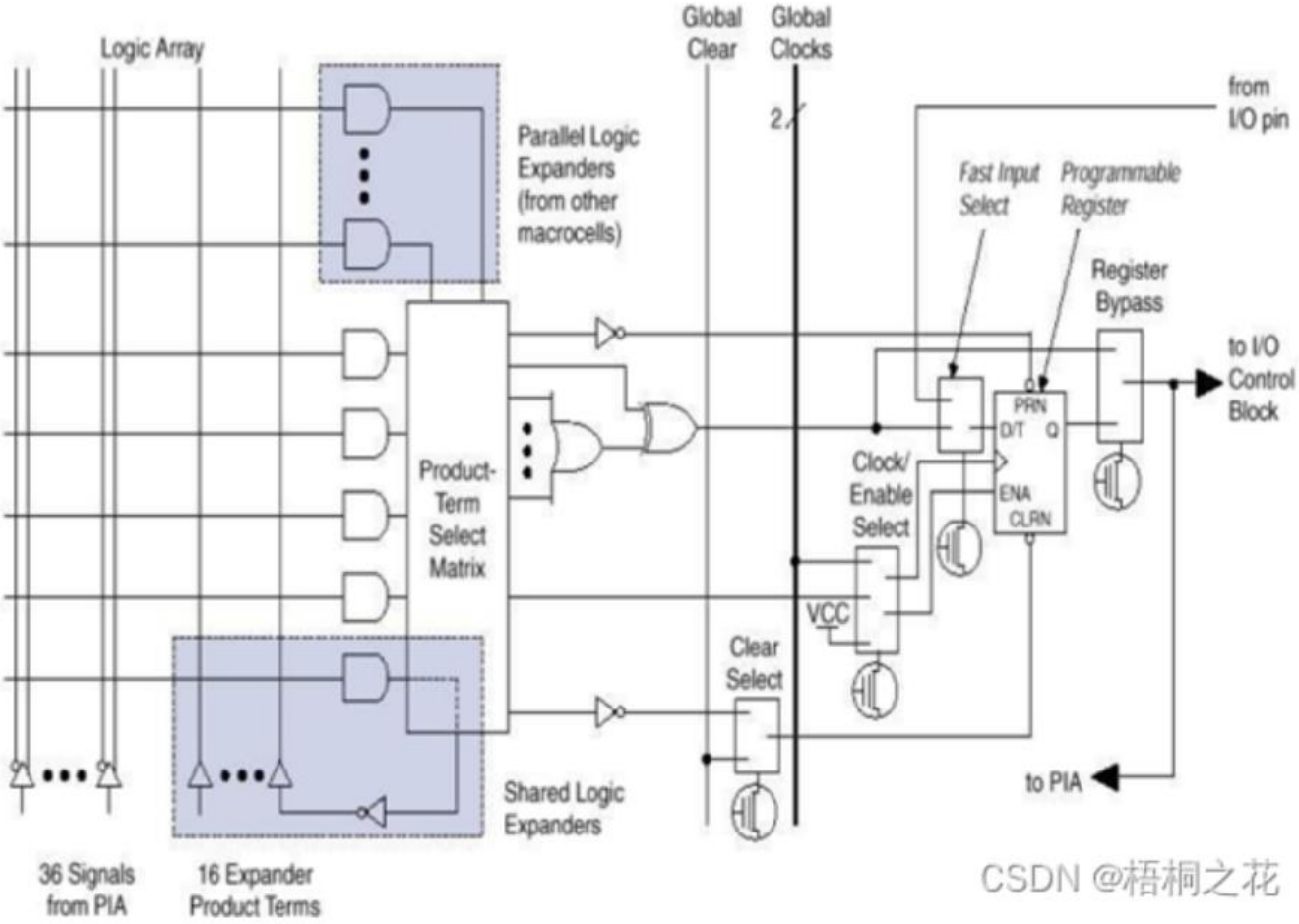
Thold： 在时钟上跳沿后， Data 必须保持的最小时间。

Tco（Global clock to output delay） ： 时钟上升沿与输出端（Q 端） 数据稳定输出的时间差。



宏单元Macrocells

逻辑阵列、乘积项选择矩阵（共享扩展项反馈进逻辑阵列、并行扩展项从近邻宏单元借来的扩展乘积项）、可编程寄存器



多电压 I/O 接口

VCCINT： 固定 供内部电路和输入缓冲器 buffers

VCCIO： 可配置 供给 I/O 输出缓冲器。

VCCINT 管脚必须一直连到 5V 电源。 VCCIO 脚能够被连接到或者 3.3V、 5V

电源， 这取决于输出要求。

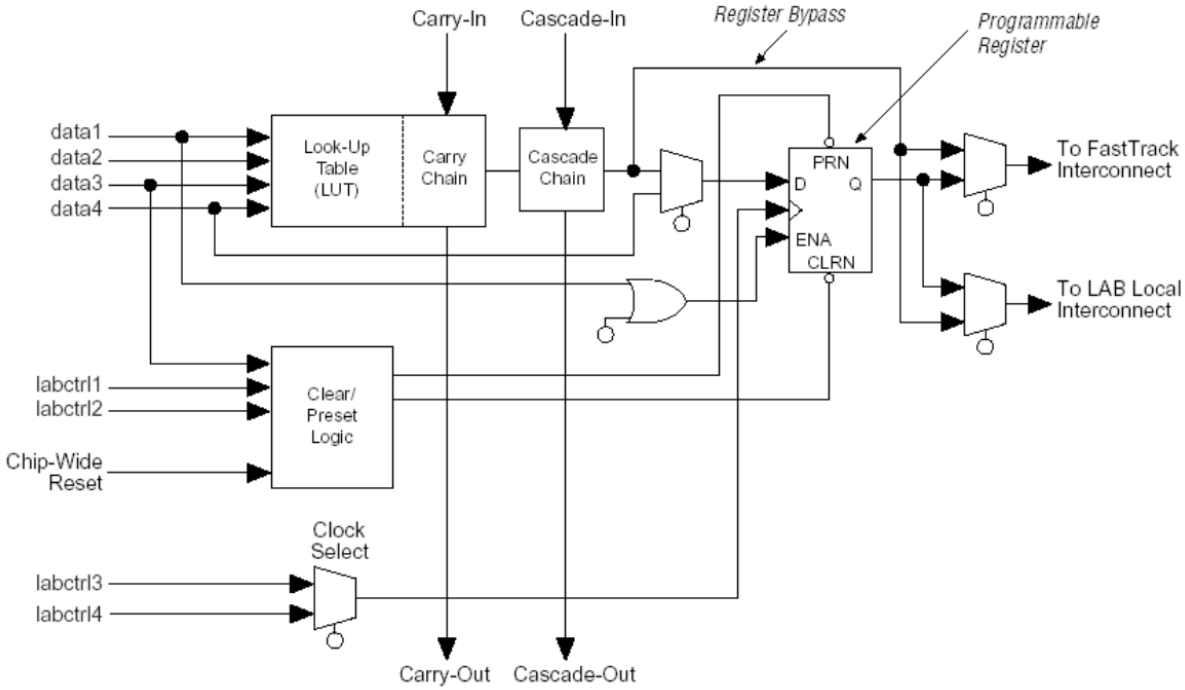
漏级开路

将多个漏极开路外部电路并联并使用同一上拉电阻可以实现线与功能。 任何一个 OD 门输出为低， 则总的输出为低。

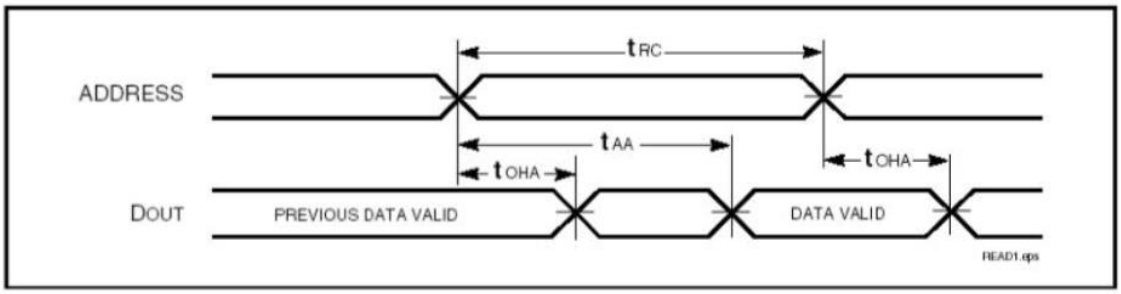
上拉电阻 R pull-up 的阻值决定了逻辑电平转换的沿的速度。 阻值越大， 速度越低、 功耗越小。

逻辑单元 LE（Logic Element）

4 输入 LUT、可编程寄存器、进位链和级连链



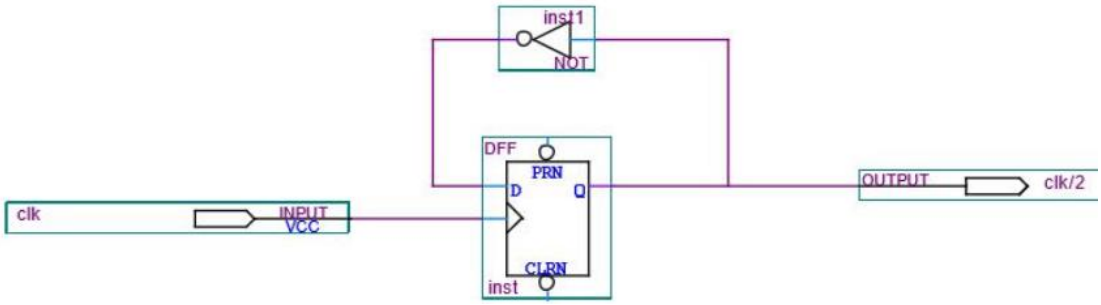
异步（Asynchronous） 静态 RAM 的读时序



tRC： min 7ns。 tAA： max 7ns。 tOHA： min 3ns。

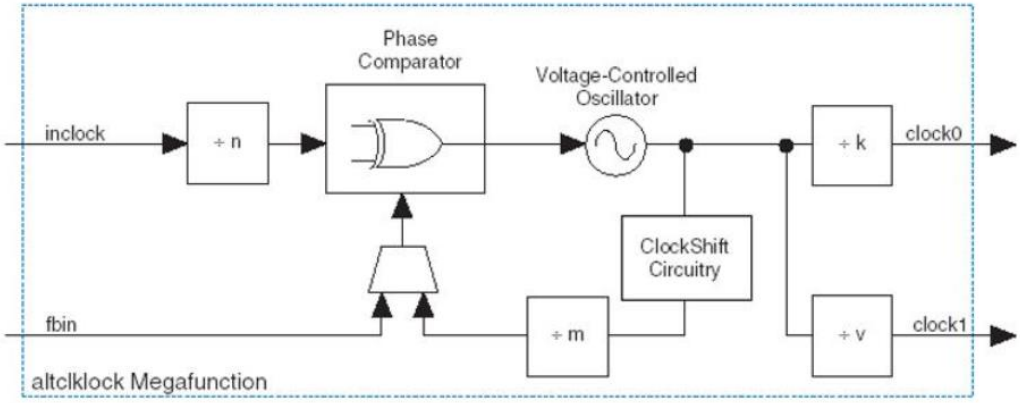
读周期 地址访问时间 输出保持时间

二分频电路



PLL

APEX20KE 可以任意放大或减小输入的时钟频率



Fclock0 = (m / (n × k)) × Fin
Fclock1 = (m / (n × v)) × Fin

ClockBoost: 20K 可以固定 2X 或 4X 倍频。 20KE 可以任意放大或减小输入的时钟频率

Clockshift:

APEX20KE PLL 具有 ClockShift 电路， 可以提供可编程的时钟延时和相位移动。用户可以输入需要的相位移动， 90 度、 180 度、 270 度移动可以精确实现。 其它任意相位移动或延时的精度在 0.5ns --- 1.0ns 之间。 相位移动，只能是输出滞后输入。

在 EP20K300E 以及更大的器件，可以**输出低晃动（jitter）外部时钟**
外部时钟输出具有三种模式：

1.零延时缓冲（zero delay buffer）：外部输出时钟与时钟输入脚的相位一致，没有延时。相位移动不允许。输出时钟不能扩频，只能分频。

2.外部反馈（external feedback）：时钟输入脚的时钟与反馈输入脚的时钟相位一致，没有延时。相位移动不允许。输出时钟不能扩频，只能分频。这种模式可以消除器件之间的时钟延时和 skew。

3.正常模式：输出时钟与输入时钟具有一定的相位延时。

CAM

CAM 可以认为是 RAM 的逆过程。CAM 是对一个给定的数据， 可以得到该数据所在存储单元的地址。RAM 区里搜索数据时，搜索是串行的，要搜索一个数据字，通常要花费很多周期。CAM 搜索在全部地址搜索是并行的， 在一个时钟周期内即可并行地搜索完全部地址。

CAM WRITE

每写一个数（ 最大 32bit） ， 需要在一个地址上写 2 个 clock

CAM READ

三种模式： 单匹配、 多匹配、 快速匹配。

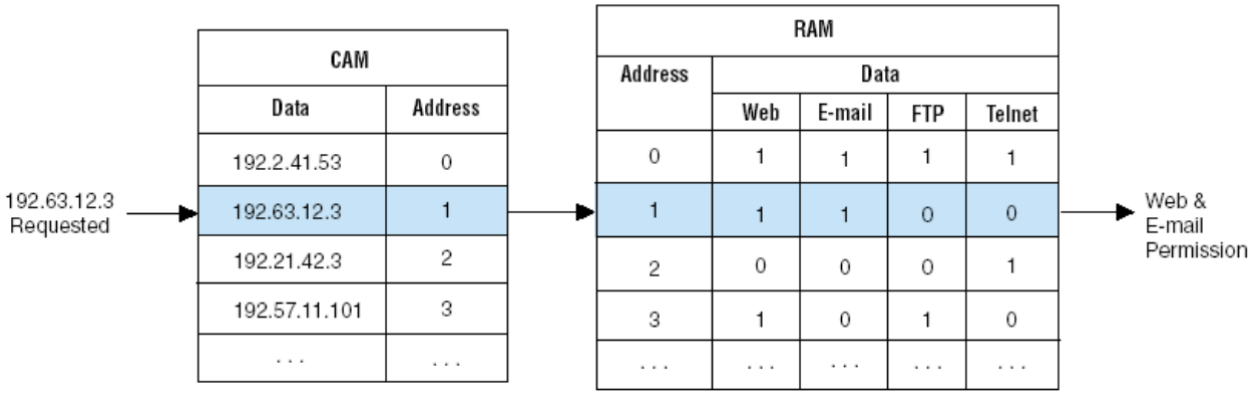
CAM 扩展

深度： 并接 ESB

宽度： 串接 ESB， 只能对非编码模式

CAM 做 IP Filter

Figure 13. Multiple-Permission IP Filter



SignalTapII

SignalTapII 特点

1. 可以实际测量 FPGA 管脚的输入输出数字信号
2. 测量得到的波形在 Quartusii 的界面上显示
3. 不需要焊接任何连接线， 非常方便
4. 操作、 设定与传统的独立逻辑分析仪很相似： 需要设定触发条件、 触发信号、采样时钟、 采样深度等

SignalTapII 嵌入式逻辑分析仪使用步骤

1. 在一个 PROJECT 编译通过后， 从 FILE 中添加 SignalTap II
2. 设置采样时钟（在时钟的上升沿采集数据）
3. 选择采样深度
4. 分配数据信号， 即将来要观察的所有信号
5. 设置触发条件
6. 完全编译一次；
7. Program 编程烧录逻辑；
8. 启动 SignalTapII 逻辑分析仪；在触发条件满足时， 可以看到逻辑分析仪的 DATA 页面的波形。
9. 采样到的波形图保存在文件.stp 中

组合逻辑电路： 特定时间的输出仅是当时输入的函数

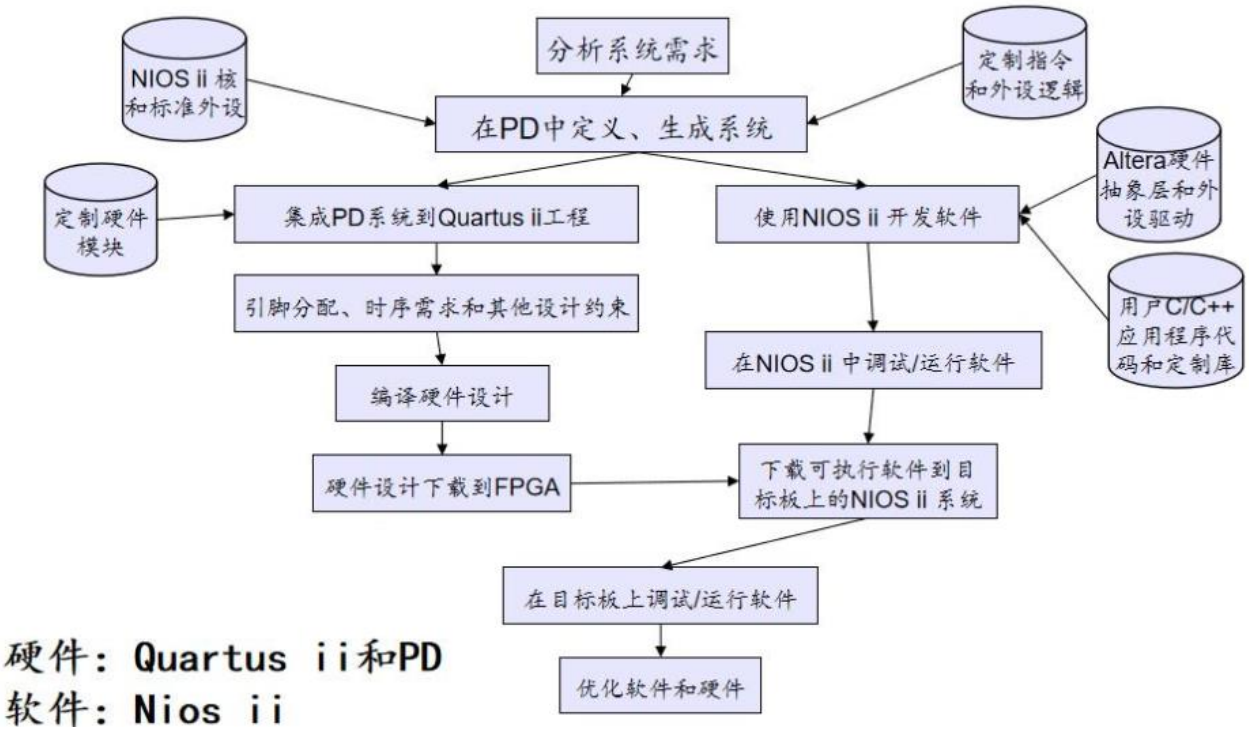
毛刺产生的原因： 输入改变时， 组合逻辑中同一信号经不同路径未同时到达，存在竞争-冒险现象

解决方法： 1.强行给它们一个延时， 让他们保持时间一致
2.通过添加一个触发器的方式对输出进行修正
3.从设计上解决问题

NIOS ii

NIOS ii 是嵌入式处理器、是可配置软核处理器

1. 分析系统需求
2. 在 sopcbuilder 中定义和生成 niosii 系统硬件。
3. 将 sopcbuilder 系统集成到 quartusii 项目中。
4. 编写 quartusii 项目并验证时间安排
5. 将 FPGA 配置文件（.sof） 下载到目标板。
6. 在 NiosⅡ ide 中创建一个新项目。
7. 编译项目： 构建项目
8. 在 ISS 和目标硬件上运行软件： 右键单击项目名称并选择 runas>niosii 硬件。IDE 将程序下载到目标板上的 FPGA 并开始执行。



硬件：Quartus ii和PD
软件：Nios ii