

数字电路

Digital Circuits

11_锁存器和触发器(1)

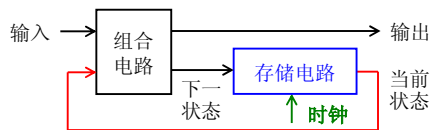
张俊霞
zjx@ustc.edu.cn

内容提纲

- 时序逻辑电路概述
- 基本SR锁存器
- 门控SR锁存器
- D锁存器
- D触发器

时序逻辑电路概述

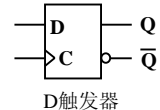
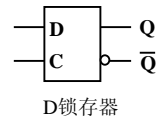
- 时序电路特点
 - 电路结构: 含有存储电路和反馈路径
 - 逻辑功能: 输出由输入和存储电路的状态共同决定



- 时序电路分类
 - 根据是否存在统一的时钟, 控制存储电路状态的更新, 将时序电路分为同步时序电路和异步时序电路

锁存器和触发器

- 具有存储功能的逻辑电路, 是构成时序电路的基本单元, 又称为存储单元、记忆单元或状态单元
- 两者共同点: 存储功能
 - 具有两个能自行保持的稳定状态, 用来存储一位二值信息
- 两者不同点: 状态更新方式
 - 锁存器对电平敏感, 在高电平或低电平作用下更新状态
 - 触发器对边沿敏感, 在时钟脉冲信号的上升沿或下降沿作用下改变状态

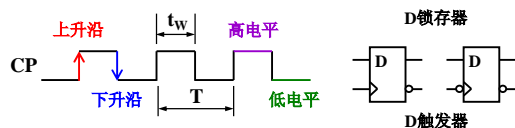


时钟信号

- 周期性的脉冲信号, 也称时钟脉冲(CP), 简称时钟, 控制存储单元的状态何时可以更新

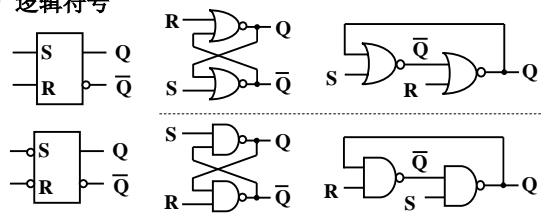
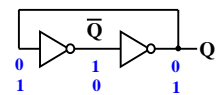
- 参数: 周期T, 频率 $f = 1/T$,
脉冲宽度 t_w , 占空比 $q = \frac{t_w}{T} \times 100\%$

- 有效事件: 高电平、低电平、上升沿或下降沿



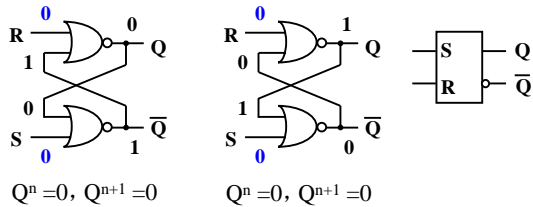
基本SR锁存器

- 电路结构
 - 利用反馈实现记忆
 - 利用S、R更新状态
- 逻辑符号



基本SR锁存器工作原理

- 现态: R、S作用前Q端的状态, 记为 Q^n
 - 次态: R、S作用后Q端的状态, 记为 Q^{n+1}
- 当 $R=0, S=0$ 时, $Q^{n+1} = Q^n$ (状态不变)

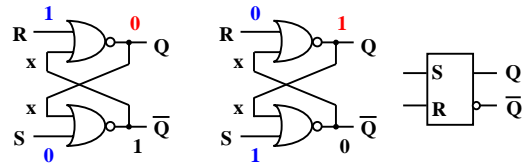


数字电路—锁存器和触发器(1)

7

基本SR锁存器工作原理 (续1)

- 当 $R=1, S=0$ 时 $Q^{n+1} = 0$ (清0)
- 当 $R=0, S=1$ 时 $Q^{n+1} = 1$ (置1)



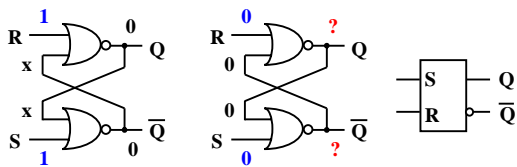
当R、S同时回到0后, 锁存器新的状态保持不变

数字电路—锁存器和触发器(1)

8

基本SR锁存器工作原理 (续2)

- 当 $R=1, S=1$ 时, $Q^{n+1} = \bar{Q}^{n+1} = 0$
- 当S、R同时回到0后, 锁存器最终状态不能确定

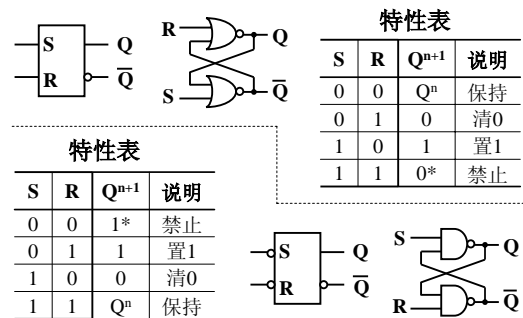


在实际应用中, 应避免S和R同时为1, 即要求满足约束条件: $SR = 0$

数字电路—锁存器和触发器(1)

9

基本SR锁存器特性

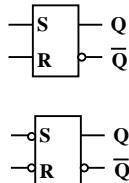


数字电路—锁存器和触发器(1)

10

基本SR锁存器特性(续)

- 两个激励输入端
 - S: Set, 置位/置0, 有效时, $Q=1, \bar{Q}=0$
 - R: Reset, 复位/置0/清0, 有效时, $Q=0, \bar{Q}=1$
 - 存在约束条件, 要求S和R不能同时有效
 - 对于或非门实现的SR锁存器, 高电平有效, $RS = 0$
 - 对于与非门实现的SR锁存器, 低电平有效的, $R+S = 1$
- 锁存器状态更新不受时间控制
 - 激励输入可以随时更新状态

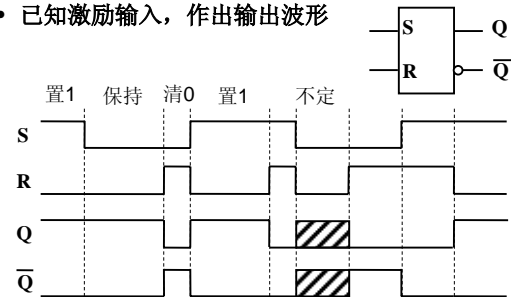


数字电路—锁存器和触发器(1)

11

示例—基本SR锁存器波形图

- 已知激励输入, 作出输出波形



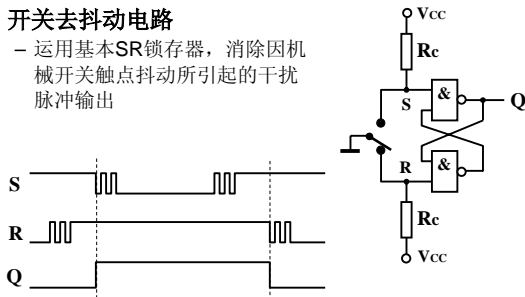
数字电路—锁存器和触发器(1)

12

示例—基本SR锁存器应用

• 开关去抖动电路

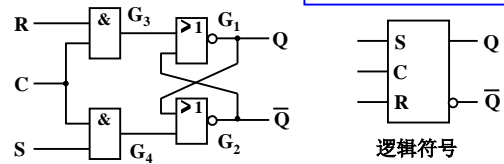
- 运用基本SR锁存器，消除因机械开关触点抖动所引起的干扰脉冲输出



门控SR锁存器

- 增加门控(Gated)信号，使得激励输入信号更新锁存器状态的时机可以受控

若 G_3, G_4 换成或非门?

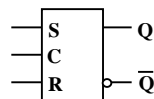


- 当 $C=0$ 时: 锁存器状态保持不变，不受R、S影响
- 当 $C=1$ 时: 与基本SR锁存器功能相同

门控SR锁存器特性

特性表

C	S	R	Q^{n+1}	说明
0	x	x	Q^n	保持
1	0	0	Q^n	保持
1	0	1	0	清0
1	1	0	1	置1
1	1	1	x	禁止

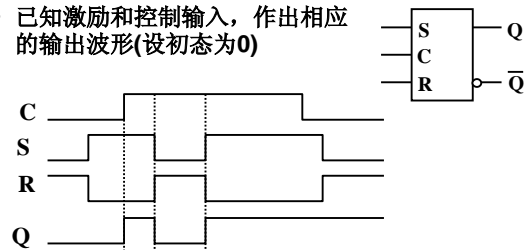


- 锁存器状态可以随激励输入变化发生多次翻转
- 在C有效(高电平)期间，S和R的变化将引起输出状态的变化

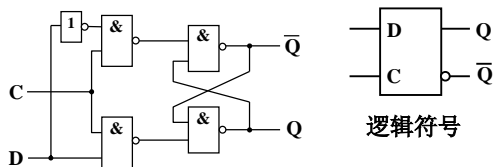
- 激励输入约束条件($RS = 0$)仍然存在

示例—门控SR锁存器波形图

- 已知激励和控制输入，作出相应的输出波形(设初态为0)



D锁存器



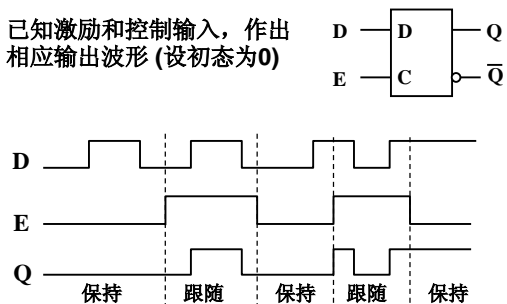
特性表

C	D	Q^{n+1}	说明
0	x	Q^n	保持
1	x	D	跟随

- 在C有效(电平有效)期间，D的变化将引起锁存器状态多次翻转

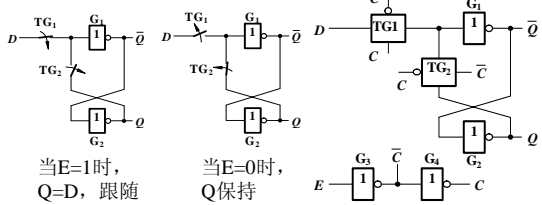
示例—D锁存器波形图

- 已知激励和控制输入，作出相应输出波形(设初态为0)



D锁存器的传输门实现

- 当S₁合上, S₂断开时, Q=D, 跟随
- 当S₂合上, S₁断开时, Q保持

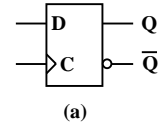


当E=1时, Q=D, 跟随

当E=0时, Q保持

D触发器

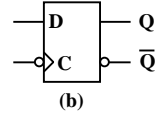
- 只在控制信号的上升沿或下降沿变化瞬间, 根据激励输入更新状态
- 最多一次翻转



特性表(a)

C	D	Q ⁿ⁺¹
↑	x	D
x	x	Q ⁿ

- 在其他时间状态保持不变
- 有主从结构和维持阻塞结构



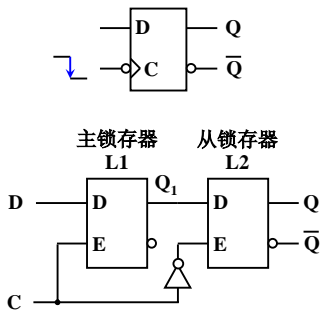
特性表(b)

C	D	Q ⁿ⁺¹
↓	x	D
x	x	Q ⁿ

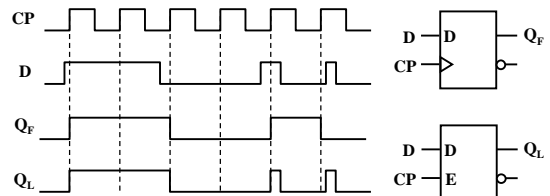
逻辑符号

D触发器—主从结构

- 当C=1时, 主锁存器L1跟随D的变化而变化, 从锁存器L2保持原先状态不变
- 当C从1变为0(下降沿)时, 主锁存器L1锁存此时D的值, 从锁存器L2按L1状态更新



示例—D触发器波形图

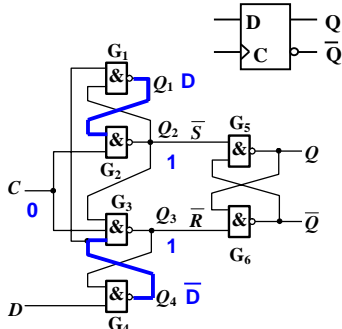


如果在CP高电平期间D不变化, 则两者行为相同

如果改成低电平和下降沿有效的器件, 波形如何?

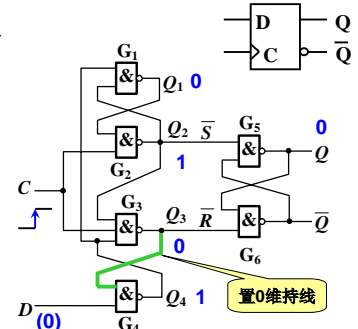
D触发器—维持阻塞结构

- 当C=0时
 - Q₂=1, Q₃=1, Q, Q-bar保持
 - Q₄=D-bar, Q₁=D
- 触发器为状态更新做好准备



D触发器—维持阻塞结构(续1)

- 当C由0变为1时
- 若Q₄=1, Q₁=0, 即D=0, 则
 - Q₃=0, Q₂=1
 - Q₃=0, 将Q置0, 封锁G₄, 随后D的变化不影响Q



D触发器—维持阻塞结构(续2)

- 当C由0变为1时
- 若 $Q_4=0$, $Q_1=1$, 即D=1, 则
 - $Q_3=1$, $Q_2=0$
 - $Q_2=0$, 将Q置1, 封锁 G_1 , G_3 维持Q, 阻止随后D的变化影响Q

