

数字逻辑电路习题课

主讲：高源



中国科学技术大学

University of Science and Technology of China

目录

- 第一章 数制和码制
- 第二章 逻辑代数基础
- 第三章 门电路
- 第四章 组合逻辑电路
- 第五章 半导体存储电路
- 往年期末试卷解析

第一章 数制和码制

考点分析

1. 填空题

- 给出十进制数，转换为常用十进制代码 (BCD 码、格雷码等)
- 数制转换

2. 简答题

- 数制转换
- 二进制补码运算

3. 分析题

- 分析电路功能——可能是代码转换、补码运算、加减运算电路

4. 设计题

- 设计代码转换电路
- 设计二进制算术运算电路——减法、乘法如何转换为加法
- 设计 BCD 码算术运算电路——补码是对 10 求补

重要问题——补码

1.2.1 补码

1. 给原码求补码：按位求反加一。

补充：按位求反可以通过和 1 按位异或实现，如果提供加法器直接利用进位输入可以实现加一操作。

2. 给补码求原码：补码的补码就是原码。

3. 原码转换十进制数：基本的数制转换问题，符号取决于符号位，数值大小通过按位数值乘权重加权求和。

4. 补码转换十进制数：两种方法。

- 补码先转换为原码，原码再转换十进制数。
- 补码直接转换为十进制数：将其看成一般的二进制数转换十进制数，唯一不同之处在于，最高位符号位对应的权值要加上符号。

重要问题——二进制数和格雷码的转换

1.2.2 二进制数和格雷码的转换

1. 二进制数 101101 对应的格雷码为 111011。

二进制码转换为格雷码方法：格雷码的最高位（最左边）与二进制码的最高位相同；从左到右，逐一将二进制码相邻的两位异或，作为格雷码的下一位。

2. 格雷码 110111 对应的二进制码为 100101。

格雷码转换二进制码方法：二进制码的最高位（最左边）与格雷码的最高位相同；从左到右，逐一将产生的二进制码和下一位相邻的格雷码异或，作为二进制码的下一位。

重要问题——十进制数和BCD码的转换

1.2.3 十进制数和 BCD 码的转换

1. 十进制数 254.25 对应的 8421BCD 码为 0010 0101 0100.0010 0101。

十进制数转换为 BCD 码的方法：十进制数的每一位都转换为对应的 BCD 码。

2015-2016期末

1. 十进制数 95.73 对应的 8421BCD 码为 _____

第二章 逻辑代数基础

考点分析

1. 填空题

- 无关项的概念
- 逻辑代数基本定理的应用 (例: 请写出 Y^D)
- 逻辑函数式不同表示形式之间的转换 (例: 请写出 Y 的与非形式)
- 逻辑代数运算 (例: 2021 个 0 同或)

2. 简答题

- 逻辑函数化简
- 逻辑等式证明——逻辑代数公式、最小项之和形式、真值表、逻辑代数基本定理

3. 分析题

- 逻辑函数不同表示形式之间的转换

4. 设计题

- 逻辑函数不同表示形式之间的转换
- 逻辑函数式不同表示形式之间的转换
- 逻辑函数式化简

重要问题——逻辑函数化简

2.2.1 逻辑函数化简

1. 方法选择：电子学的一个基本原则“客户至上”。选择方法之前先看题目是否指定方法，如未指定再根据待化简的逻辑函数选择合适的方法。
2. 公式化简的一个技巧：教材介绍的各种公式法，本质上是逻辑函数最小项的组合方式的指定。如果找不到合适的公式，但题目还要求用公式法，那么可以用卡诺图辅助。先完成卡诺图化简，确定最小项的组合方式，然后一方面可以为公式选择提供思路，另一方面也可以直接把原函数写成最小项之和形式，然后根据指定的组合方式进行组合（利用并项法）。

重要问题——逻辑函数化简

2.2.1 逻辑函数化简

3. 一类特殊形式的逻辑函数化简。求逻辑函数式

$$Y = (A + B + C)(A' + B + C')(A + C' + D')(A' + D)(B + C + D')$$

的最简与或式。

两种方法。

- 反演定理。首先求出反函数 $Y' = A'B'C' + AB'C + A'CD + AD' + B'C'D$ ，转化为与或式，然后用卡诺图法化简 $Y = (Y')'$ 。得到结果 $Y = A'BC' + ABD + A'CD'$ 。
- 最大项之积和最小项之和的关系。根据所给或与形式写出最大项之积表达式 $Y(A, B, C, D) = \prod M(0, 1, 3, 7, 8, 9, 10, 11, 12, 14)$ ，进而可得最小项之和形式 $Y(A, B, C, D) = \sum m(2, 4, 5, 6, 13, 15)$ 。卡诺图法化简即可。

2.4.2 反演定理

对于任意一个逻辑式 Y ，做如下处理：

- ①运算符“.”与“+”互换，“ \odot ”与“ \oplus ”互换；
- ②常量“0”换成“1”，“1”换成“0”；
- ③原变量换成反变量，反变量换成原变量。

那么得到的新函数式称为原函数式 Y 的反函数式 Y' 。
注意：

1. 变换中必须保持括号、乘、加的先后次序；
2. 不属于单个变量上的非号处理办法：
非号保留，非号下面的函数式按反演定理变换；
将非号去掉，非号下的函数式保留不变。

重要问题——逻辑函数化简

2.2.1 逻辑函数化简

4. 多变量逻辑函数的卡诺图法。一般建议 4 变量及以下使用卡诺图法，主要原因是当变量数超过 4 的时候，卡诺图上对应逻辑相邻的几何相邻不再直观。如果还想用卡诺图法，那就要考虑如何寻找几何相邻。一种方法是基于卡诺图递归生成的翻折方法来寻找几何相邻。

重要问题——无关项

2.2.2 无关项

1. 概念分析：无关项包括任意项 和约束项，其中任意项 是否加入逻辑函数式中对逻辑函数式的取值可能有影响。

任意项指的是，在输入变量的某些取值下函数值是 1 还是 0 皆可，并不影响电路的功能，在这些变量取值下，其值等于 1 的那些最小项。约束项指的是，取值恒为 0 的最小项。

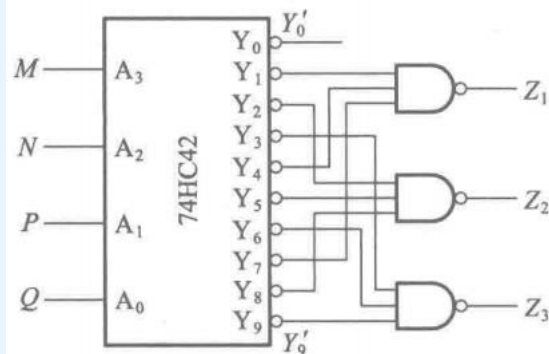
2. 化简中的应用：卡诺图法。在考试的时候，中规模器件会给出功能表，因此可以直观看到是否存在伪码——对应无关项。如果存在，则要注意，逻辑函数化简时可能会用到。

2015-2016期末

2. 逻辑函数式中的无关项是_____项和_____项的统称。

重要问题——无关项

【题 4.10】 写出图 P4.10 中 Z_1 、 Z_2 、 Z_3 的逻辑函数式,并化简为最简的与或表达式。译码器 74HC42 的逻辑图见图 4.4.9(a)。



解: 由图 P4.10 电路可直接写出

$$\begin{cases} Z_1 = (Y_1' Y_4' Y_7')' = M'N'P'Q + M'NP'Q' + M'NPQ \\ Z_2 = (Y_2' Y_5' Y_8')' = M'N'PQ' + M'NP'Q + MN'P'Q' \\ Z_3 = (Y_3' Y_6' Y_9')' = M'N'PQ + M'NPQ' + MN'P'Q \end{cases}$$

由于 74HC42 是具有拒绝伪码功能的二-十进制译码器,在输入为 $A_3A_2A_1A_0 = 1010 \sim 1111$ 时 $Y_0' \sim Y_9'$ 均无输出信号,所以可将 $A_3A_2A_1A_0' \sim A_3A_2A_1A_0$ 作为 Z_1 、 Z_2 和 Z_3 的约束项处理。在图 A4.10 的卡诺图上可见,利用这些约束项可将 Z_1 、 Z_2 、 Z_3 化简为

$$\begin{cases} Z_1 = M'N'P'Q + NP'Q' + NPQ \\ Z_2 = MQ' + NP'Q + N'PQ' \\ Z_3 = MQ + NPQ' + N'PQ \end{cases}$$

表 4.4.6 二-十进制译码器 74HC42 的真值表

序号	输入				输出									
	A_3	A_2	A_1	A_0	Y_0'	Y_1'	Y_2'	Y_3'	Y_4'	Y_5'	Y_6'	Y_7'	Y_8'	Y_9'
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
伪码	1	0	1	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	1	1	0	0	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	1	1	1	1	1	1	1	1
	1	1	1	0	1	1	1	1	1	1	1	1	1	1

第三章 门电路

考点分析

1. 填空题

- 正负逻辑之间的对偶关系 (例：正逻辑中的与运算对应负逻辑中的或运算)

2. 简答题

- 二极管门电路、CMOS 门电路的分析
- OD 门上拉电阻计算

3. 分析题

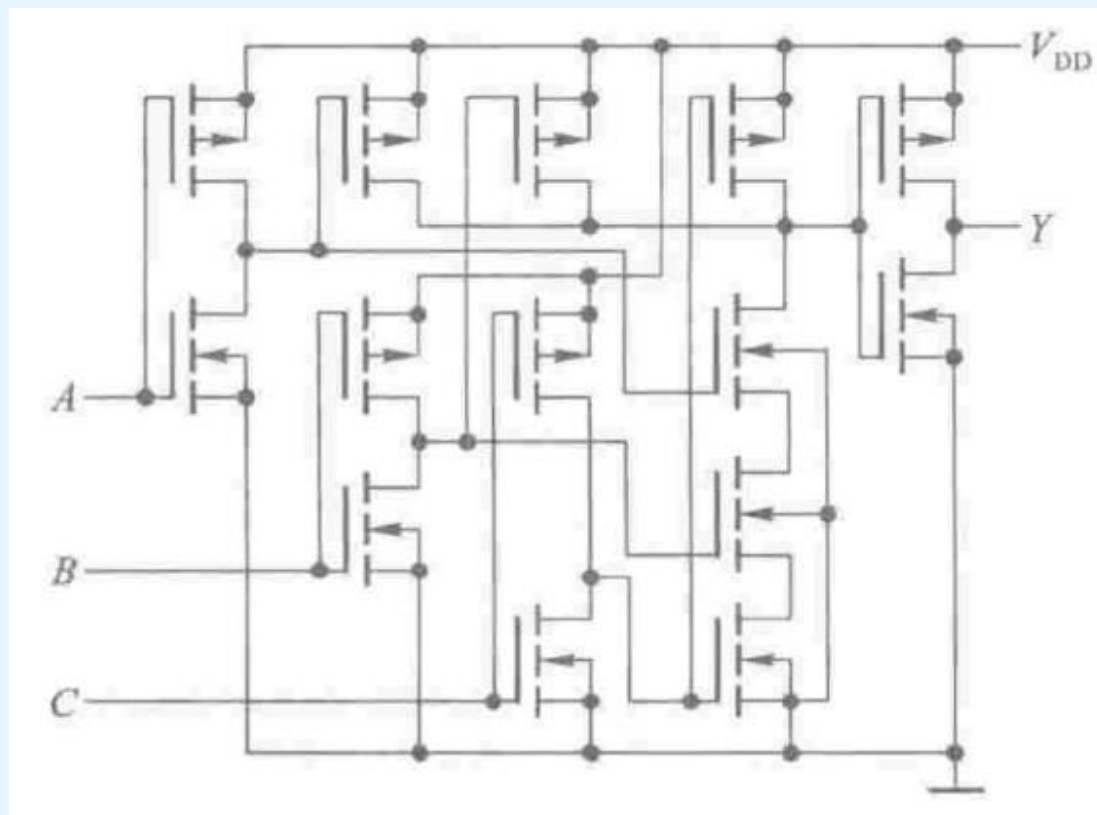
- 含传输门的逻辑电路分析 (只是提一下，从往年试卷看，组合逻辑电路分析题目一般都是考中规模电路分析)

4. 设计题

- 多余输入端的处理

重要问题——CMOS 电路分析

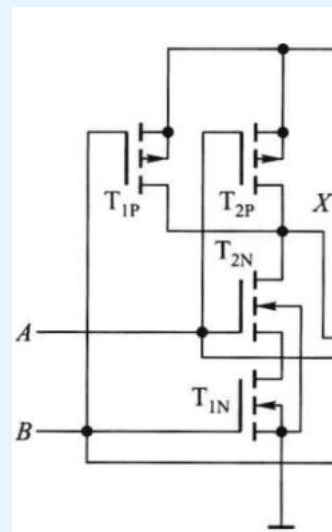
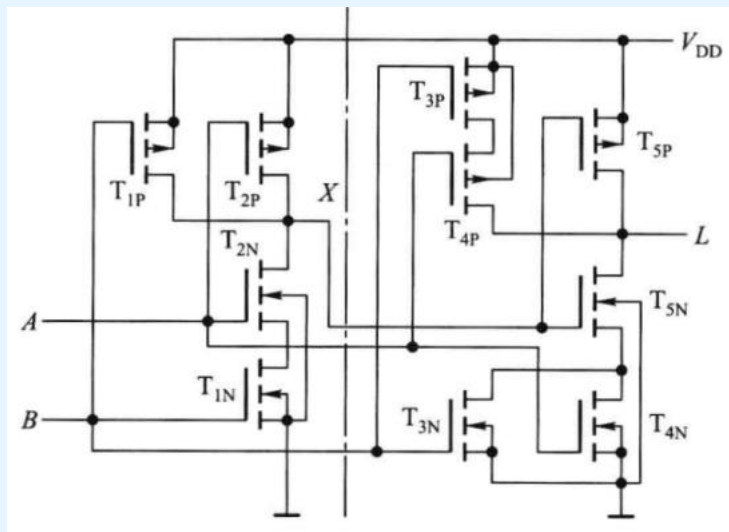
不知道你是否体验过被MOSFET支配的恐惧



不慌！今天我们详细介绍两种方法：**模块化方法和真值表法。**

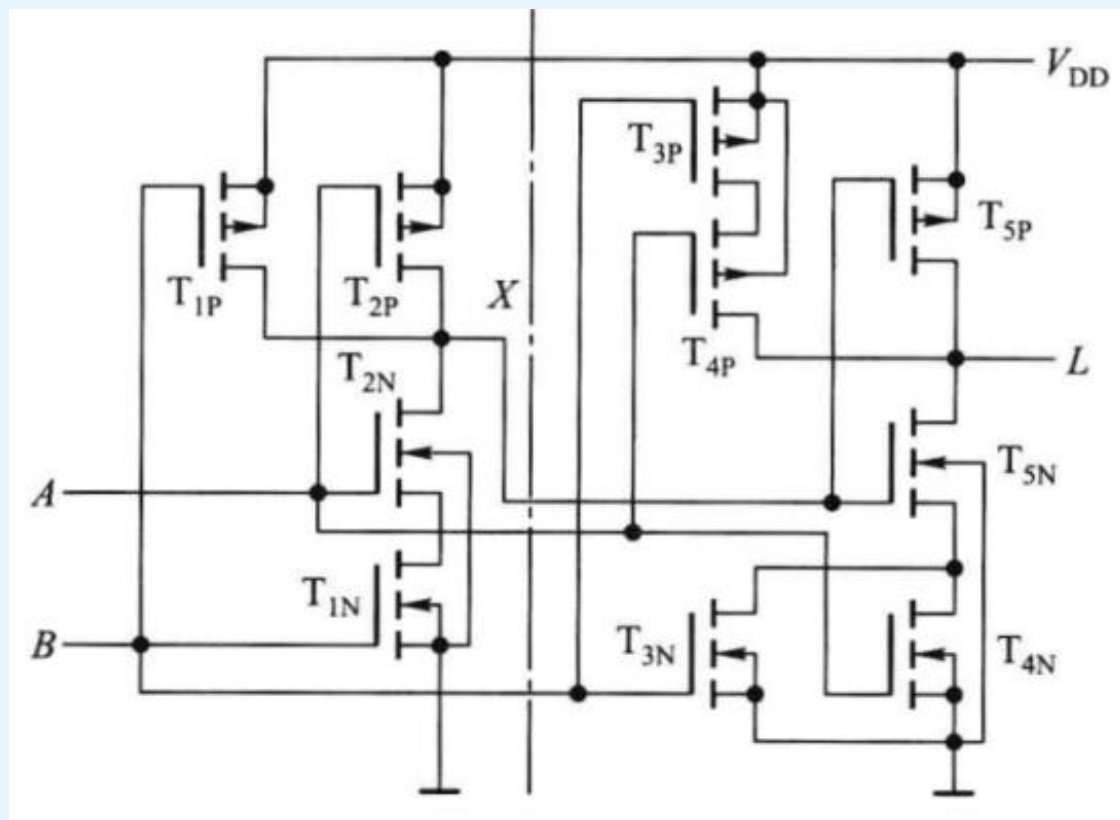
重要问题——CMOS 电路分析之模块化方法

2. 模块化方法：技巧性强，需要读者能够熟练掌握常见基本门电路的结构。这里介绍一种经验性的方法。**CMOS 电路横向分级，纵向互补**。模块化的方法是利用其横向分级的特点，而单独分析一个基本模块（门电路）则可以利用纵向互补的特点。对于一个单独的模块，可以看成由互补的两个部分组成，分别称之为“上拉部分”和“下拉部分”，当“下拉部分”确定的时候，“上拉部分”唯一确定（互补结构），反之亦然。**因此，只需要分析一部分即可**。以“下拉部分”为例，两个管子串联实现了与运算，两个管子并联实现了或运算，两个管子并联再与另外一个管子串联实现与或运算，最后输出级要加上一个取反操作。 **注意：取反是因为“下拉”**



$$X = (AB)'$$

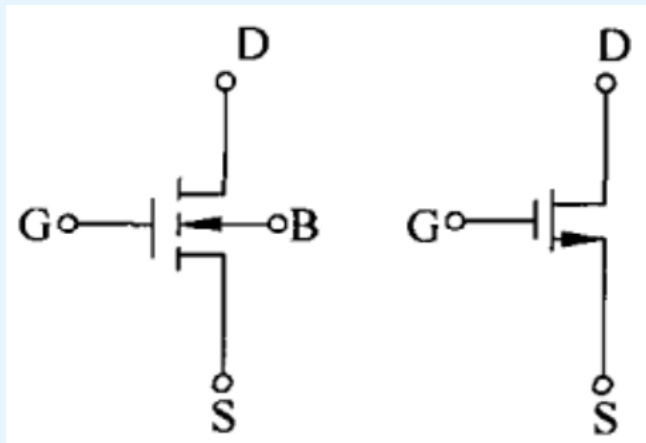
重要问题——CMOS 电路分析之模块化方法



$$L = ((A + B) X)' = ((A + B) (AB)')' = AB + A'B' = A \odot B$$

重要问题——CMOS 电路分析之真值表法

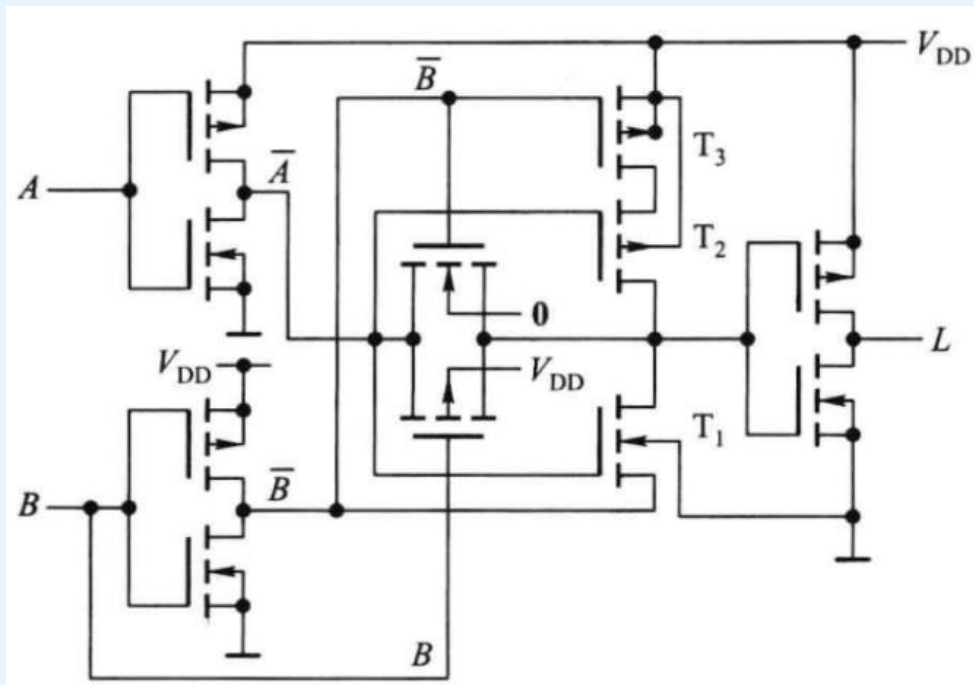
3. 真值表法：技巧性不高，需要掌握一些 MOS 管基本知识即可。真值表法的**具体操作**是，对于给定电路的每一种输入组合，讨论电路中各个管子（相关的管子）的通断，进而确定重要节点的电平，最后确定输出的电平，进而可以列出真值表，进而得到逻辑函数。这里需要掌握的**基础知识**包括：根据符号确定管子类型；给定管子类型确定通断的方法。**确定管子类型的方法**：这门课程中出现的管子都是增强型 MOS 管 (MOSFET)，只需要确定沟道类型。在半导体电路中，箭头指向永远是从 P 指向 N ，由此可以判断出沟道/源级的类型，进而确定管子的类型。



以左图为例，箭头由衬底 B 发出，因此衬底为 P ，所以为 N 沟道 MOS 管；对于右图，箭头指向源级 S ，因此源级为 N ，所以为 N 沟道 MOS 管。

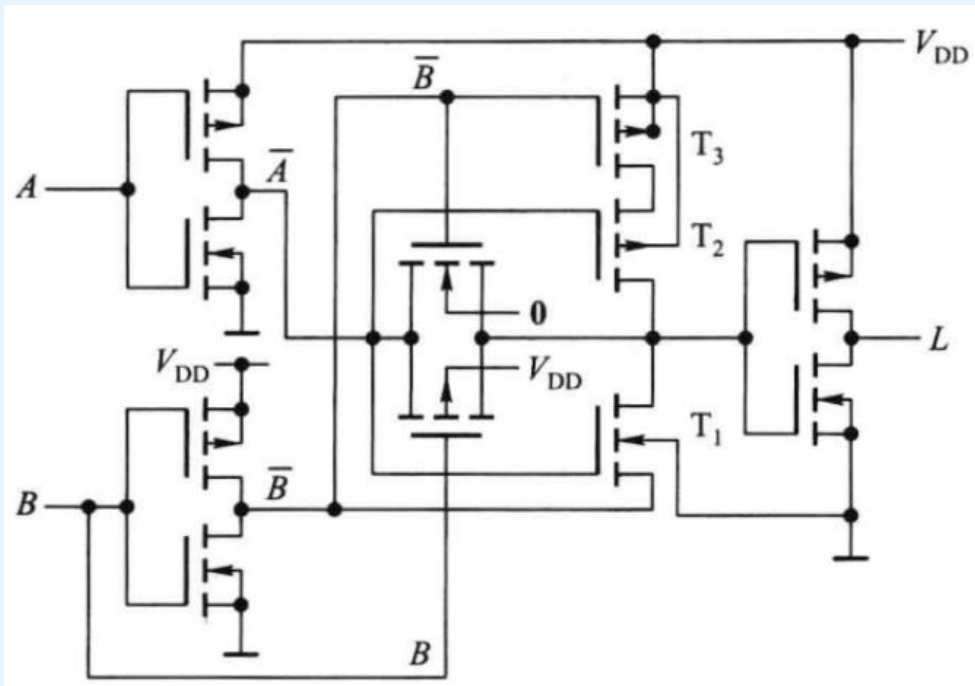
确定管子通断的方法：在确定了管子类型以后，只要根据栅级 G 的电位和源级 S 的电位关系即可判断管子通断。对于 N 型管， V_G 超过 V_S 一个阈值即导通（我们只需要分析大小关系，阈值是满足的）。另外提醒注意的一个点是，在图中不会标注 G 和 S ，要如何解决呢？实际上， G 很容易判断， S 根据箭头所在位置即可和 D 区分开。

重要问题——CMOS 电路分析之真值表法



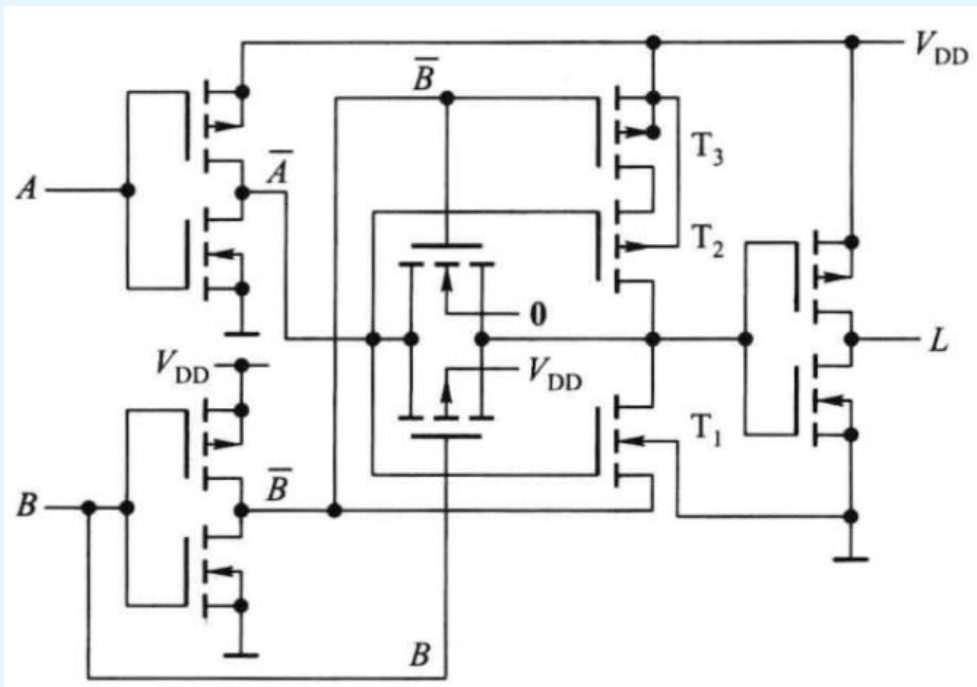
A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

重要问题——CMOS 电路分析之真值表法



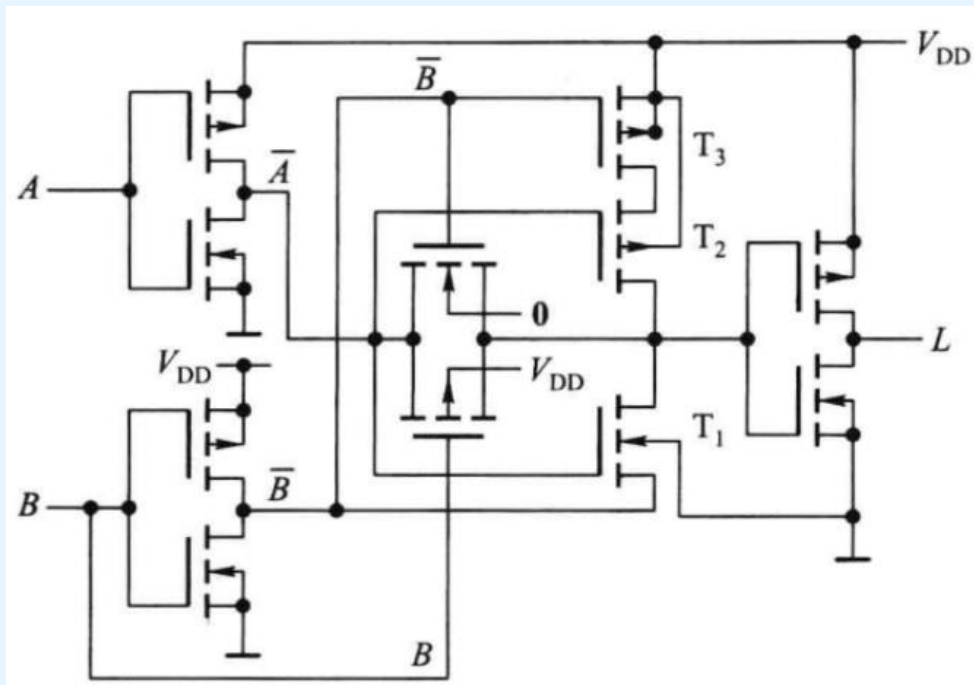
A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

重要问题——CMOS 电路分析之真值表法



A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

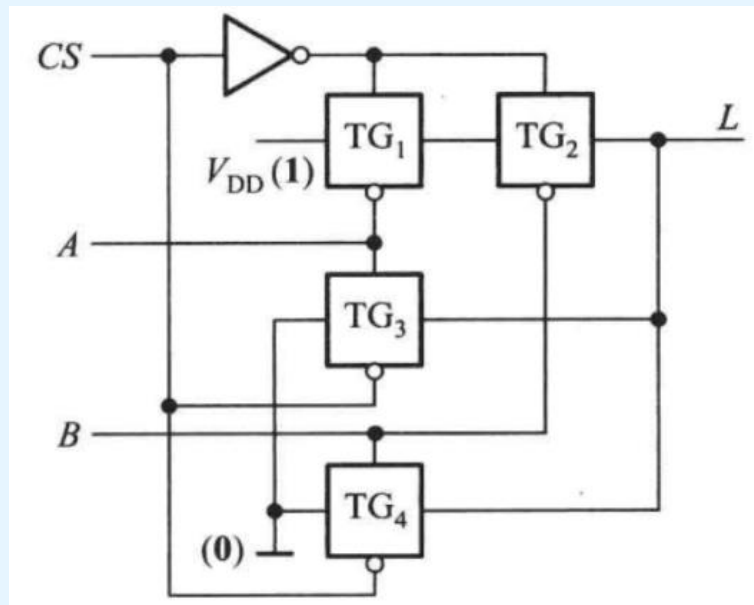
重要问题——CMOS 电路分析之真值表法



A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

重要问题——CMOS 电路分析之传输门高阻态

当 $CS = 1$ 时，4 个传输门均为断开状态，输出处于高阻状态。当 $CS = 0$ 时，4 个传输门的工作状态由 A 和 B 决定： $A = B = 0$ 时， TG_1 和 TG_2 导通， TG_3 和 TG_4 截止， $L = 1$ 。依此分析，可以列出真值表



CS	A	B	L
1	×	×	高阻态
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0

由真值表可得逻辑函数式

$$L = CS' \cdot (A + B)' + CS \cdot Z$$

所以该电路实现三态输出的 2 输入或非逻辑功能。

第四章 组合逻辑电路

考点分析

1. 填空题

- 消除竞争——冒险现象的方法

2. 简答题

- 竞争——冒险现象的概念及其消除方法
- 译码器可以实现任意 n 变量逻辑函数的理由 (数电实验思考题出现过)——最小项之和是逻辑函数标准型之一，而译码器的输出恰好分别是所有 n 变量的最小项
- 门电路组成的逻辑电路的分析

3. 分析题

- 中规模组合逻辑电路分析

4. 设计题

- 基于门电路
- 基于常用中规模模块——如果是偏生活化的逻辑问题，常用译码器、数据选择器实现；如果是算术运算问题，可能会用加法器、比较器等
- 功能扩展——详细分析见《数字逻辑电路学习指导 2021》

重要问题——组合逻辑电路功能分析

4.2.1 组合逻辑电路功能分析

1. 组合逻辑电路分析题目往往比较简单，唯一难点是说明组合逻辑电路实现的功能。
首先可以分析得到，实现的功能肯定不是需要一个特定背景的功能，所以**最可能的就是算术功能**，那么，一般情况下就是，常见四则运算以及求反、求补等运算。
2. 如果分析不出功能，也尽量别空着。可以写，在哪些输入组合下输出高（低）电平，比如“当输入中 1 的个数为偶数的时候输出 Y 为高电平”。

2017-2018期末

1. 电路如图 2-1 所示，（1）写出输出的逻辑函数式；（2）列出真值表，说明电路的逻辑功能。

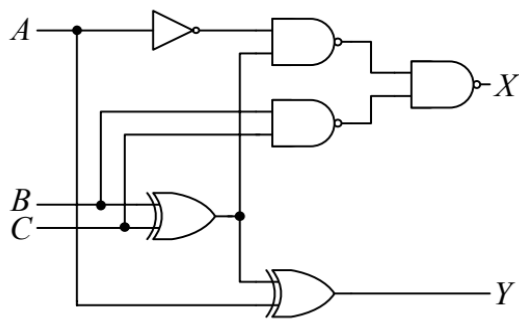


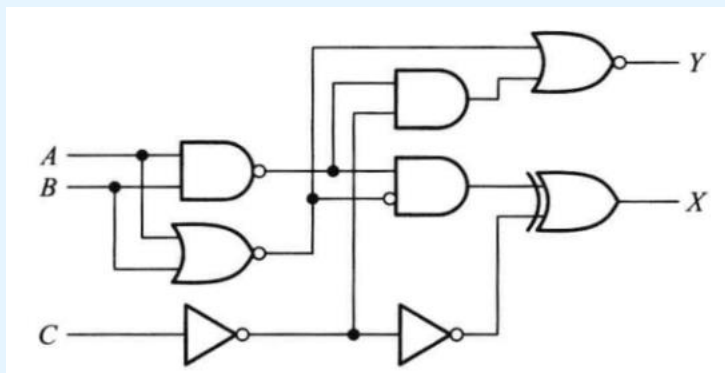
图 2-1

重要问题——组合逻辑电路功能分析

首先写出逻辑函数式

$$X = ABC + A'B'C + A'BC' + AB'C'$$

$$Y = AB + AC + BC$$



列出真值表

A	B	C	X	Y
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表可见，该电路实现全加器的功能，其中 A 、 B 分别为加数与被加数， C 为来自低位的进位， X 为本位的和， Y 为向高位的进位。

重要问题——组合逻辑电路功能分析

首先写出逻辑函数式

$$P_3 = ABCD$$

$$P_2 = AB'C + ACD' = AC(BD)'$$

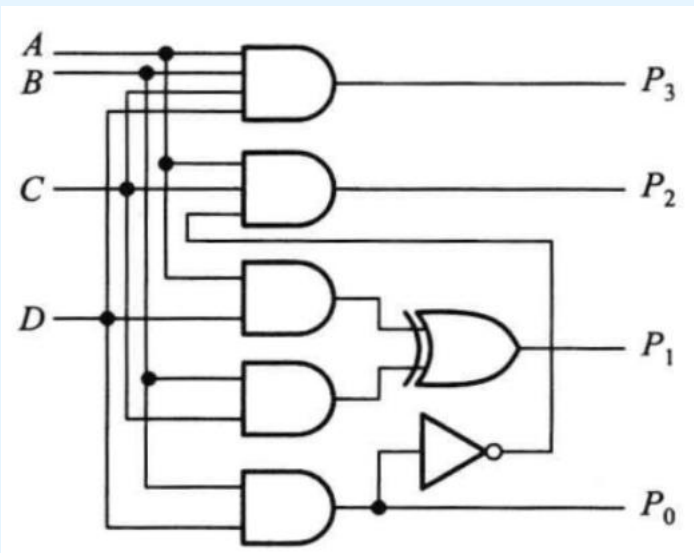
$$P_1 = AB'D + AC'D + BCD' + A'BC = AD(BC)' + (AD)'BC$$

$$P_0 = BD$$

然后列出真值表

A	B	C	D	P ₃	P ₂	P ₁	P ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

可以发现，电路实现了 2 位二进制数的乘法电路，其中 AB 和 CD 分别表示两个 2 位二进制数， $P_3P_2P_1P_0$ 为运算结果。



重要问题——组合逻辑电路功能分析

首先写出逻辑函数式

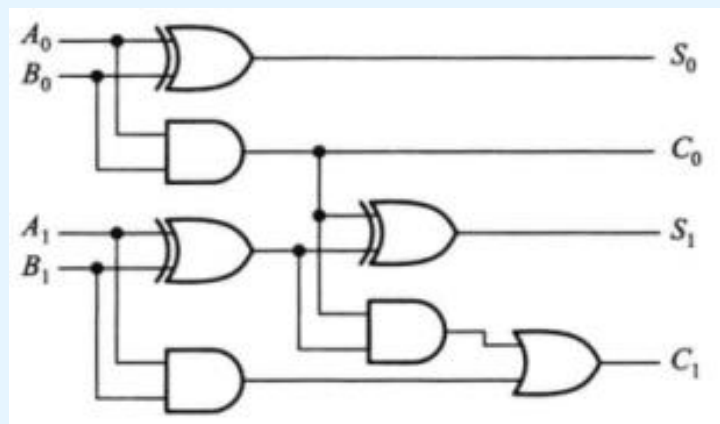
$$S_0 = A_0 \oplus B_0$$

$$C_0 = A_0 B_0$$

$$S_1 = A_1 \oplus B_1 \oplus A_0 B_0$$

$$C_1 = A_1 B_1 + (A_1 \oplus B_1) A_0 B_0$$

列出真值表



A_1	B_1	A_0	B_0	C_1	S_1	C_0	S_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	0	1
0	1	1	1	1	0	1	0
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	1
1	0	1	0	0	1	0	1
1	0	1	1	1	0	1	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	0	1	0	0	1
1	1	1	1	1	1	1	0

由真值表可判断该电路是两位数全加器。 A_1A_0 、 B_1B_0 分别为两位被加数及加数， S_1 、 S_0 为和， C_0 为 A_0 、 B_0 相加向高位的进位， C_1 为 A_1 、 B_1 及 C_0 相加向更高位的进位。

重要问题——组合逻辑电路功能分析

首先写出逻辑函数式

$$L_4 = (A + B + C)'$$

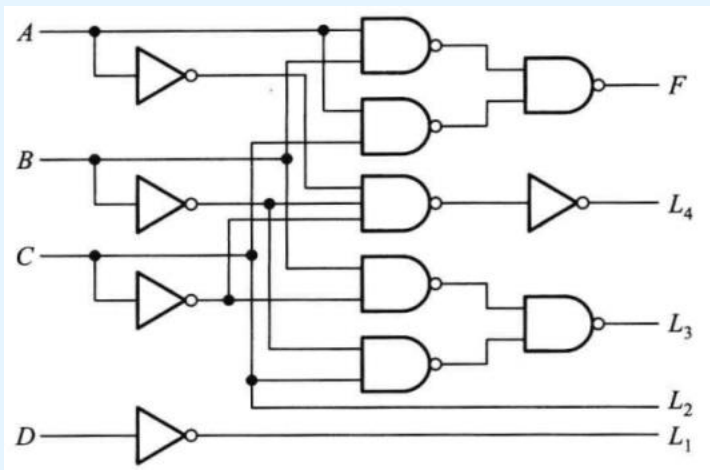
$$L_3 = BC' + B'C$$

$$L_2 = C$$

$$L_1 = D'$$

$$F = AB + AC$$

列出真值表



A	B	C	D	L ₄	L ₃	L ₂	L ₁	F
0	0	0	0	1	0	0	1	0
0	0	0	1	1	0	0	0	0
0	0	1	0	0	1	1	1	0
0	0	1	1	0	1	1	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	0	0	0
0	1	1	0	0	0	1	1	0
0	1	1	1	0	0	1	0	0
1	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0
1	0	1	0	0	1	1	1	1
1	0	1	1	0	1	1	0	1
1	1	0	0	0	1	0	1	1
1	1	0	1	0	1	0	0	1
1	1	1	0	0	0	1	1	1
1	1	1	1	0	0	1	0	1

由真值表可得，当输入 $ABCD$ 表示的二进制数不超过 9 时，输出 $L_4L_3L_2L_1$ 为输入的补码，并且 $F = 0$ ；当输入 $ABCD$ 表示的二进制数超过 9 时，输出 $F = 1$ 。

则可知，电路实现 BCD 码求补码的功能，并拒绝伪码。

重要问题——基于中规模电路的一般设计问题

4.2.2 基于中规模电路的一般设计问题

1. 首先明确，常见的可以用来设计任何逻辑电路（生成任何组合逻辑函数）的器件只有译码器和数据选择器。原因是，二者的输出恰好可以看成输入的所有最小项的集合。二者之间的区别在于，译码器可以生成多输出的逻辑函数，而数据选择器只能产生单输出逻辑函数。
2. 由于 n 位输入的译码器，可以产生所有 n 变量的最小项。所以， n 位译码器可以用来生成多输出的变量数不超过 n 的任意逻辑函数。
3. 由数据选择器工作原理， n 位地址输入端产生地址选择信号，本质上是 n 变量的最小项。所以， n 位地址输入的数据选择器可以产生变量数不超过 $(n + 1)$ 的任意逻辑函数。
4. 除此以外，加法器也常常用于算术运算功能组合逻辑电路设计。思考，如何用一个 4 位加法器实现一个 3 位二进制数乘 3 运算。

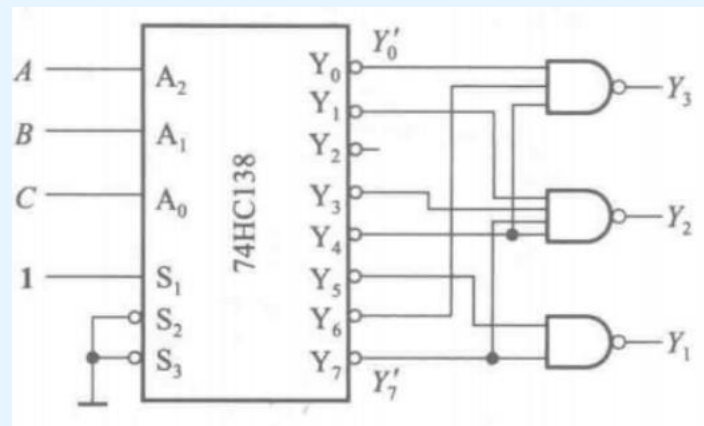
重要问题——基于中规模电路的一般设计问题

5. 试画出用 3 线-8 线译码器 74HC138 和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

写成最小项之和形式

$$\begin{cases} Y_1(A, B, C) = AC = AB'C + ABC = m_5 + m_7 = (m'_5 m'_7)' = (Y'_5 Y'_7)' \\ Y_2(A, B, C) = A'B'C + AB'C' + BC = A'B'C + A'BC + AB'C' + ABC \\ \quad = m_1 + m_3 + m_4 + m_7 = (m'_1 m'_3 m'_4 m'_7)' = (Y'_1 Y'_3 Y'_4 Y'_7)' \\ Y_3(A, B, C) = B'C' + ABC' = A'B'C' + AB'C' + ABC' \\ \quad = m_0 + m_4 + m_6 = (m'_0 m'_4 m'_6)' = (Y'_0 Y'_4 Y'_6)' \end{cases}$$



重要问题——基于中规模电路的一般设计问题

6. 用 8 选 1 数据选择器 74HC151 产生逻辑函数。（注：在考试的时候会给出中规模电路模块的功能表）

$$Y = AC'D + A'B'CD + BC + BC'D'$$

74HC151 的输出为

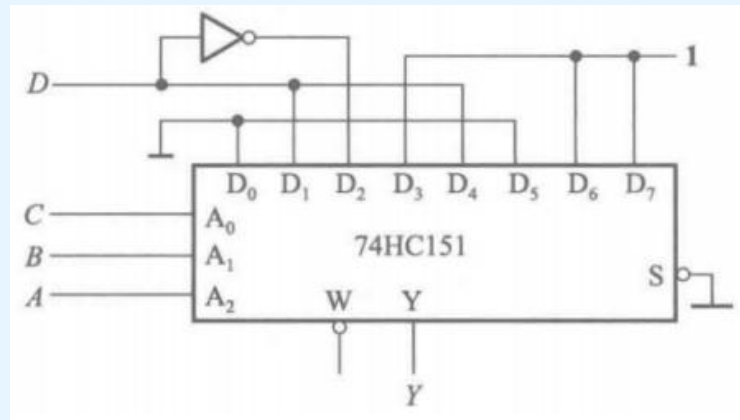
$$\begin{aligned} Y = & (A_2'A_1'A_0') \cdot D_0 + (A_2'A_1'A_0) \cdot D_1 + (A_2'A_1A_0') \cdot D_2 \\ & + (A_2'A_1A_0) \cdot D_3 + (A_2A_1'A_0') \cdot D_4 + (A_2A_1'A_0) \cdot D_5 \\ & + (A_2A_1A_0') \cdot D_6 + (A_2A_1A_0) \cdot D_7 \end{aligned}$$

将给定的逻辑函数化成上述形式，可得

$$\begin{aligned} Y = & (A'B'C') \cdot 0 + (A'B'C) \cdot D + (A'BC') \cdot D' + (A'BC) \cdot 1 \\ & + (AB'C') \cdot D + (AB'C) \cdot 0 + (ABC') \cdot 1 + (ABC) \cdot 1 \end{aligned}$$

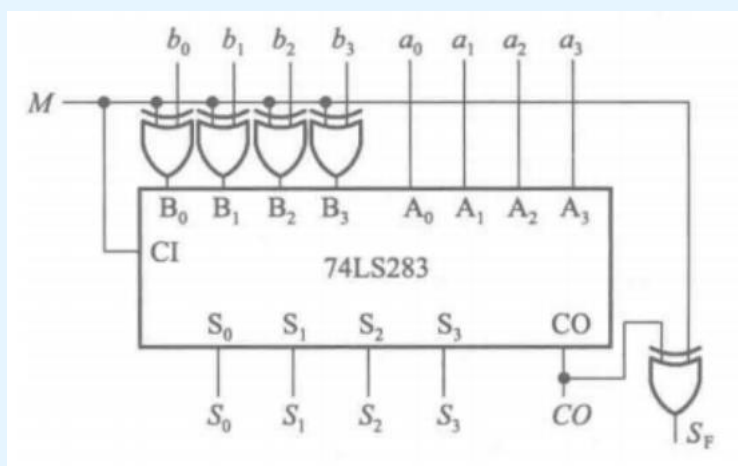
可得

$$A_2 = A, A_1 = B, A_0 = C, D_0 = D_5 = 0, D_1 = D_4 = D, D_2 = D', D_3 = D_6 = D_7 = 1$$



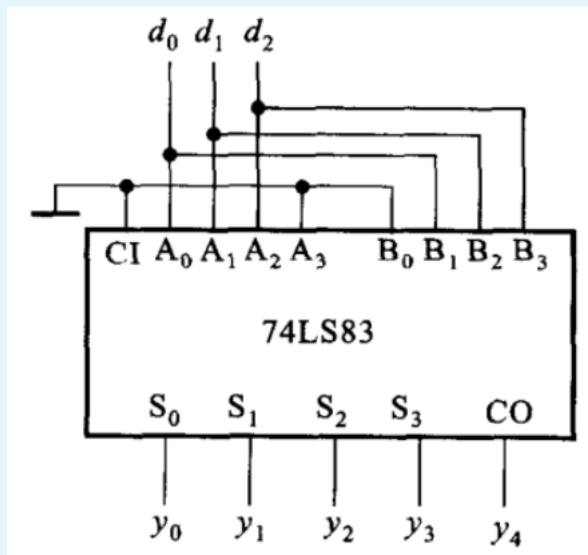
重要问题——基于中规模电路的一般设计问题

7. 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号 $M = 0$ 时它将两个输入的 4 位二进制数相加，而 $M = 1$ 时它将两个输入的 4 位二进制数相减。两数相加的绝对值不大于 15。允许附加必要的门电路。



重要问题——基于中规模电路的一般设计问题

8. 请用 4 位加法器 74LS83 实现一个三位二进制数的 3 倍乘法运算。

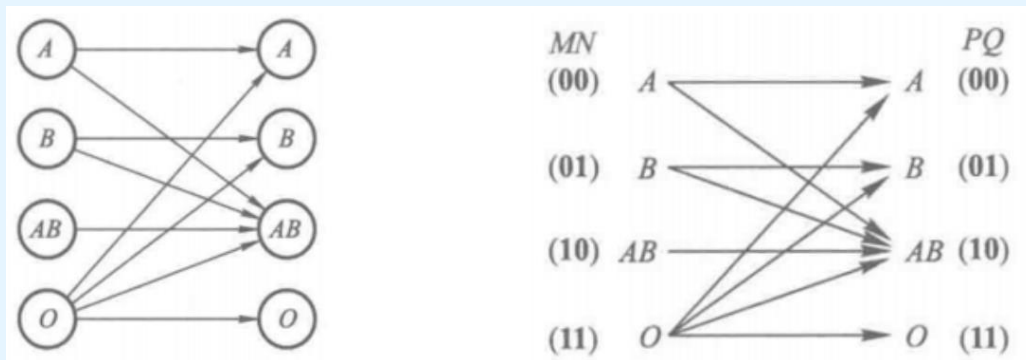


重要问题——基于中规模电路的一般设计问题

9. 人的血型有 A 、 B 、 AB 、 O 4 种。输血时输血者的血型与受血者血型必须符合图中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路, 判断输血者与受血者的血型是否符合上述规定。(提示: 可以用两个逻辑变量的 4 种取值表示输血者的血型。用另外两个逻辑变量的 4 种取值表示受血者的血型。)

注意, 在处理这类问题的时候, 首先注意题目是否给出逻辑变量的定义。如果有, 必须按照题目给的来; 如果没有, 必须自己给出清晰明确的定义, 说明需要几个逻辑变量, 取值为 0/1 分别表示什么含义。

示例: 以 MN 的 4 种状态组合表示输血者的 4 种血型, 并以 PQ 的 4 种状态组合表示受血者的 4 种血型, 如图所示。用 Z 表示判断结果, $Z = 0$ 表示符合题图所示的要求, $Z = 1$ 表示不符合要求。



重要问题——常见中规模电路的功能扩展问题

4.2.3 常见中规模电路的功能扩展问题

1. 功能扩展是第四章里难度较大的一类问题。好消息是，一方面近几年考试都没有考过，另一方面常见的中规模器件只有少数几种，记住每种的功能扩展方法即可解题。
2. 如果想独立分析解题，这个一般没有固定的方法，这也是这类问题难点所在。这里基于经验向读者推荐一些思路，以作为启发。首先，确定所需的模块电路的个数，并确定他们之间的关系（例如优先级），进而分配一些“主要的（和基本功能相关的）”输入输出。接着关注扩展输入输出。一个成熟的芯片不会存在冗余部分（因为对于电子电路来说，输入输出越多、连线越多、节点越多，电路出现故障的可能性就越大），而功能扩展端本身是“不影响”主要功能的，它的存在就是为了功能扩展方便而设计的。分析功能表，关注功能扩展输入和输出之间的关系，确定在扩展的时候如何使用。实际上，各个模块电路的关系的实现正是利用功能扩展端完成的。

重要问题——常见中规模电路的功能扩展问题

主要关注的是三个部分

- ✓ 输入分配
- ✓ 片间关系
- ✓ 输出获取

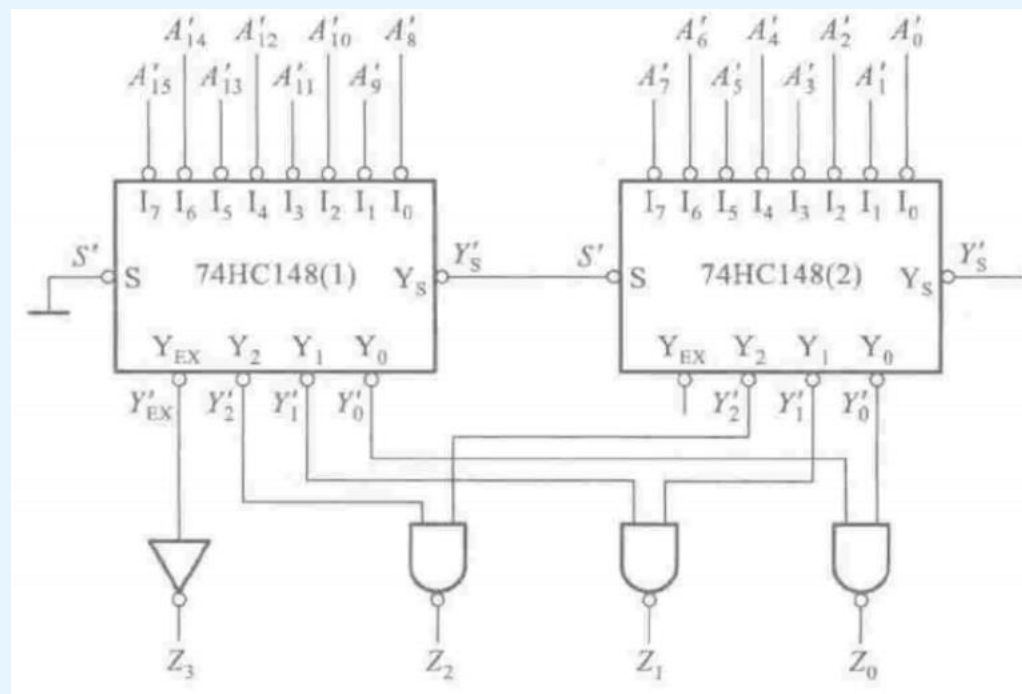
- ✓ 输入分配：根据中规模电路要实现的逻辑功能，把当前输入（编码信号、译码信号等）按照一定的顺序分配到各个子模块电路的输入。
- ✓ 片间关系：根据逻辑功能，比如优先编码器需要考虑优先级，而译码器则无需考虑片间关系
- ✓ 输出获取：当输入分配和片间关系确定好以后，实际上各个子模块电路的输出是确定的，此时，我们要做的就是利用这些子模块的输出获取当前电路需要的输出。实际上，**本质**是组合逻辑电路设计的问题，列写真值表、转化逻辑函数即可。（当然有时候如果问题比较简单，也是可以基于对电路功能的认识直接得到的）

重要问题——常见中规模电路的功能扩展问题

3. 优先编码器 74HC148 的功能扩展。从功能表中可以看出，选通输入端 S' 控制电路是否工作（ $S' = 0$ 工作），扩展输出 Y'_S 和 Y'_{EX} 共同指示电路的工作状态， $Y'_S Y'_{EX} = 11$ 表示电路不工作， $Y'_S Y'_{EX} = 01$ 表示电路工作但无编码输入， $Y'_S Y'_{EX} = 10$ 表示电路正常编码。

如果这里输出还比较容易处理
分析下一页的问题

S'	I'_0	I'_1	I'_2	I'_3	I'_4	I'_5	I'_6	I'_7	Y'_2	Y'_1	Y'_0	Y'_S	Y'_{EX}
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	×	×	×	×	×	×	×	0	0	0	0	1	0
0	×	×	×	×	×	×	0	1	0	0	1	1	0
0	×	×	×	×	×	0	1	1	0	1	0	1	0
0	×	×	×	×	0	1	1	1	0	1	1	1	0
0	×	×	×	0	1	1	1	1	1	0	0	1	0
0	×	×	0	1	1	1	1	1	1	0	1	1	0
0	×	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0



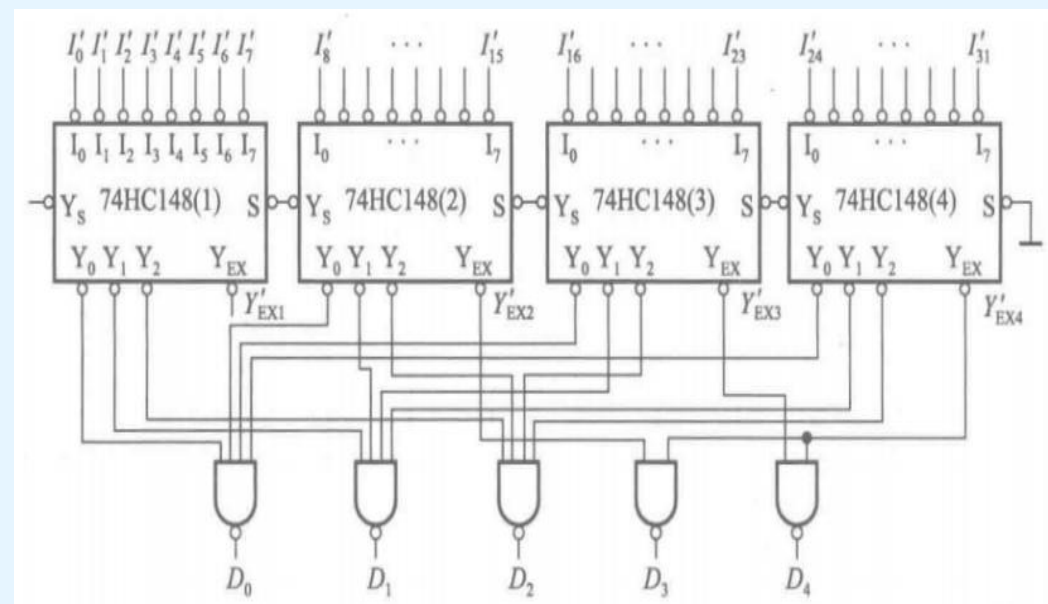
重要问题——常见中规模电路的功能扩展问题

输出的标准处理方法。实际上，利用扩展输出端来产生额外的输出本质上还是组合逻辑电路设计，按照不同电路状态下的扩展输出及其对应电路需要的输出之间的关系列出真值表即可。

Y_{EX4}	Y_{EX3}	Y_{EX2}	Y_{EX1}	D_4	D_3
1	0	0	0	1	1
0	1	0	0	1	0
0	0	1	0	0	1
0	0	0	1	0	0

$$D_4 = Y_{EX4} + Y_{EX3} = (Y'_{EX4} \cdot Y'_{EX3})'$$

$$D_3 = Y_{EX4} + Y_{EX2} = (Y'_{EX4} \cdot Y'_{EX2})'$$

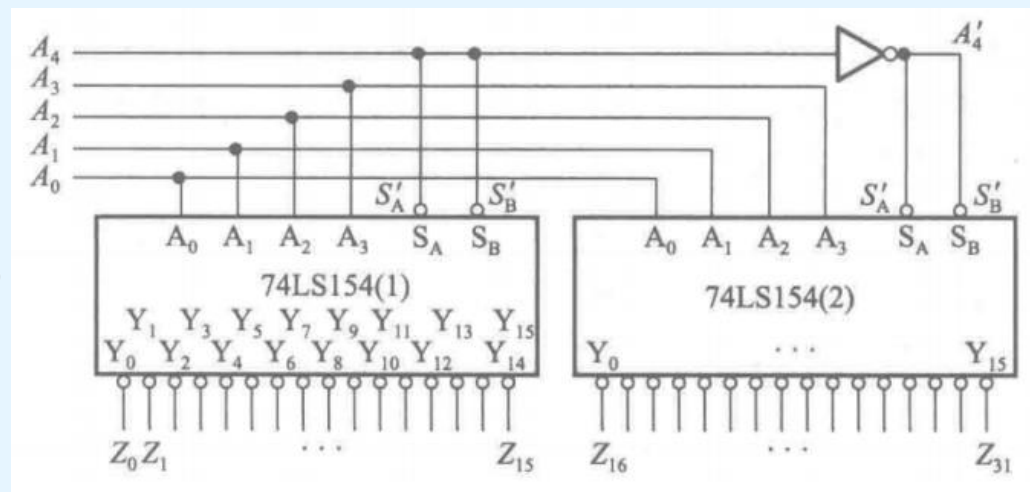
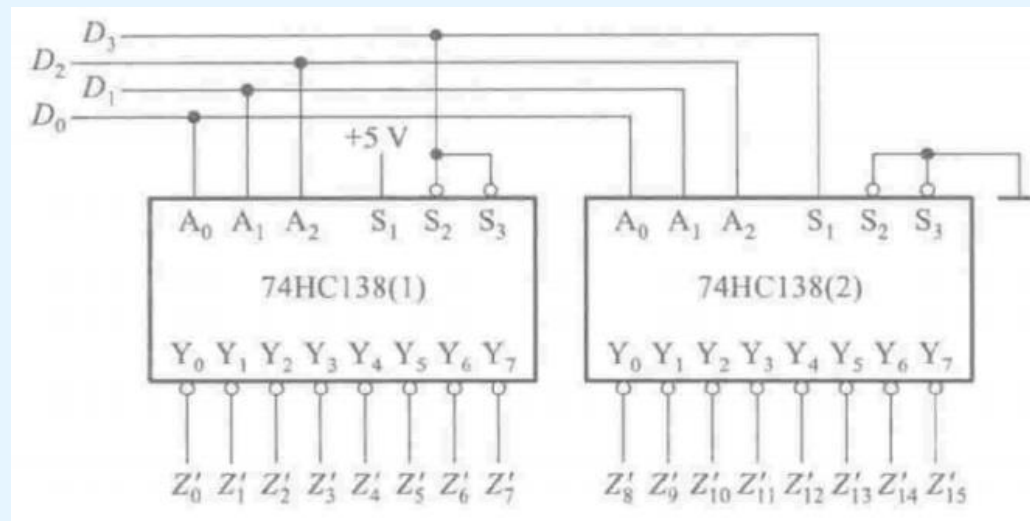


重要问题——常见中规模电路的功能扩展问题

4. 译码器 74HC138 的功能扩展。

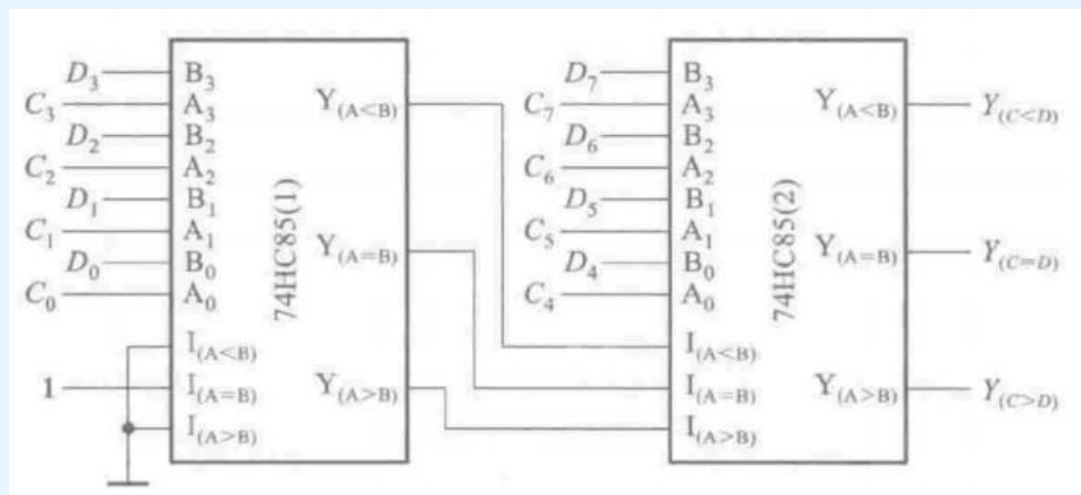
S_1	$S'_2 + S'_3$	A_2	A_1	A_{11}	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

从功能表中可以看出，选通输入端 $S_1 = 1$ 、 $S'_2 + S'_3 = 0$ 时电路正常工作。



重要问题——常见中规模电路的功能扩展问题

5. 数值比较器 74HC85 的功能扩展。



重要问题——常见中规模电路的功能扩展问题

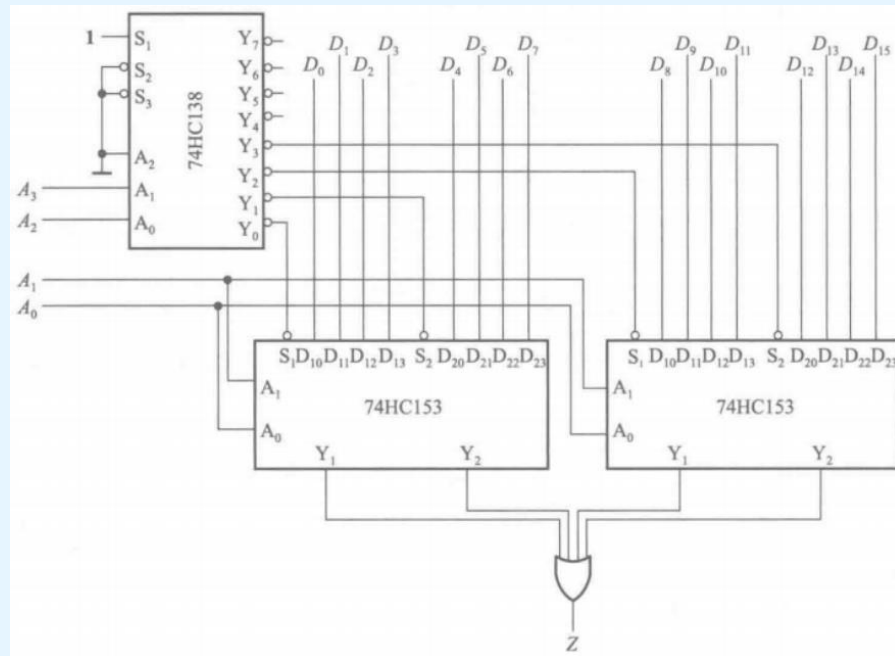
6. 数据选择器 74HC138 的功能扩展。试用两片双 4 选 1 数据选择器 74HC153 和 3 线—8 线译码器 74HC138 接成 16 选 1 的数据选择器。

双 4 选 1 数据选择器 74HC153 的输出逻辑函数为

$$Y_1 = [D_{10} (A'_1 A'_0) + D_{11} (A'_1 A_0) + D_{12} (A_1 A'_0) + D_{13} (A_1 A_0)] \cdot S_1$$

$$Y_2 = [D_{20} (A'_1 A'_0) + D_{21} (A'_1 A_0) + D_{22} (A_1 A'_0) + D_{23} (A_1 A_0)] \cdot S_2$$

选通输入 S_1 和 S_2 分别控制每一片是否工作，地址输入 $A_1 A_0$ 控制每一片内将哪个数据输入端的输入送至输出。



重要问题——常见中规模电路的功能扩展问题

思考题：

- ✓ 串行进位加法器的功能扩展
- ✓ 超前进位加法器的功能扩展

提示：对比二者实现的区别之处

第五章 半导体存储电路

考点分析

1. 填空题

- 触发器的两个最重要的特性——逻辑功能、触发方式 (二者独立)
- 触发器按逻辑功能分类可以分为
- 触发器按触发方式分类可以分为
- 不同触发方式的触发器性能比较 (稳定性)
- 存储器容量计算
- 存储器地址线、数据线
- 衡量存储器性能的两个最重要的指标——存储容量、存取速度
- ROM 输出缓冲器的作用——提高带负载能力、实现对输出的三态控制

2. 简答题

- 画输出波形
- 列写存储器数据表
- 存储矩阵
- 存储器容量扩展

3. 分析题

- 无

4. 设计题

- 利用存储器实现逻辑函数 (可能性较小)

重要问题——绘制波形图

5.2.1 绘制波形图

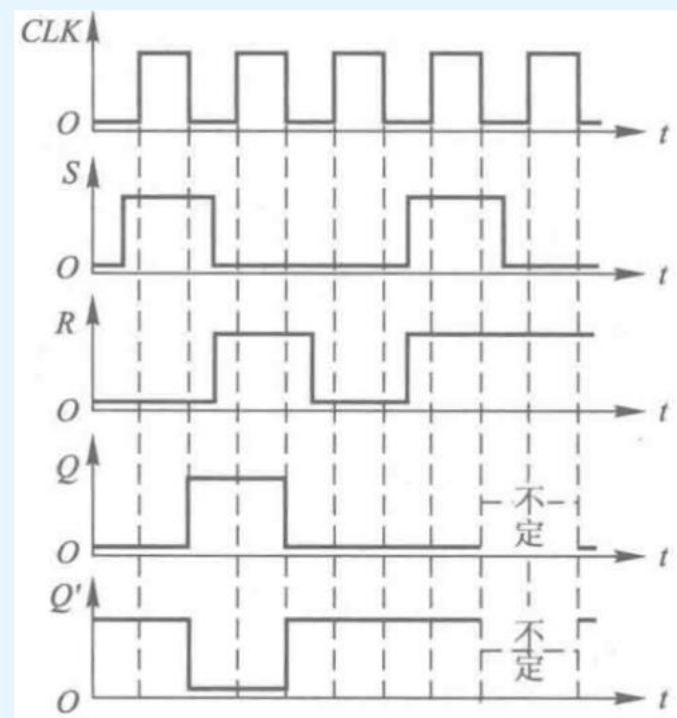
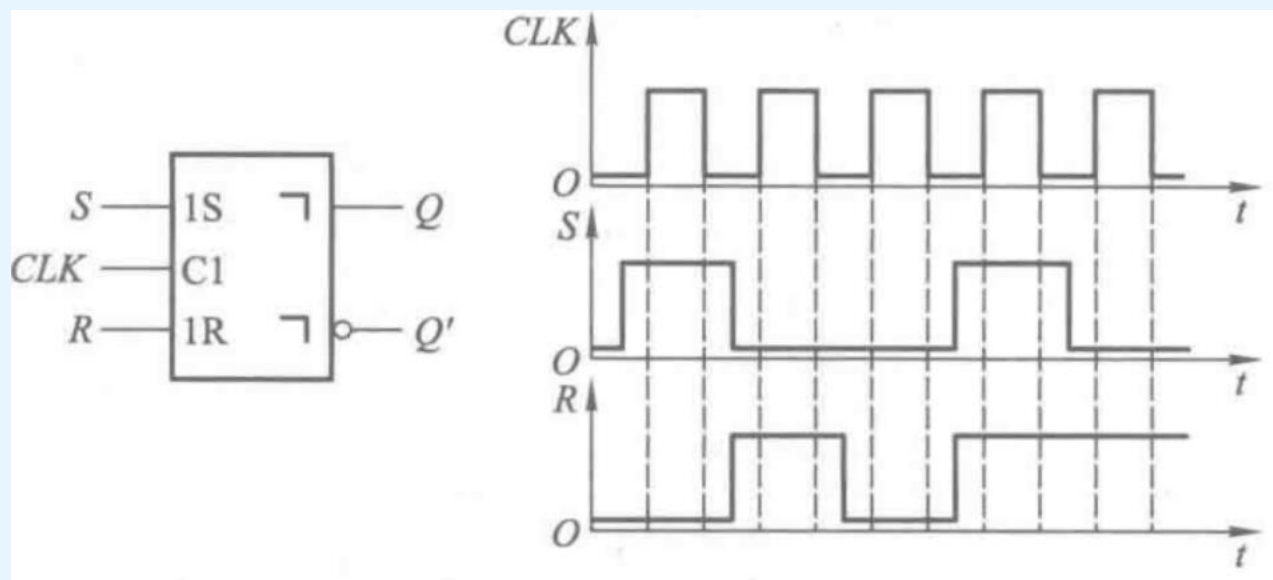
1. 绘制波形图是这一章的主要考点，也是每次考试必考的考点。主要的工作实际上就是分析输出电平发生动作的位置和动作的方向，这是由触发器的两个主要性能参数决定的，其中触发方式决定动作发生的位置，逻辑功能决定动作的方向。

一些建议：

- ✓ 铅笔作图
- ✓ 使用直尺
- ✓ 信号时间对齐辅助线
- ✓ 如果某个信号始终没有变化，要标注出其电平是0还是1
- ✓ 注意异步时序控制信号
- ✓ 注意异步置0/置1

重要问题——绘制波形图之SR触发器的不定状态

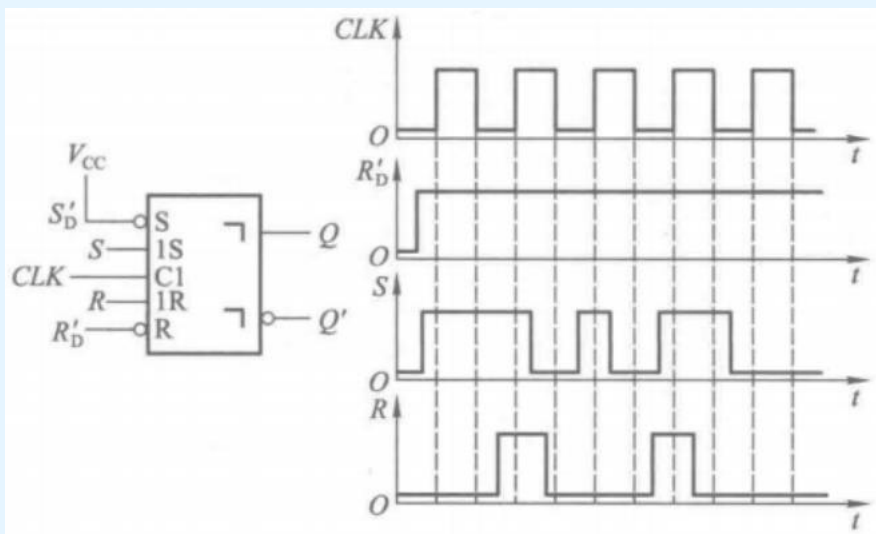
若脉冲触发 SR 触发器各输入端的电压波形如图中所给出，试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



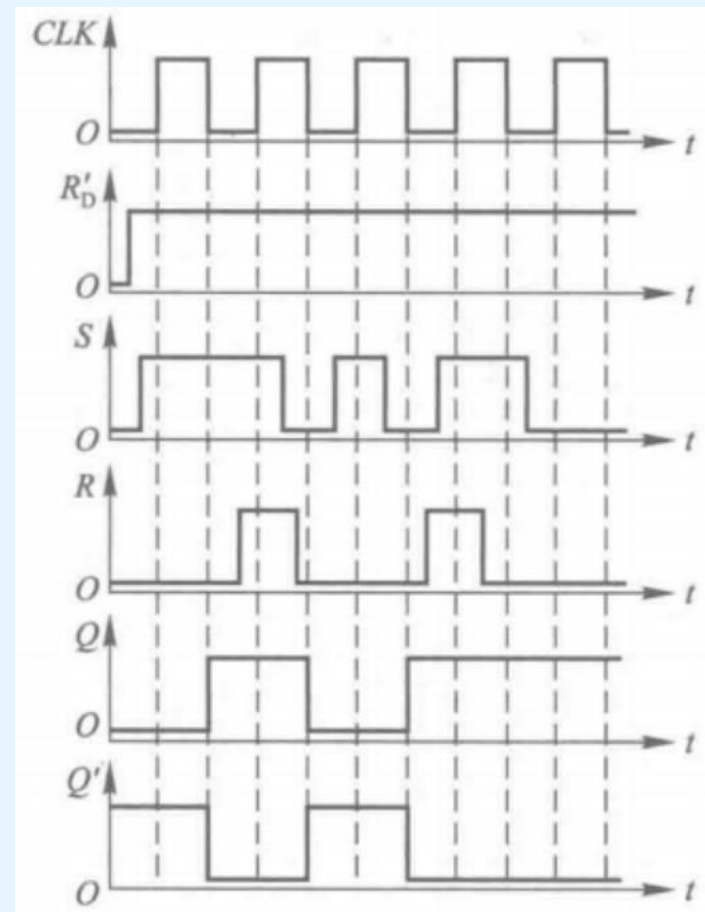
如果分析的结果是不定状态，如图所示直接标注“不定”即可。类似的，如果分析逻辑电路输出为高阻态，在图中直接标注“高阻态”。

重要问题——绘制波形图之SR触发器的不定状态

若脉冲触发 SR 触发器的 CLK 、 S 、 R 、 R'_D 各输入端的电压波形如图所示，而 $S'_D = 1$ ，试画出 Q 、 Q' 端对应的电压波形。



注意第二个脉冲周期，正脉冲期间，虽然存在 $S = R = 1$ 使得主触发器 $Q = Q' = 1$ ，但由于随后的状态不是 $S = R = 0$ ，而是 $S = 0, R = 1$ 将触发器直接置 0，所以主触发器状态是确定状态 $Q = 0, Q' = 1$ 。



重要问题——绘制波形图之异步触发

2019-2020期末

2. 电路如图 1(a)所示。试对应图 1(b)所示时钟信号 CLK_1 和 CLK_2 的波形，画出输出

Q_0 、 Q_1 、 Q_2 和 Y 的波形，设触发器的初始状态均为 0。

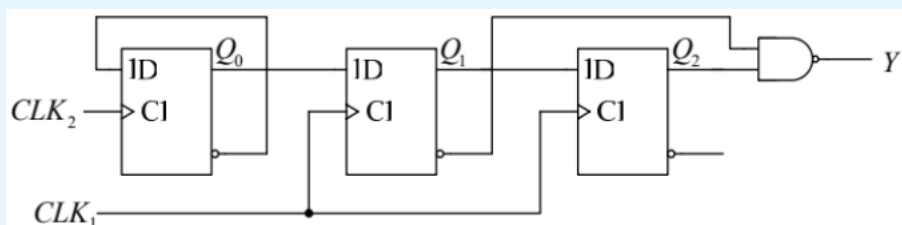
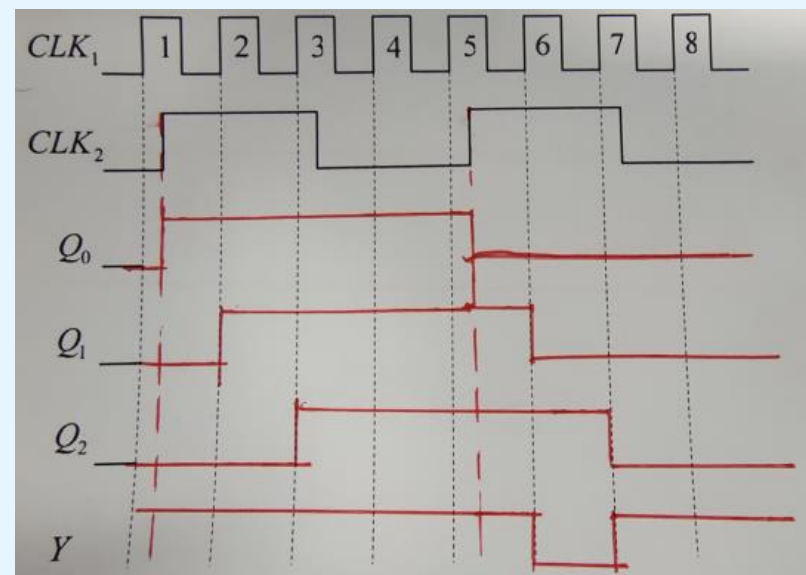
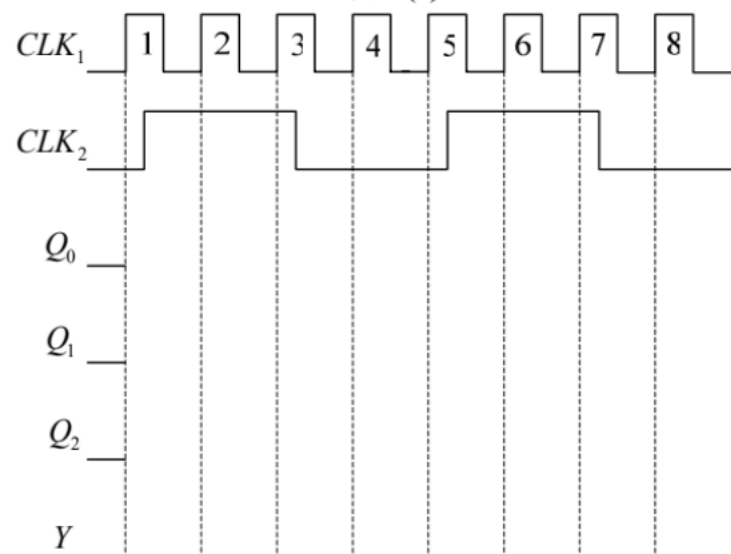
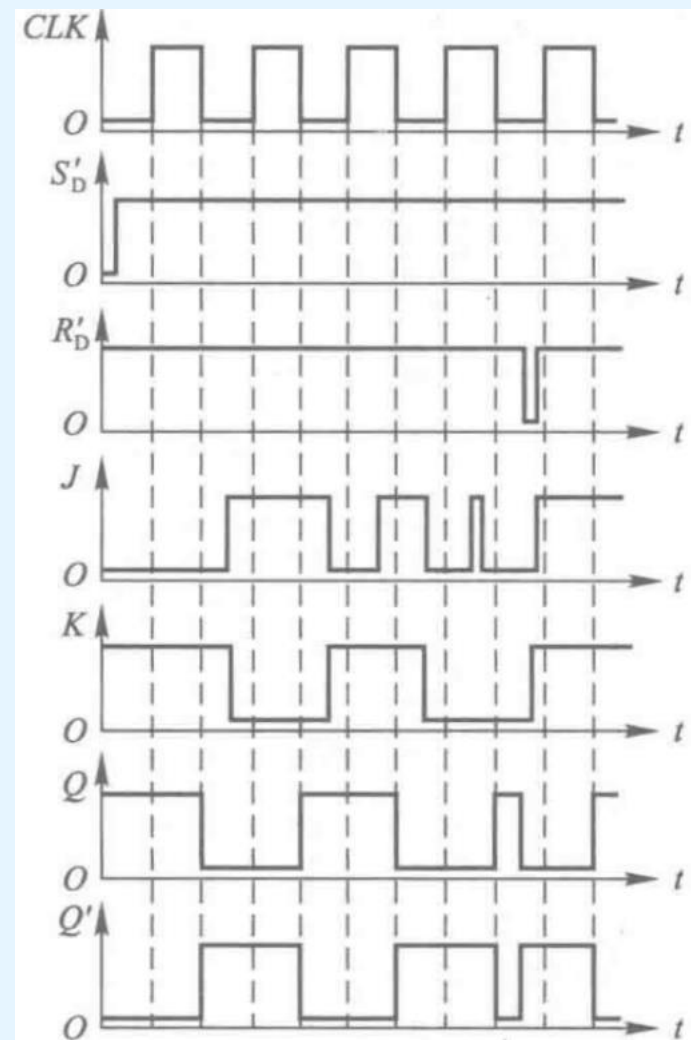
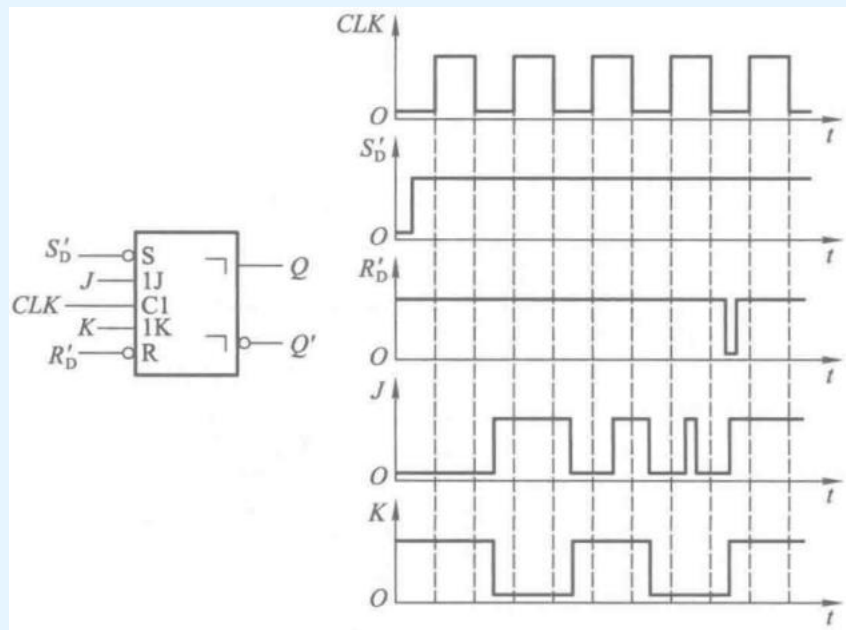


图 1(a)



重要问题——绘制波形图之JK 触发器一次翻转

若脉冲触发 JK 触发器 CLK 、 R'_D 、 S'_D J 、 K 端的电压波形如图所示，试画出 Q 、 Q' 端对应的电压波形。



06

往年期末试卷解析

2015-2016期末试卷解析

一、填空题（每空 1 分，共 18 分）

1. 十进制数 95.73 对应的 8421BCD 码为 10010101.01110011
2. 逻辑函数式中的无关项是 约束 项和 任意 项的统称。
3. 触发器按触发方式可分为 电平触发 触发器、边沿触发 触发器和 脉冲触发 触发器；其中 边沿触发 触发器抗干扰能力最强。
4. 函数 $F = AB + BC + AC$ 和 $G = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$ 之间的逻辑关系是 $F = G'$
5. 单稳态触发器的主要用途是 整形、定时、延时 噪声消除
6. 若 A 是逻辑变量，则 $A \oplus 1 = \underline{A'}$
7. 256K×16 位的 RAM 芯片，其地址线是 18 条，数据线是 16 条。

8×2^{10}

第 1 页，共 6 页

8. 石英晶体多谐振荡器的输出脉冲频率取决于 石英晶体的固有谐振频率。
9. 三态门能够输出的三种状态是 高电平、低电平 和 高阻态。

二、简答题（共 50 分）

1. (6 分) 将十进制数 465.375 转换为二进制数和十六进制数。

$$(111010001.001)_2$$

$$(1D1.6)_{16}$$

2. (6 分) 用公式化简法将函数 $F = ((XY)'((X \oplus Y)Z))'$ 化简为最简与或式

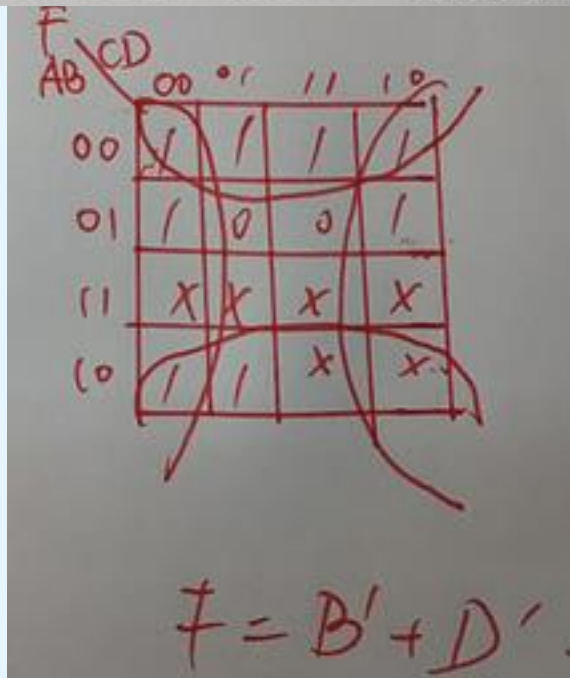
$$\begin{aligned} F &= XY + (X \oplus Y)Z \\ &= XY + XY'Z + X'YZ \\ &= X(Y + Y'Z) + Y(X + X'Z) \\ &= X(Y + Z) + Y(X + Z) = XY + XZ + YZ \end{aligned}$$

3. (6 分) 试用卡诺图法将下列函数化简为最简与或式

2015-2016期末试卷解析

3. (6分) 试用卡诺图法将下列函数化简为最简与或式

$$F = A'D' + AB'C' + B'C'D + A'B'D, \quad \text{约束条件: } AB + AC = 0$$

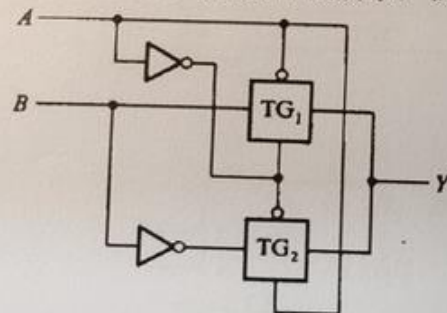


4. (6分) 什么是组合逻辑电路中的竞争—冒险现象？有哪些方法可以消除竞争—冒险现象？

门电路的两个输入信号同时向相反的逻辑电平跳变
竞争冒险：由于竞争而在输入端可能产生尖峰脉冲的现象

接入滤波电容：引入延迟脉冲，但修改逻辑设计

5. (6分) CMOS 电路如下图所示，试分析其功能。



A为控制信号：

A = 0 时 TG₁ 导通 TG₂ 截止 Y = B

A = 1 时 TG₂ 导通 TG₁ 截止 Y = B'

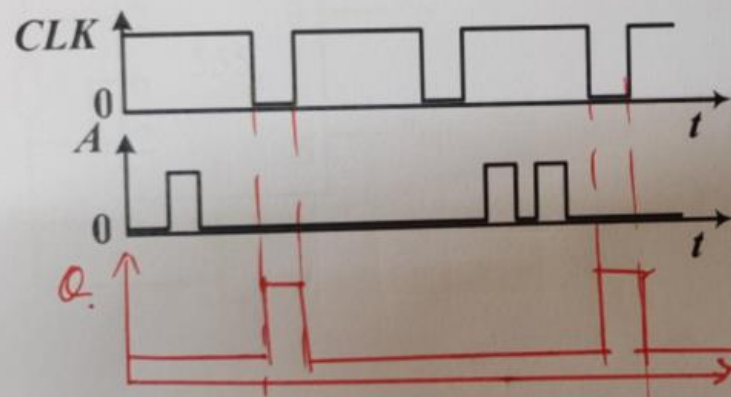
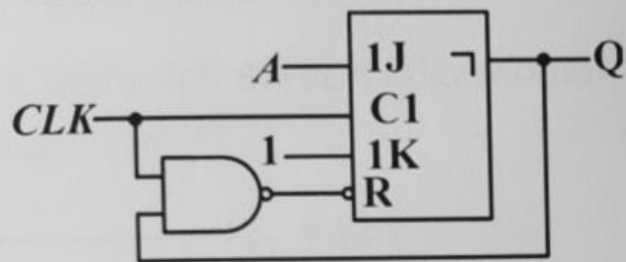
列真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$$Y = A \oplus B$$

2015-2016期末试卷解析

6. (6分) 如图所示的主从 JK 触发器电路中, 已知 CLK 和 A 的电压波形如图所示, 试画出 Q 端对应的电压波形。设触发器的初始状态为 $Q=0$ 。

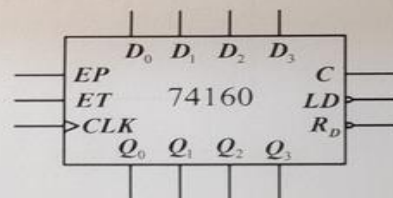


2015-2016期末试卷解析

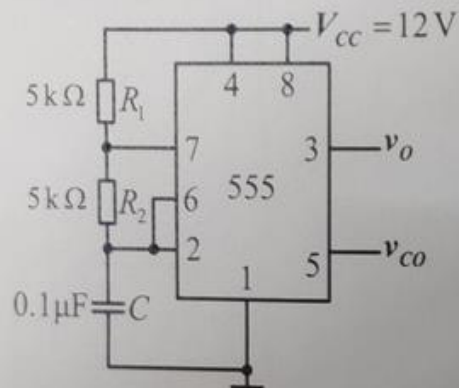
7. (8 分) 用置数法将两片 74160 (同步 10 进制计数器) 接成 37 进制计数器。
74160 的功能表如下表所示, 74160 的框图如下图所示。

CLK	R_D'	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C = 0$)
↑	1	1	1	1	计数

74160 功能表



8. (6 分) 如下图所示为用 555 定时器接成的电路, v_{co} 为输入, v_o 为输出, 试分析该电路功能。



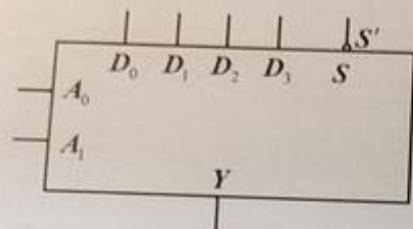
$$T = \left(C_m \frac{12 - 0.5V_{co}}{12 - V_{co}} + 0.5 \ln 2 \right) ms$$

单稳态电路

2015-2016期末试卷解析

1. (14分) 设 A、B、C 为保密锁的 3 个按键，当 A 键单独按下时，锁既不打开也不报警；只有当 A、B、C 或者 A、B 或者 A、C 分别同时按下时，锁才能被打开，当不符合上述组合状态时，将发出报警信息，请设计此保密锁的逻辑电路。

(1) 求该逻辑电路的最简与或式；(2) 用与非门实现该电路；(3) 用 4 选 1 的数据选择器实现该电路。4 选 1 数据选择器的框图如下图所示，在 $S' = 0$ 时输出的逻辑函数式为： $Y = A_1 A_0 D_0 + A_1 A_0 D_1 + A_1 A_0 D_2 + A_1 A_0 D_3$ 。



(1) A, B, C 为 1 表示按下，0 表示未按下。

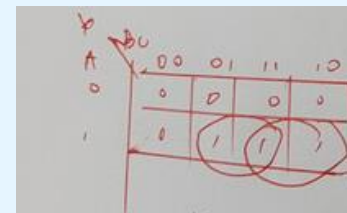
A	B	C	Y	Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

$Y=1$ 表示开锁 $Z=1$ 表示报警
 $Y=0 \dots Z=0 \dots$

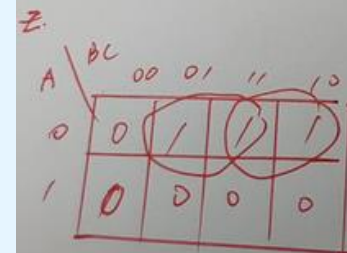
$$Y = ((AB)'(AC)')'$$

$$Z = ((A'B)'(A'C)')'$$

(3) 2 个 4 选 1



$$Y = AB + AC$$



$$Z = A'B + A'C$$

$$Y = A'B' \cdot 0 + A'B \cdot 0 + AB'C + AB \cdot 1$$

$$A_1 = A \quad A_0 = B \quad D_0 = D_1 = 0 \quad D_2 = C \quad D_3 = 1$$

$$Z = A'B'C + A'B \cdot 1 + AB' \cdot 0 + AB \cdot 0$$

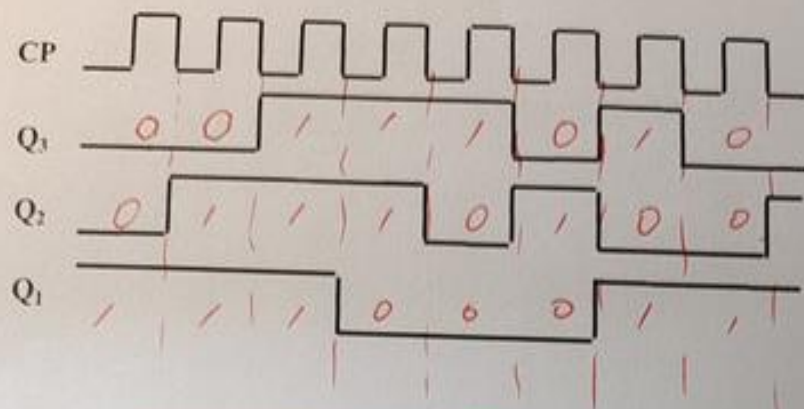
第 5 页，共 6 页

$$A_1 = A \quad A_0 = B \quad D_0 = C \quad D_1 = 1 \quad D_2 = D_3 = 0$$

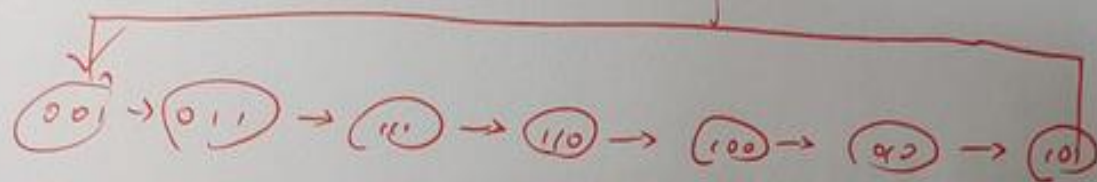
2015-2016期末试卷解析

2. (18 分) 某计数器的输出波形如下图所示。

(1) 试确定该计数器的计数循环中有几个状态？(2) 列出状态转换表、画出状态转换图。(3) 若使用 D 触发器实现该计数器，写出驱动方程。(4) 画出计数器电路图。



(1) /



7 个状态.

Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*
0	0	1	x	x	x
0	1	1	0	1	1
1	1	1	1	0	1
1	1	0	1	1	1
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	1	1	0

(3). $D_0 = Q_2$ $D_2 = Q_3'Q_2' + Q_2'Q_1' + Q_2Q_1$

$D_1 = Q_3' + Q_2'Q_1$

注意: 下降沿动作: 正脉冲. 触发...
下降沿. 触发...

第 6 页, 共 6 页

2019-2020期末试卷解析

一、简答题（每题 8 分，共 40 分）

1. 求逻辑函数式 $Y = (A+B+C)(A'+B+C')(A+C'+D')(A'+D)(B+C+D')$ 的最简与或式。

法一: $Y' = A'B'C' + AB'C + A'CD + AD' + B'C'D \Rightarrow$

$Y = A'BC' + ABD + A'CD' \quad 2'$

3'

AB \ CD	00	01	11	10
00	1	1	1	0
01	0	0	1	0
11	1	0	0	1
10	1	1	1	1

3'

法二: $A+B+C \Rightarrow 000 \underline{01} \Rightarrow 0, 1$ $A'+D \Rightarrow 1 \underline{01} \underline{01} 0 \Rightarrow 8, 10, 12, 14$
 $A'+B'+C' \Rightarrow 001 \underline{01} \Rightarrow 10, 11$ $B+C+D' \Rightarrow \underline{01} 001 \Rightarrow 1, 9$
 $A+B+C'+D' \Rightarrow 0 \underline{01} 11 \Rightarrow 3, 7 \Rightarrow Y = \sum m(0, 1, 3, 7, 8, 9, 10, 11, 12, 14)$

2. 电路如图 1(a)所示。试对应图 1(b)所示时钟信号 CLK_1 和 CLK_2 的波形，画出输出

Q_0 、 Q_1 、 Q_2 和 Y 的波形，设触发器的初始状态均为 0。

$= \sum m(2, 4, 5, 6, 13, 15)$

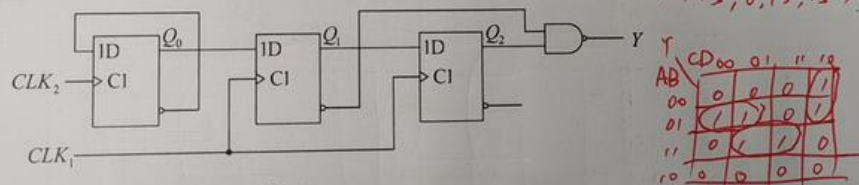


图 1(a)

Y

AB \ CD	00	01	11	10
00	0	0	0	1
01	1	1	0	1
11	0	0	1	0
10	0	0	0	0

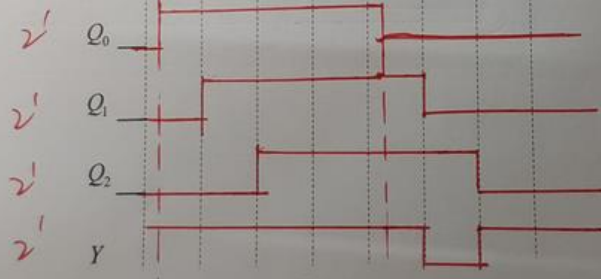
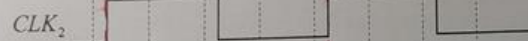
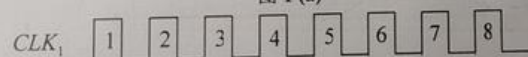


图 1(b)

$Y = A'BC' + ABD + A'CD'$

2019-2020期末试卷解析

3. 图 2 中门电路均为 CMOS 逻辑门, (1) 求输出 F 的逻辑函数式; (2) 用与非门实现该逻辑电路。

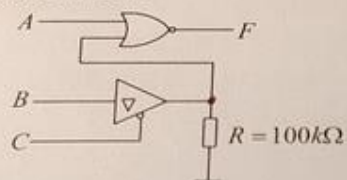
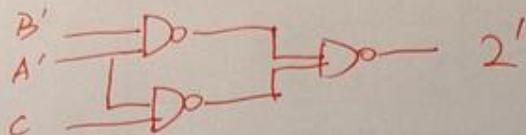


图 2

$$\begin{aligned} F &= (A+B) \cdot C' + A'B'C \\ &= A'B' + A'C \\ &= ((A'B')'(A'C)')' \quad 2' \end{aligned}$$



4. 电路如图 3(a)所示, 集成电路 74121 是不可重复触发型的单稳态电路, 内置电阻 $R_{int} = 1.8k\Omega$ 。已知 $C_1 = 0.8\mu F$, $C_2 = 0.1\mu F$, $R_2 = 29k\Omega$ 。(1) 计算在触发信号作用下两芯片输出脉冲的宽度; (2) 已知 v_I 的波形如图 3(b)所示, 画出 v_{O1} 和 v_{O2} 的波形。

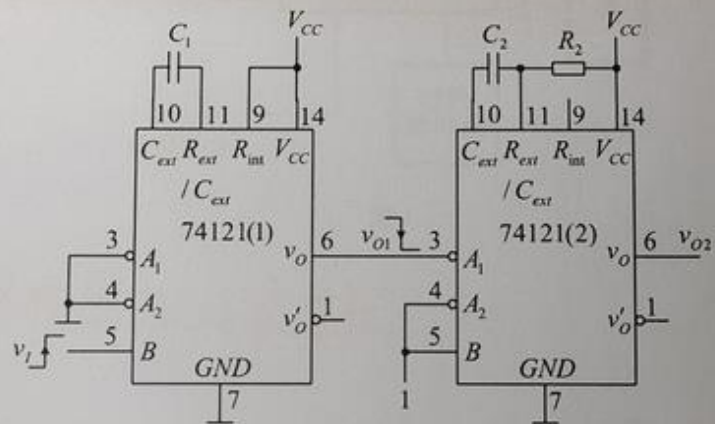


图 3(a)

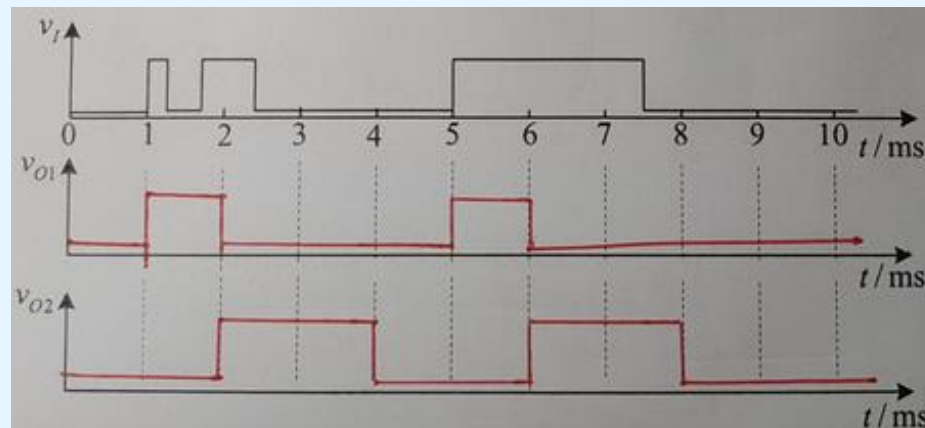


图 3(b)

$$\begin{aligned} t_{w1} &= 0.69 R_{int} C_1 = 0.69 \times 1.8 \times 10^3 \times 0.8 \times 10^{-6} = 1 \text{ ms} \quad 2' \\ t_{w2} &= 0.69 R_2 C_2 = 0.69 \times 29 \times 10^3 \times 0.1 \times 10^{-6} = 2 \text{ ms} \quad 2' \end{aligned}$$

2019-2020期末试卷解析

5. 双积分型 A/D 转换器电路框图如图 4 所示, 求: (1) 衡量该电路性能的最重要两个指标是什么? (2) 根据电路工作原理, 推导数字量输出 D 与模拟输入 v_I 的关系式 (注: 第一次积分时间为 T_1 , 时钟脉冲源的周期为 T_C); (3) 若计数器为 8 位二进制, 时钟脉冲源频率为 20kHz, 计算转换器的最大转换时间是多少?

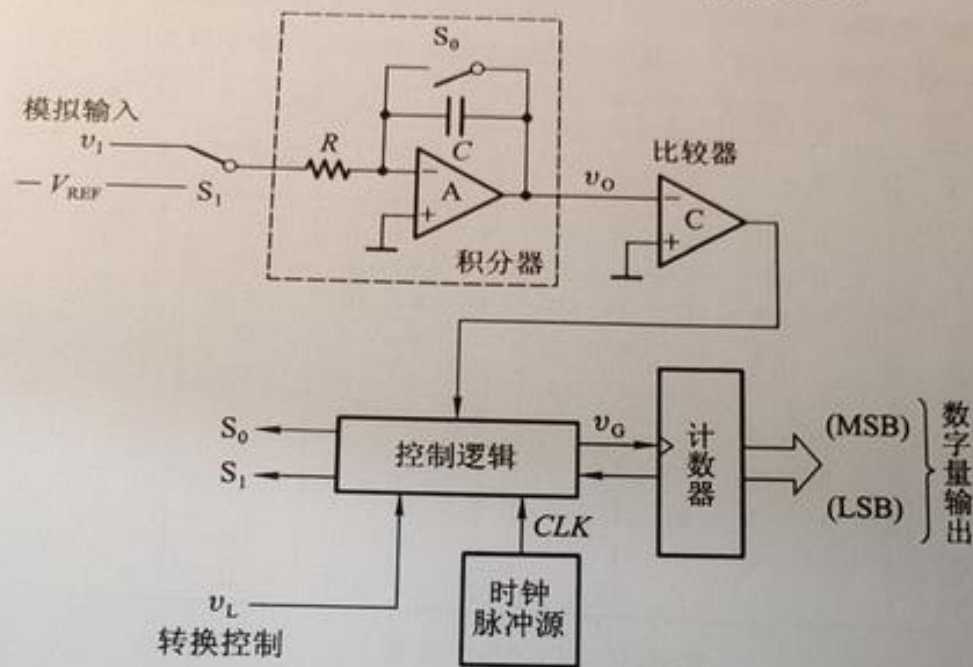


图 4

1) 转换精度和转换速度 2'

(2) 第一次积分:
$$v_O = \frac{1}{C} \int_0^{T_1} -\frac{v_I}{R} dt = -\frac{T_1}{RC} v_I \quad 1'$$

第二次积分:
$$v_O = \frac{1}{C} \int_0^{T_2} \frac{V_{REF}}{R} dt - \frac{T_1}{RC} v_I = 0 \quad 1'$$

$$\Rightarrow T_2 = \frac{T_1}{V_{REF}} \cdot v_I \quad 1'$$

$$\Rightarrow D = \frac{T_2}{T_C} = \frac{T_1}{T_C \cdot V_{REF}} \cdot v_I = \frac{N}{V_{REF}} \cdot v_I \quad \left(\text{令 } T_1 = N T_C \right) \quad 1'$$

2) 最大转换时间:
$$2^{n+1} \cdot T_C = \frac{2^9}{20 \times 10^3} = 25.6 \text{ ms} \quad 2'$$

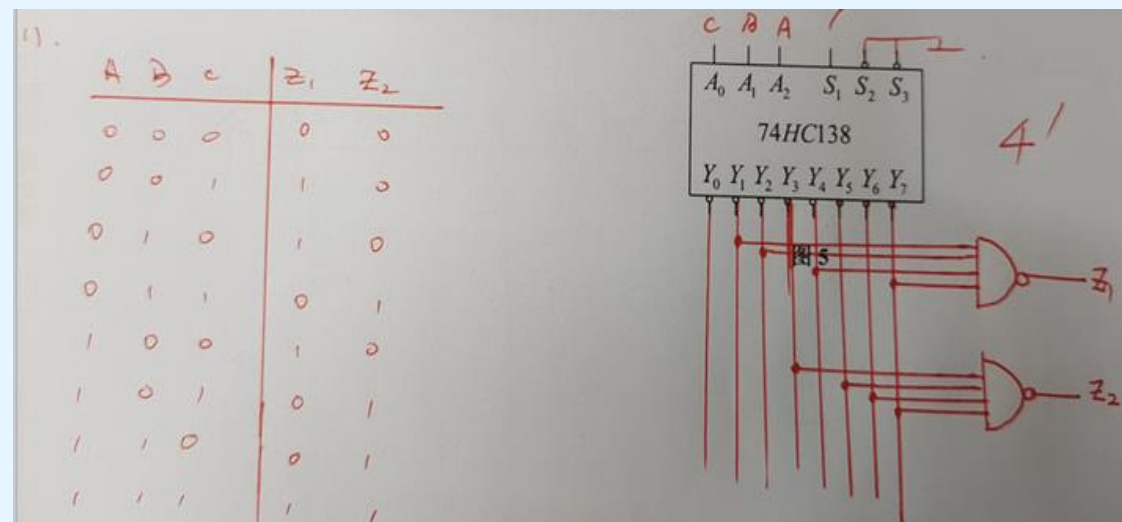
2019-2020期末试卷解析

二 (14 分) 某实验室用两个灯显示三台设备 (A、B、C) 的故障情况, 当一台设备有故障时黄灯 (Z_1) 亮, 两台设备有故障时红灯 (Z_2) 亮, 三台设备同时有故障时黄、红灯都亮。设计一逻辑电路实现以上功能。(注: 设备有故障用“1”表示, 无故障用“0”表示; 灯亮用“1”表示, 灯灭用“0”表示)

(1) 列出真值表, 求输出的逻辑函数式; (2) 用 3 线-8 线译码器 74HC138 和门电路实现该逻辑电路。74HC138 的功能如表 1 所示, 图 5 为 74HC138 的框图。

输 入					输 出							
S_1	$S_2 + S_3$	A_2	A_1	A_0	Y_0'	Y_1'	Y_2'	Y_3'	Y_4'	Y_5'	Y_6'	Y_7'
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

表 1 74HC138 的功能表



$$Z_1 = A'B'C + A'BC' + AB'C' + ABC'$$

$$= (m_1 m_2 m_4 m_7)'$$

$$Z_2 = A'BC + AB'C + ABC' + ABC$$

$$= (m_3 m_5 m_6 m_7)'$$

2019-2020期末试卷解析

三 (14 分) 电路如图 6 所示, 分析由 DFF、JKFF 和 TFF 组成的时序电路。求电路的驱动方程和状态方程, 列出状态转换表, 画出时序图, 说明电路的功能。

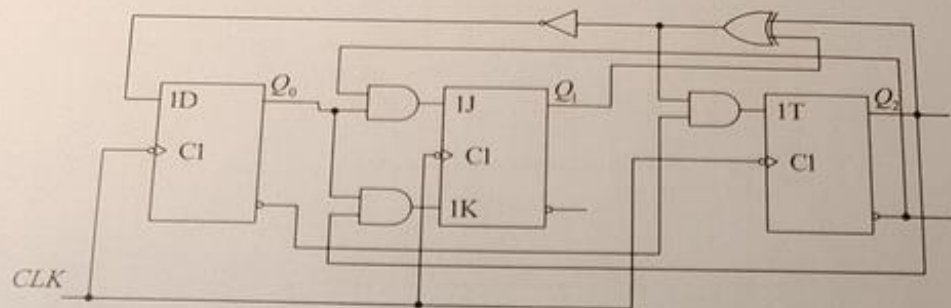


图 6

6'

(1) $D_0 = (Q_2 \oplus Q_1)'$ $Q_0^* = D_0 = Q_2 Q_1 + Q_2' Q_1'$

$J_1 = Q_2' Q_0$ $K_1 = Q_2 Q_0$ $Q_1^* = Q_1 J_1 + K_1' Q_1' = Q_2' Q_0 + Q_2 Q_0'$

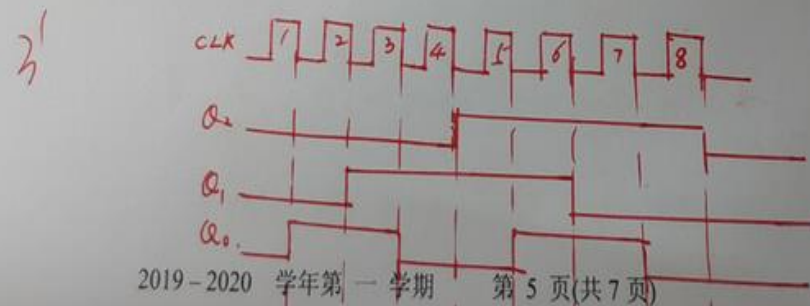
$T_2 = (Q_2 \oplus Q_1) \cdot Q_0'$ $Q_2^* = T_2 \oplus Q_2 = Q_2 Q_0 + Q_1 Q_0'$

(2).

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	0	1

功能: 八进制计数器

(3). 注意触发方式:



2019-2020 学年第一 学期 第 5 页 (共 7 页)

2019-2020期末试卷解析

四 (14 分) 分析图 7 所示电路在 $M=0$ 和 $M=1$ 时各为几进制计数器，画出电路完整的状态转换图。4 位同步二进制计数器 74161 的功能如表 2 所示。

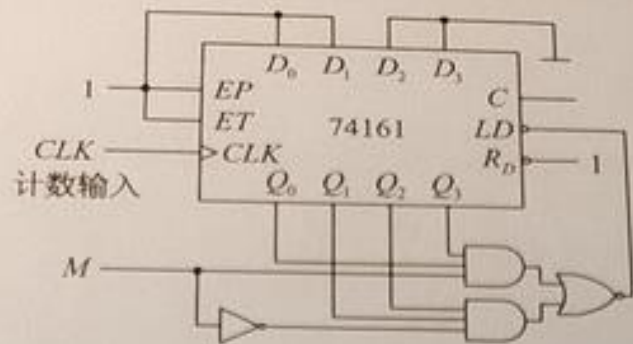
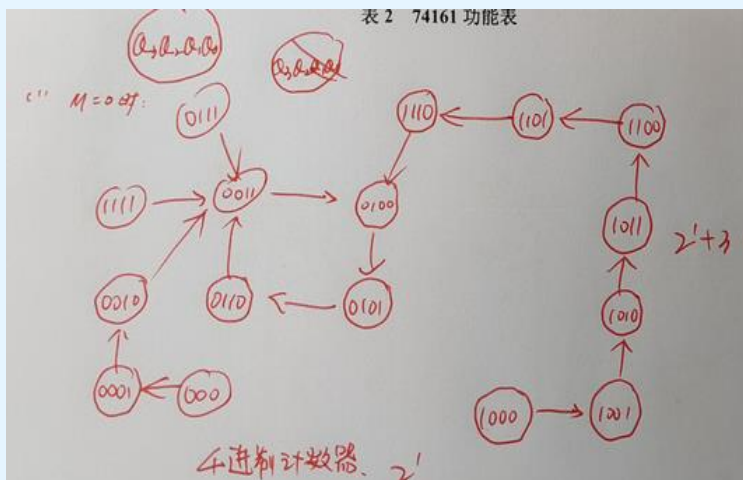


图 7

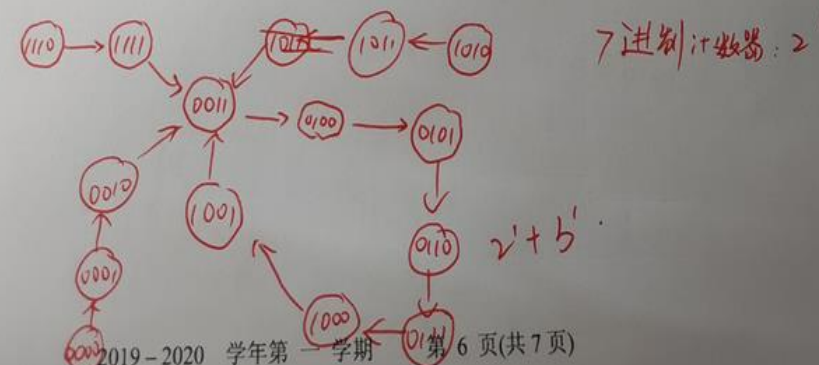
CLK	R_D'	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C=0$)
↑	1	1	1	1	计数

表 2 74161 功能表

表 2 74161 功能表



(2). $M=1$ 时:



2019-2020期末试卷解析

五 (18 分) 用 JK 触发器和门电路设计一个带有进位输出端的 5211BCD 码计数器, 它的状态转换图如图 8 所示。(1) 求电路的状态方程、输出方程和驱动方程; (2) 画出逻辑图。

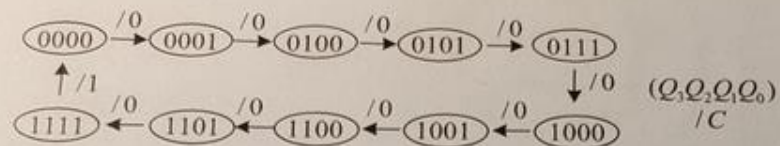
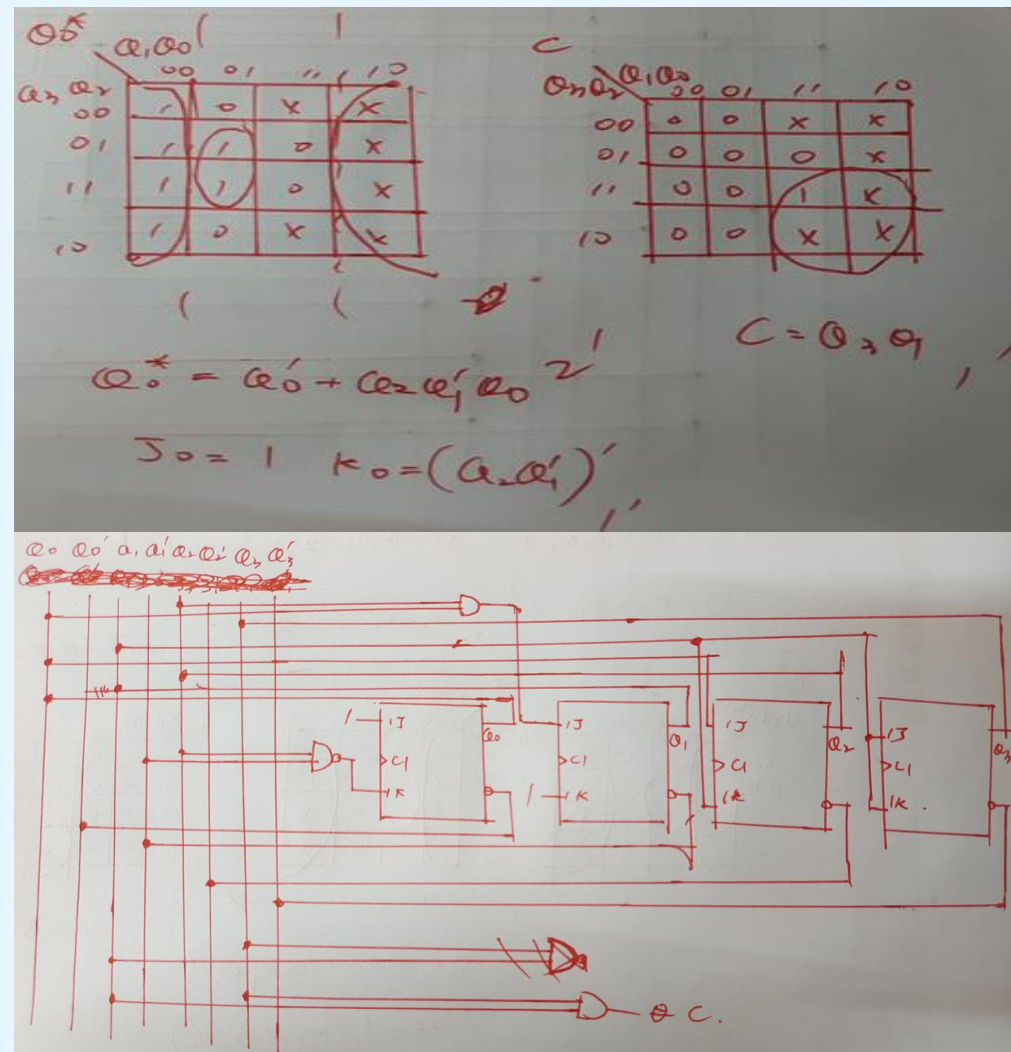
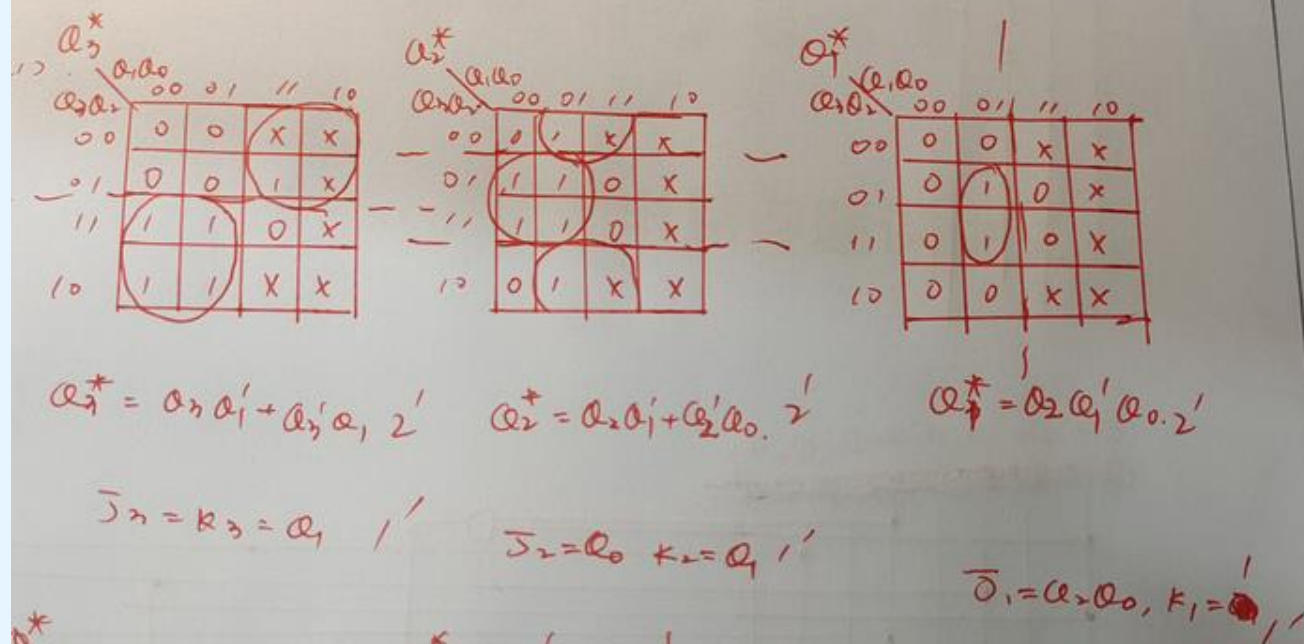


图 8



谢谢！



中国科学技术大学
University of Science and Technology of China