“数字逻辑电路”几十问

提纲拟定：秦老师

题目补充：jefice

一、是否已掌握十进制与二进制之间的相互转换？包括整数部分和小数部分

【数制转换】

1.二进制转十进制$(101.011)_2$

(1) $(\mathbf{101.011})_2 = \mathbf{1}\times2^2+\mathbf{0}\times2^1+\mathbf{1}\times2^0+\mathbf{0}\times2^{-1}+\mathbf{1}\times2^{-2}+\mathbf{1}\times2^{-3}$

$= 5.375$

2.十进制转二进制、十六进制$(188.875)_{10}$

$$
\begin{array}{r|l}
2 & 188 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{0} = k_0 \\
2 & 94 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{0} = k_1 \\
2 & 47 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{1} = k_2 \\
2 & 23 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{1} = k_3 \\
2 & 11 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{1} = k_4 \\
2 & 5 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{1} = k_5 \\
2 & 2 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{0} = k_6 \\
2 & 1 \quad \cdots\cdots\cdots\cdots 余数 = \mathbf{1} = k_7 \\
 & 0
\end{array}
\qquad
\begin{array}{l}
0.875 \\
\times \quad 2 \\
\hline
1.750 \cdots\cdots\cdots\cdots 整数部分 = \mathbf{1} = k_{-1} \\
0.750 \\
\times \quad 2 \\
\hline
1.500 \cdots\cdots\cdots\cdots 整数部分 = \mathbf{1} = k_{-2} \\
0.500 \\
\times \quad 2 \\
\hline
1.000 \cdots\cdots\cdots\cdots 整数部分 = \mathbf{1} = k_{-3} \\
0.000 \\
\times \quad 2 \\
\hline
0.000 \cdots\cdots\cdots\cdots 整数部分 = \mathbf{0} = k_{-4}
\end{array}
$$

故得到$(188.875)_{10} = (\mathbf{10111100.1110})_2$。再转换为十六进制，得到

$$
\begin{array}{c}
(\mathbf{1011\ 1100.1110})_2 \\
\downarrow \quad \downarrow \quad \downarrow \\
=(\ \mathrm{B} \quad \mathrm{C.} \quad \mathrm{E}\ )_{16}
\end{array}
$$

3.二进制转八进制、十六进制$(101100.110011)_2$

$$
\begin{array}{c}
(\mathbf{101100.110011})_2 \\
\downarrow \\
(\ \mathbf{101\ 100.\ 110\ 011}\ )_2 \\
\downarrow \quad \downarrow \quad \downarrow \quad \downarrow \\
(\ 5 \quad 4. \quad 6 \quad 3\ )_8
\end{array}
\qquad
\begin{array}{c}
(\mathbf{101100.110011})_2 \\
\downarrow \\
(\ \mathbf{0010\ \ 1100.\ \ 1100\ \ 1100}\ )_2 \\
\downarrow \quad \downarrow \\
(\ 2 \quad \mathrm{C.} \quad \mathrm{C} \quad \mathrm{C}\ )_{16}
\end{array}
$$

4.十六进制转二进制$(3D.BE)_{16}$

$$
\begin{array}{c}
(\ 3 \quad \mathrm{D.} \quad \mathrm{B} \quad \mathrm{E}\ )_{16} \\
\downarrow \quad \downarrow \quad \downarrow \quad \downarrow \\
(\ \mathbf{0011\ \ 1101.\ \ 1011\ \ 1110}\ )_2
\end{array}
$$

二、为什么要用补码？怎么把原码变补码？会用补码进行运算吗？

【码制转换】

1.原码：二进制数位加一个符号位

补码：正数不变，负数用相同位数的$(11\cdots1)_2$去减

反码：正数不变，负数直接每位取反

意即：正数：$N = N_{COMP} = N_{INV}$　负数：N_{INV}为N每位取反，$N_{COMP} = N_{INV} + 1$

注：符号位只在最后加上

使用补码的原因：减一个数可以通过用加上该数的补码来实现，方便使用计算机实现

2.以下用补码表示，写出结果（负数用绝对值表示）

00011110+10011100=10111010

符号位为1，负数，反码10111001，原码01000110，结果1000110

3.补码运算以下式子
(1)20-25
写出原码010100 111001
相减，不用考虑补位0
补码010100+100111=111011
取补码，111011->100100->100101(-5)
(2)-12-5
写出原码11100 10101
相加，考虑部位，绝对值相加溢出！
补位0
原码101100 100101
补码110100+111011=101111
超出的一位舍弃
求补码，101111->110000->110001(-17)

三、为什么要用格雷码？会不会写出任意位的格雷码？

【编码转换】
1.8421码、2421码、5211码
余3码（即8421码取3到12对应）、余3循环码（即格雷码取3到12对应）

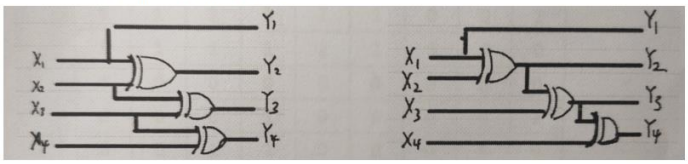
2.格雷码
特点：每一位的状态变化都按一定的顺序循环；相邻代码只有一位改变状态
优点：减少过渡噪声

编码顺序	二进制代码	格雷码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

3.9对应的各种编码为：
8421码：1001
2421码：1111　　5211码：1111
余3码：1100　　格雷码：1101　　余3循环码：1010

4.8421码转格雷码如何操作？

- 用与非门和异或门设计一可逆的4位码制变换器。
  - 设计要求：
    （1）在控制信号 C = 1 时，它将8421码转换为格雷码；C=0时，它将格雷码转换为8421码；
    （2）写出设计步骤，列出码变换真值表并画出逻辑图。
  - 分析问题：
    - 先研究8421码和格雷码之间的转换原则，设输入变量为x1、x2、x3、x4，输出变量为Y1、Y2、Y3、Y4.
    - 存在关系：当 C = 1 时，Y1 = X1，Y2 = X1 ⊕ X2，Y3 = X2 ⊕ X3，Y4 = X3 ⊕ X4
    - 当 C = 0 时，Y1 = X1 ， Y2 = X1 ⊕ X2，Y3 = X1 ⊕ X2 ⊕ X3，Y4= X1⊕ X2⊕X3⊕X4
    - 整理正向逆向转换各自的逻辑图



    - 观察可见两逻辑图非常相似，因而通过与非门和控制信号C的接入整理电路结构，从而实现可逆的效果。
  - 选用3个异或门和两个与非门，实现电路：

（1）8421码->格雷码：
某位等于这一位与其更高一位作异或运算
　例：9:1001　零位：1，一位：1，二位：0，三位：1，因此格雷码：1101
（2）格雷码->8421码

某位等于这一位与比其高的所有位作异或运算

例：9:1101　零位：1，一位：0，二位：1，三位：1，因此8421码：1001

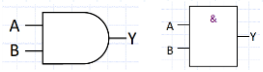
四、三种基本逻辑运算和五种复合逻辑运算的图形符号和逻辑符号是否已经熟练掌握？

【基本逻辑运算、复合逻辑运算】

1.与、或、非

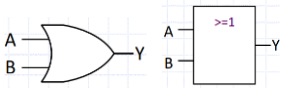
（1）与

✓ $Y=A$ AND B $=A\&B=A\cdot B=AB$



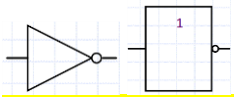
（2）或

✓ $Y=A$ OR B $=A+B$



（3）非

✓ $Y=A'=$ NOT A



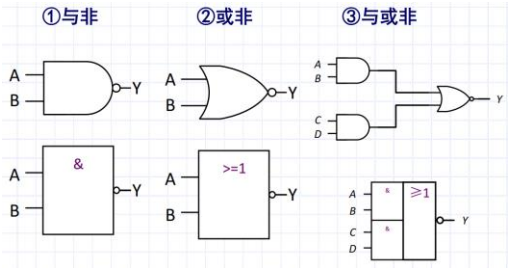
注：各种电路图里的小圈表示的含义：

输入：对于门电路是作一次非运算，也可以理解为低电平有效，对芯片是输入低电平有效

输出：对于门电路是作一次非运算，对于集成电路是输出低电平有效

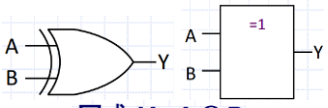
即：信号端，是取反的作用；使能端，是低电平起作用

2.与非、或非、与或非

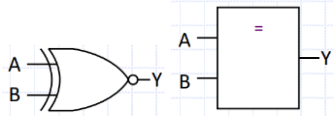


3.异或、同或

（1）异或 $Y=A\oplus B$



（2）同或 $Y=A\odot B$



五、布尔代数中的基本公式和常用公式是否已熟练掌握？如结合律、交换律、分配律、反演律吸收律、还原律、互补律等。

六、是否理解和熟练运用代入定理、反演定理和对偶定理？

七、是否能熟练将公式和定理熟练运用于公式化简？是否亲手做过几道化简题测试一下？

八、是否已熟练掌握逻辑关系多种表述方式之间的相互转换？如真值表与逻辑函数式的相互转换、逻辑图与逻辑函数、真值表与卡诺图等等。

九、是否已熟练掌握把任何形式逻辑函数式转换为“积之和”的标准形式？

十、是否已熟练掌握卡诺图的化简？包括有无关项的，多输出的。是否亲手做过几道题测试一

下?

十一、是否已熟练掌握逻辑函数形式的变换，如标准与或式转换为与非-与非、或非-或非等形式。

【逻辑函数的化简】

1.基本公式、常用公式

与常数0、1有关的

		10	$1' = 0;\ 0' = 1$
1	$0A = 0$	11	$1 + A = 1$
2	$1A = A$	12	$0 + A = A$
3	$AA = A$	13	$A + A = A$
4	$AA' = 0$	14	$A + A' = 1$

交换律

5	$AB = BA$	15	$A + B = B + A$

结合律

6	$A(BC) = (AB)C$	16	$A + (B + C) = (A + B) + C$

分配律

7	$A(B + C) = AB + AC$	17	$A + BC = (A + B)(A + C)$

反演律

8	$(AB)' = A' + B'$	18	$(A + B)' = A'B'$	9	$(A')' = A$

吸收律

21	$A + AB = A$
22	$A + A'B = A + B$
23	$AB + AB' = A$
24	$A(A + B) = A$
25	$AB + A'C + BC = AB + A'C$ $AB + A'C + BCD = AB + A'C$
26	$A(AB)' = AB'$; $A'(AB)' = A'$

还原律

互补律

2.证明布尔恒等式的方法：真值表法、公式化简法、对偶定理

3.代入定理

4.反演定理

$\bullet \Rightarrow +,\quad + \Rightarrow \bullet,\quad 0 \Rightarrow 1,\quad 1 \Rightarrow 0,$

原变量 ⇒ 反变量

反变量 ⇒ 原变量

5.对偶定理

若两个逻辑式相等，则它们的对偶式也相等

对偶式的定义：

$\bullet \Rightarrow +,\quad + \Rightarrow \bullet,\quad 0 \Rightarrow 1,\quad 1 \Rightarrow 0$

6.逻辑式化简：卡诺图化简一边最佳（公式法化简个人常用配项法）

（1） $AB` + B + A`B = A + B$

$$AB` + B + A`B = AB` + B(A + A`) + A`B = AB` + AB + AB + A`B = A + B$$

（2） $AB + A`C + BC = AB + A`C$

$$AB + A`C + BC = AB + A`C + BC(A + A`) = AB + ABC + A`C + A`BC = AB + A`C$$

（3） $\left((A + B + C`)`C`D`\right)` + (B + C`)(AB`D + B`C`) = 1$

$$(A + B + C`)`C`D` = A`B`CC`D` = 0$$

$$\left((A + B + C`)`C`D`\right)` = 1 \qquad 1 + E = 1$$

（4） $A`BC + (A + B`)C$

$$A`BC + (A + B`)C = (A`B + (A`B)`)C = C$$

（5） $AB`CD + ABD + AC`D$

$$AB`CD + ABD + AC`D = (B`C + B + C`)AD = AD(B`C + BC + BC` + B`C`) = AD$$

（6） $AB`(A`CD + (AD + B`C`)`)(A` + B)$

$$AB`\left(A`CD+\left(AD+B`C`\right)`\right)\left(A`+B\right)=\left(AA`B`+AB`B\right)\left(A`CD+\left(AD+B`C`\right)`\right)=0$$

（7）$AC+AC`D+AB`E`F+B(D\oplus E)+BC`DE`+BC`D`E+ABE`F$

$$AC+AC`D=A\left(C+C`D\right)=A\left(CD`+CD+C`D\right)=AC+AD$$

$$AB`E`F+ABE`F=AE`F$$

$$B(D\oplus E)+BC`DE`+BC`D`E=B(D\oplus E)+BC`(D\oplus E)=BDE`+BD`E$$

$$原式=AC+AD+AE`F+BDE`+BD`E$$

【逻辑函数的表示方式】

$$Y=F(X_1,X_2,\dots\dots X_n)$$

1.真值表
2.逻辑函数式
3.逻辑图（电路逻辑图）
4.波形图
5.卡诺图
6.EDA
7.各种表式方式的互相转化
（1）逻辑式->真值表
（2）真值表->逻辑式
最小项化简，卡诺图化简法最优
例:
【1】真值表

I3	I2	I1	I0	Y0	Y1	YS
X	X	X	1	0	0	1
X	X	1	0	0	1	1
X	1	0	0	1	0	1
1	0	0	0	1	1	1
0	0	0	0	1	1	0

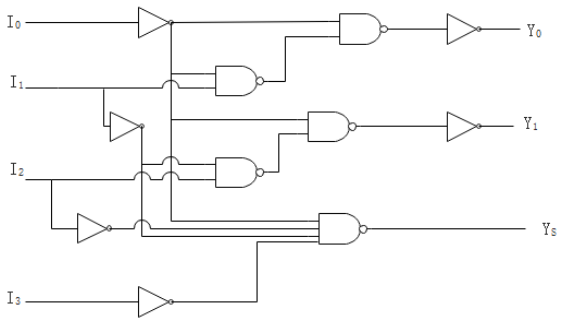
Y_S=0, 表示电路工作，无编码输入
【2】逻辑式

$$Y_S=(I_0`I_1`I_2`I_3`)`$$

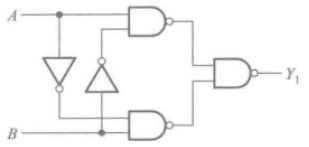
$$Y_0`=I_0+I_0`I_1=(I_0`(I_0`I_1)`)`$$

$$Y_1`=I_0+I_0`I_1`I_2=I_0+I_1`I_2=(I_0`(I_1`I_2)`)`$$

【3】逻辑电路图



（3）逻辑图->逻辑式



(a)

$$Y_1=((AB')'(A'B')')'=AB'+A'B=A\oplus B$$

（4）波形图->真值表->逻辑式
8.最小项m

（1）定义：m是乘积项

（2）特点

在输入变量任一取值下，有且仅有一个最小项的值为1。

全体最小项之和为1 。

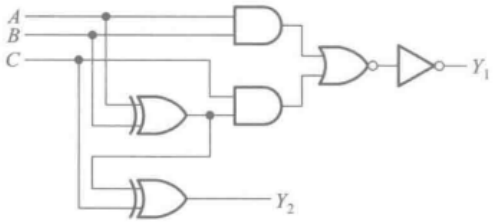
任何两个最小项之积为0 。

两个相邻的最小项之和可以合并，消去一对因子，只留下公共因子。

（3）相邻（逻辑相邻）的定义：仅一个变量不同的最小项

9.卡诺图化简法

（1）



（d）$Y_1=(((AB)+C(A\oplus B))')'=AB+C(A'B+AB')=AB+AC+BC$

$Y_2=(A\oplus B)\oplus C=(A\oplus B)C'+(A\oplus B)'C$

$=AB'C'+A'BC'+A'B'C+ABC$

对Y1，卡诺图

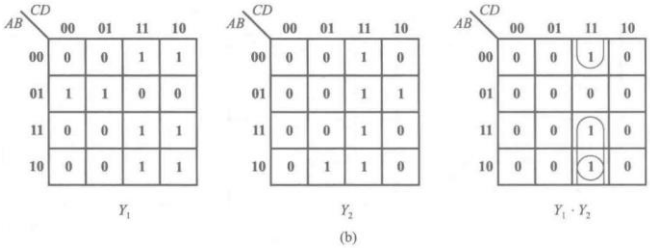
A\BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

化简结果：$AC+AB+BC$

（2）（2）$Y=(A'B'C+A'BC'+AC)(AB'C'D+A'BC+CD)$

（2）令 $Y_1=A'B'C+A'BC'+AC$，$Y_2=AB'C'D+A'BC+CD$，

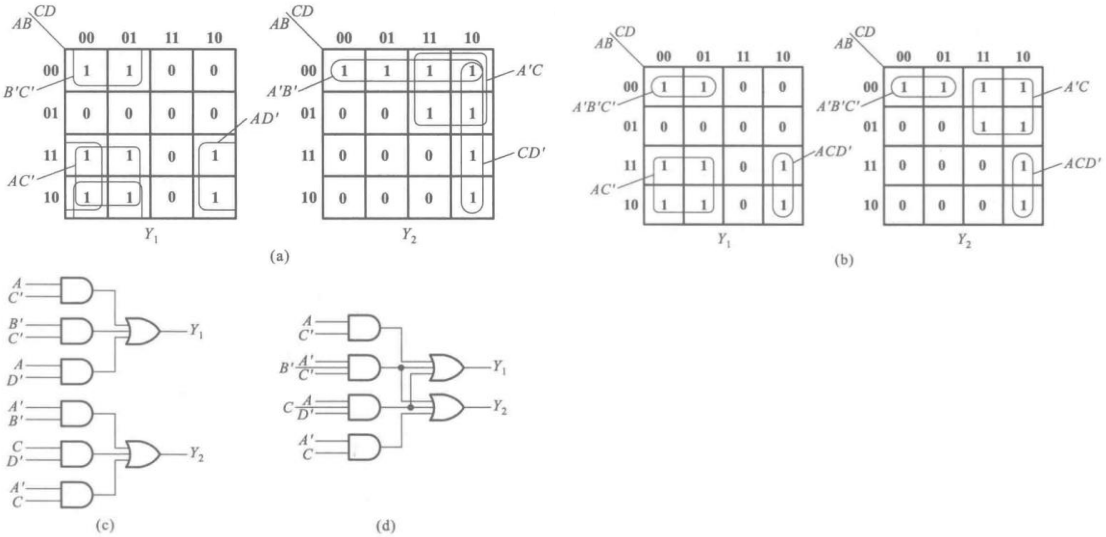
则 $Y_1\cdot Y_2=ACD+B'CD$［见图 A2.23(b)］



10.多输出变量化简（整体化简）

$Y_1(A,B,C,D)=\sum m(0,1,8,9,10,12,13,14)$

$Y_2(A,B,C,D)=\sum m(0,1,2,3,6,7,10,14)$



$Y_1(A,B,C,D)=AC'+B'C'+AD'$　　$Y_1(A,B,C,D)=AC'+A'B'C'+ACD'$

$Y_2(A,B,C,D)=A'B'+CD'+A'C$　　$Y_2(A,B,C,D)=A'C+A'B'C'+ACD'$

要点：卡诺图尽可能圈相同的圈

11.涉及无关项的卡诺图化简

（1）

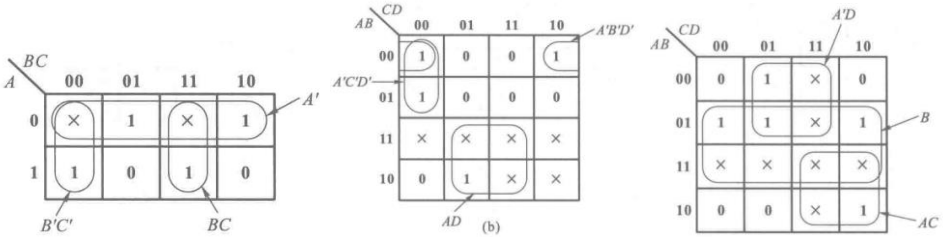
（1）$Y_1=AB'C'+ABC+A'B'C+A'BC'$

给定约束条件为 $A'B'C'+A'BC=0$

（2）$Y_2=(A+C+D)'+A'B'CD'+AB'C'D$，给定约束条件为 $AB'CD'+AB'CD+ABC'D'+ABC'D+ABCD'+ABCD=0$。

（3）$Y_3=CD'(A\oplus B)+A'BC'+A'C'D$，给定约束条件为 $AB+CD=0$。

根据约束条件绘出卡诺图



注：约束对应为0的表项，目标函数对应为1的表项，剩下的则为无关项

（1）$Y_1(A,B,C)=\sum m(1,2,4,7)+d(0,3)$

画出 Y_1 的卡诺图，如图 A2.20(a)。化简后得到

$$Y_1=A'+B'C'+BC$$

（2）$Y_2(A,B,C,D)=\sum m(0,2,4,9)+d(10,11,12,13,14,15)$

画出 Y_2 的卡诺图，如图 A2.20(b)。化简后得到

$$Y_2=A'B'D'+A'C'D'+AD$$

（3）$Y_3(A,B,C,D)=\sum m(1,4,5,6,10)+d(3,7,11,12,13,14,15)$

画出 Y_3 的卡诺图，如图 A2.20(c)。化简后得到

$$Y_3=B+A'D+AC$$

（2）

【题 2.21】 将下列具有无关项的逻辑函数化为最简的**与或**逻辑式。

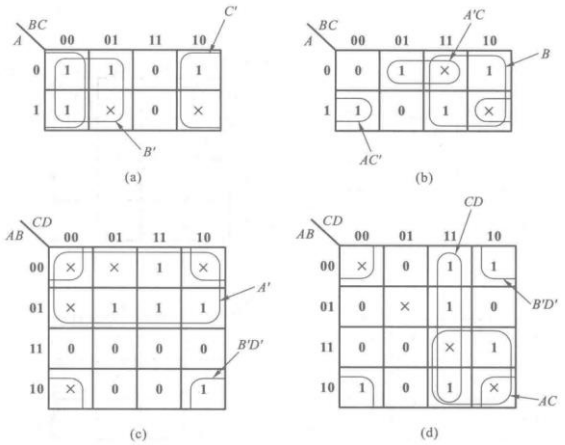
（1）$Y_1(A,B,C)=\sum m(0,1,2,4)+d(5,6)$

（2）$Y_2(A,B,C)=\sum m(1,2,4,7)+d(3,6)$

（3）$Y_3(A,B,C,D)=\sum m(3,5,6,7,10)+d(0,1,2,4,8)$

（4）$Y_4(A,B,C,D)=\sum m(2,3,7,8,11,14)+d(0,5,10,15)$

注：以 d 表示无关项，d 后面括号内的数字是无关项的最小项编号。



解： 画出 Y_1、Y_2、Y_3、Y_4 的卡诺图分别为图 A2.21(a)、(b)、(c)、(d)。化简后得到

$$Y_1=B'+C'$$

$$Y_2=B+A'C+AC'$$

$$Y_3=A'+B'D'$$

$$Y_4=AC+CD+B'D'$$

12.将表达式转换为只用与非、或非表示

转换准则:

✓与或 → 与非—与非

$$Y = AC + BC' = ((AC + BC')')' = ((AC)'(BC')')'$$

✓与或 → 与或非

$$Y = AC + BC' = \sum m(2,5,6,7)$$
$$\Rightarrow Y' = \sum m(0,1,3,4)$$
$$\Rightarrow Y = (Y')' = (A'B'C' + A'B'C + A'BC + AB'C')' = (A'C + B'C')'$$

✓与或 → 或非—或非

$$Y = (A'C + B'C')' = ((A + C')' + (B + C)')'$$

[题 2.26] 将下列逻辑函数式化为与非-与非形式,并画出全部由与非逻辑单元组成的逻辑电路图。

(1) $Y=AB+BC+AC$　　(2) $Y=(A'+B)(A+B')C+(BC)'$

(3) $Y=(ABC'+AB'C+A'BC)'$　　(4) $Y=A(BC)'+((AB')'+A'B'+BC)'$

[题 2.27] 将下列逻辑函数化为或非-或非形式,并画出全部用或非逻辑单元组成的逻辑电路图。

(1) $Y=AB'C+BC'$

(2) $Y=(A+C)(A'+B+C')(A'+B'+C)$

(3) $Y=(ABC'+B'C)'D'+A'B'D$

(4) $Y=((CD')'(BC)'(ABC)'D')'$

【1】与非

<1>$Y = AB + BC + AC = \left((AB + BC + AC)`\right)` = \left((AB)`(BC)`(AC)`\right)`$

<2>$Y = (A` + B)(A + B`)C + (BC)` = ((AB` + A`B + C`)(BC))` = (A`BC)`$

<3>$Y = (ABC` + AB`C + A`BC)` = \left(m_3 + m_5 + m_6\right)` = m_0 + m_1 + m_2 + m_4 + m_7$

卡诺图化简

A\BC	00	01	11	10
0	1	1	0	1
1	1	0	1	0

$$Y = A`B` + A`C` + B`C` + ABC = \left((A`B`)`(A`C`)`(B`C`)`(ABC)`\right)`$$

(4) $Y = A(BC)' + ((AB')' + A'B' + BC)'$

$= A(BC)' + AB' \cdot (A'B')' \cdot (BC)'$

$= A(BC)' = ((A \cdot (BC)')')'$

【3】与或非

<1>

$$Y = AB`C + BC` = \left((AB`C)`(BC`)`\right)` = ((A` + B + C`)(B` + C))` = (A`B` + A`C + BC + B`C`)`$$

卡诺图化简

A\BC	00	01	11	10
0	1	1	1	0
1	1	0	1	0

$$Y = (A`B` + A`C + B`C`)` = \left((A + B)` + (A + C`)` + (B + C)`\right)`$$

通用套路:

【1】与非:化成最简,然后整式作两次非

【2】与或非:直接套非化简里边

【3】或非:直接套非化简里边,最后将最小项套非

十二、是否会认识二极管构成的与门和或门电路?

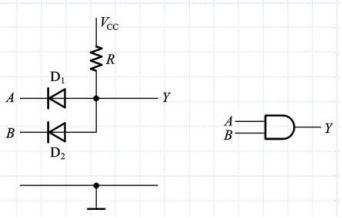
【二极管门电路】

1.正负逻辑:正逻辑——高电平为1,低电平为0

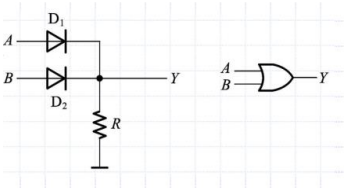
2.二极管的原理、传输特性

4.二极管的三种近似模型

5.二极管构成的门电路



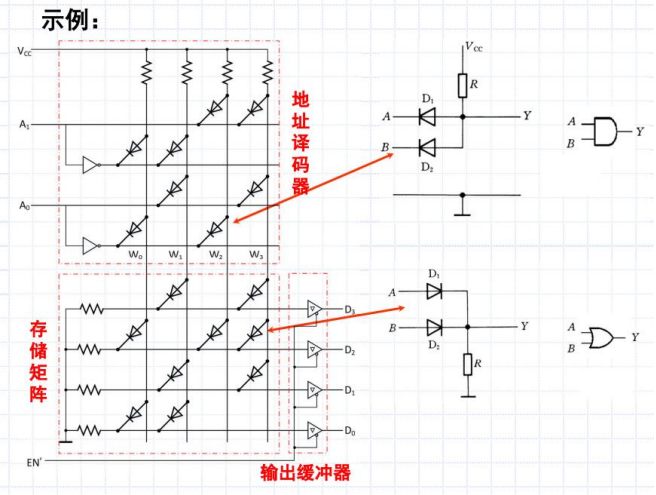
（与门）



（或门）

6.存储器中二极管构成的门电路

（地址译码器）　　（存储矩阵）



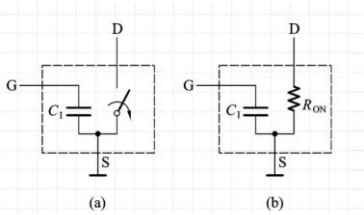
十三、给定一个 MOS 管构成的电路，是否能分析出其实现了什么逻辑功能？

十四、是否了解 CMOS 门电路的电压传输特性、输入输出特性？

【CMOS反相器】

1.MOS管的原理、输入特性、输出特性

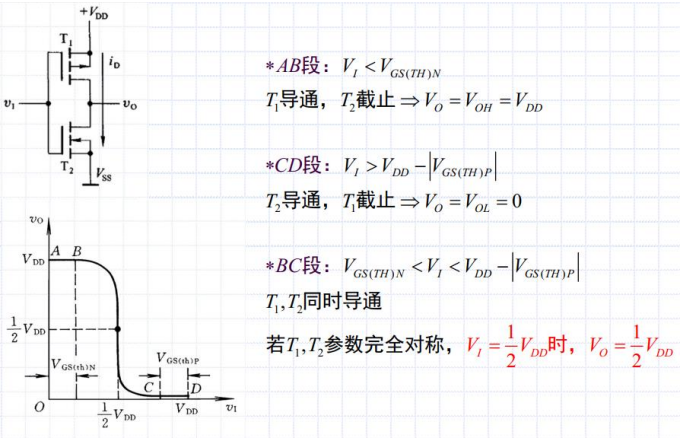
2.**MOS管的等效模型**



OFF：截止状态　　**ON：导通状态**　（输入大于V_{DD}时，截止；输入小于V_{DD}时，导通）

3.COMS反相器

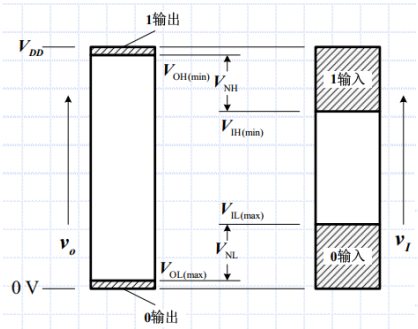
（1）电路结构、电压传输特性



（2）输入噪声容限

在V_I偏离V_{IH}和V_{IL}的一定范围内，V_O基本不变；

在输出变化允许范围内，允许输入的变化范围称为输入噪声容限

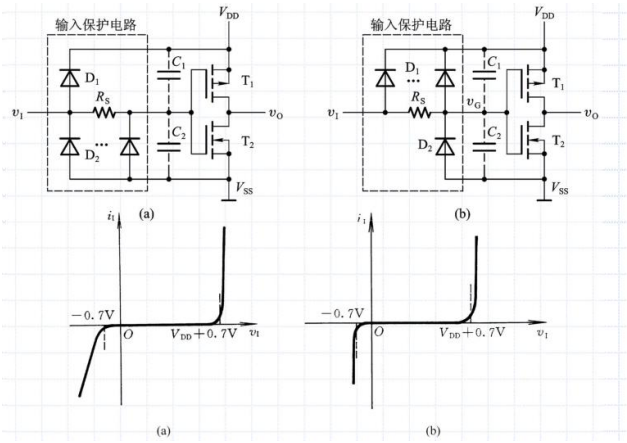


$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

可以通过提高V_{DD}来提高噪声容限

（3）输入保护电路



【1】有输入保护电路的原因？

MOS管的栅极和衬底之间非常薄，极容易被击穿，需控制输入电压

【2】输入保护电路的构成

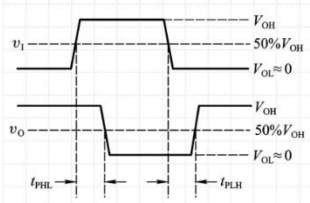
二极管钳位电路

一旦Vi过大或者反相，二极管导通，使输入端钳位在V_{DD}或0

（4）传播延迟时间

原因？

电容充放电有一定时间，导致输出必然滞后于输入



$$t_{PHL} \approx t_{PLH}$$

例：

【题 3.4】 画出图 P3.4 所示电路在下列两种情况下的输出电压波形：

（1）忽略所有门电路的传输延迟时间；

（2）考虑每个门都有传输延迟时间 t_{pd}。

输入端 A、B 的电压波形如图中所给出。

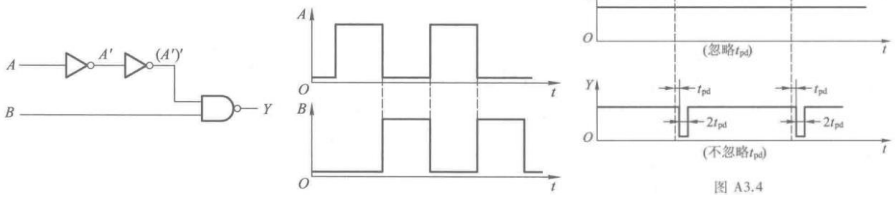


图 A3.4

（5）动态功耗

【1】负载电容功耗

$$P_C = C_L f V_{DD}^2$$

【2】瞬时导通功耗

$$P_T = C_{PD} f V_{DD}^2$$

【3】动态功耗=负载电容功耗+瞬时导通功耗

$$P_D = (C_L + C_{PD}) f V_{DD}^2$$

例：

【题 3.5】 已知 CMOS 门电路的电源电压 $V_{DD}=5$ V，静态电源电流 $I_{DD}=2$ μA，输入信号为 200 kHz 的方波（上升时间和下降时间可忽略不计），负载电容 $C_L=200$ pF，功耗电容 $C_{pd}=20$ pF，试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

解：静态功耗为

$$P_S = I_{DD} V_{DD} = 5\times2\times10^{-6}\ \text{W} = 0.01\ \text{mW}$$

动态功耗为

$$P_D = (C_L + C_{pd}) f V_{DD}^2$$
$$= (200+20)\times10^{-12}\times2\times10^5\times5^2\ \text{W} = 1.10\ \text{mW}$$

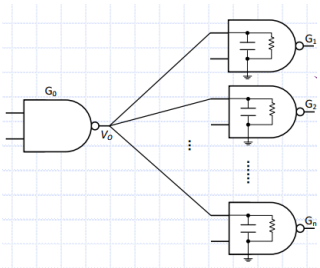
总功耗为

$$P_{TOT} = P_S + P_D = (0.01+1.10)\ \text{mW} = 1.11\ \text{mW}$$

电源的平均电流为

$$\bar{I}_{DD} = P_{TOT}/V_{DD} = (1.11/5)\ \text{mA} = 0.22\ \text{mA}$$

（6）扇出数



静态工作情况下：扇出数目极大

动态工作情况下：由于电容充放电的影响，扇出数目与高低电平切换频率密切相关

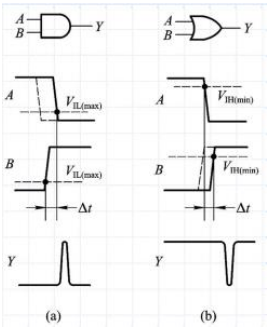
1MHz下，扇出数大于50，随着工作频率升高下降

十五、是否理解竞争－冒险的概念以及会分析是否会发生竞争-冒险？

【竞争-冒险】

1.竞争：两个输入“同时向相反的逻辑电平变化”

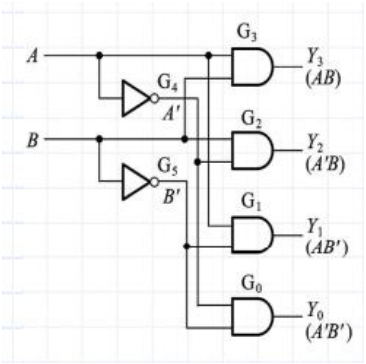
因“竞争”而可能在输出产生尖峰脉冲的现象，称为“竞争-冒险”。

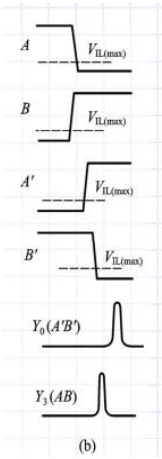


2.只有单输入时，竞争出现的情况

$$Y = A + A` \quad or \quad Y = AA`$$

3.2线-4线编码器中的竞争-冒险现象





当AB从10->01 时，

在动态过程中可能出现00 or 11

所以Y3和Y0输出端可能产生尖峰脉冲。

【题 4.32】 试分析图 P4.32 电路中当 A、B、C、D 单独一个改变状态时是否存在竞争-冒险现象？如果存在竞争-冒险现象，那么都发生在其他变量为何种取值的情况下？

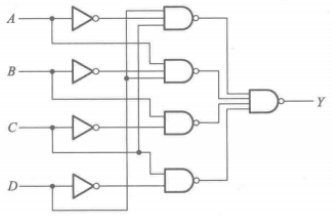


图 P4.32

解：由图 P4.32 得到输出的逻辑式为

$$Y=A'CD+AB'D+BC'+CD'$$

（1）当 $B=0, C=D=1$ 时，输出逻辑式简化为

$$Y=A+A'$$

故 A 改变状态时存在竞争-冒险现象。

（2）当 $A=1, C=0, D=1$ 时，输出逻辑式简化为

$$Y=B+B'$$

故 B 改变状态时存在竞争-冒险现象。

（3）当 $A=0, B=D=1$，或者当 $A=\times, B=1, D=0$ 时，输出的逻辑式简化为

$$Y=C+C'$$

故 C 改变状态时存在竞争-冒险现象。

（4）当 $A=1, B=0, C=1$，或者为 $A=0, B=\times, C=1$ 时，输出逻辑式简化为

$$Y=D+D'$$

故 D 改变状态时存在竞争-冒险现象。

4.消除“竞争-冒险”

一、接入滤波电容

尖峰脉冲很窄，用很小的电容就可将尖峰削弱到 VTH 以下。

二、引入选通脉冲

取选通脉冲作用时间，在电路达到稳定之后，P的高电平期的输出信号不会出现尖峰。

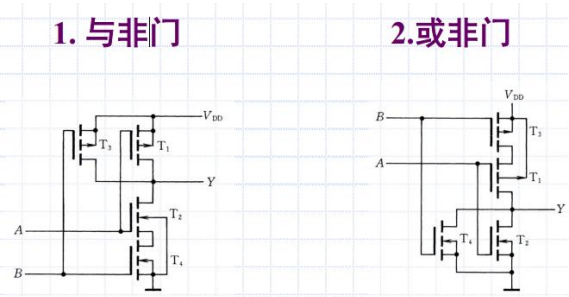
三、修改逻辑式

十六、是否认识传输门、OD 门以及三态门的图形符号？了解其功能和特点？

十七、是否会做简单的计算，比如计算 RL，扇出数等？

【CMOS门电路】

1.与非门、或非门



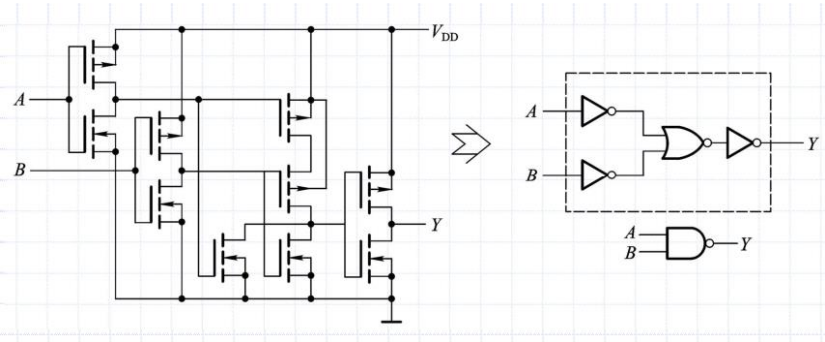
2.与非门、或非门的缺陷：

（1）输出电阻R_o受输入状态影响

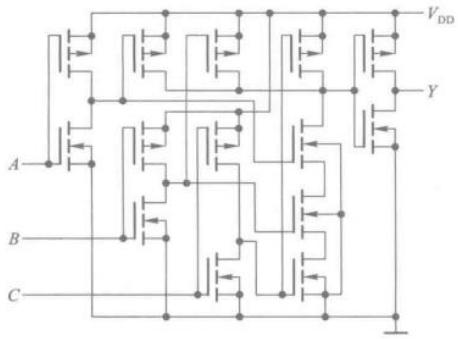
（2）输出的高低电平受输入端数目的影响，输入端越多，V_{OL}越高，V_{IL}也更高

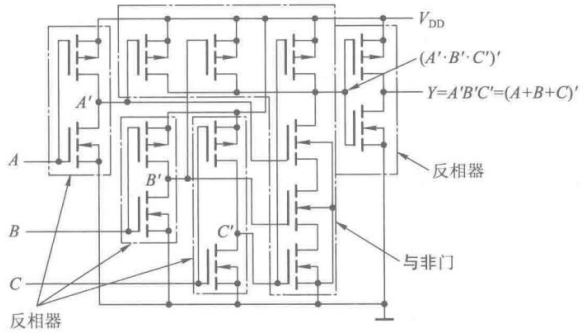
（3）使T_4、T_2的V_{GS}达到开启电压时，对应的V_I值不同

解决措施：带缓冲器

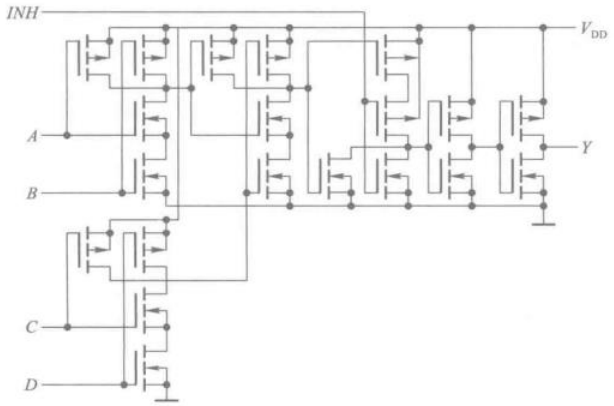


例:





$Y=A'B'C'=(A+B+C)'$。

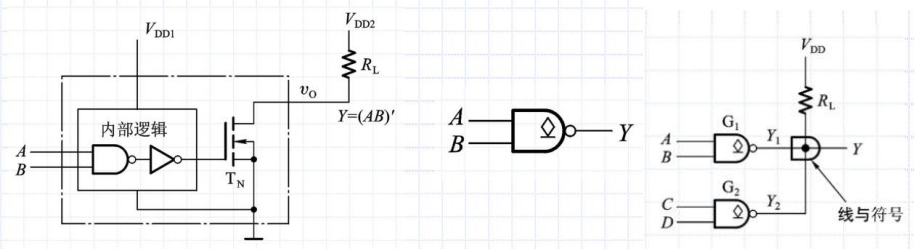


看图，AB，CD各自先做与非，再两个做一次与非，再和INH做一次或非，然后两次非

(c) 图 P3.7(c)电路可划分为三个与非门电路、一个或非门电路和两个反相器电路，如图所示。从输入到输出逐级写出输出的逻辑函数式得到

$$Y=((AB+CD)+INH)'=(AB+CD)'\cdot INH'$$

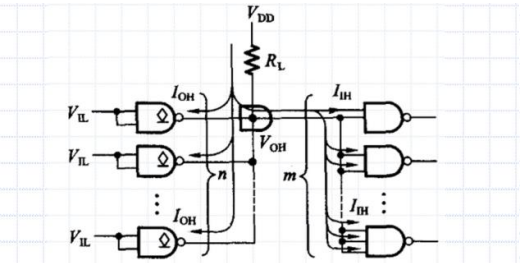
3.漏极开路输出门电路（OD门）

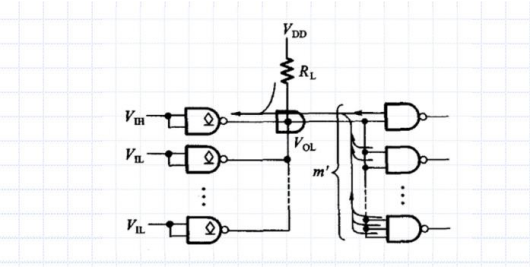


（1）可将输出并联使用，实现线与或用作电平转换、驱动器

使用时允许外接R_L V_{DD}`

（2）计算R_L





① 当所有OD门同时截止、输出为高电平时

$$V_{DD}-(nI_{OH}+mI_{IH})R_L\geq V_{OH}$$

$$R_L\leq(V_{DD}-V_{OH})/(nI_{OH}+mI_{IH})=R_{L(\max)}$$

n:OD门的数目

m:负载门高电平输入电流的数目

② 当输出为低电平且仅有一OD门导通时

$$(V_{DD}-V_{OL})/R_L+m'|I_{IL}|\leq I_{OL(\max)}$$

$$R_L\geq(V_{DD}-V_{OL})/(I_{OL(\max)}-m'|I_{IL}|)=R_{L(\min)}$$

m':负载门低电平输入电流的数目

【题 3.9】 在图 P3.9 所示电路中，G_1 和 G_2 是两个 OD 输出结构的与非门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{OH(max)}=5\ \mu A$；导通时允许的最大负载电流为 $I_{OL(max)}=5.2\ mA$，这时对应的输出电压 $V_{OL(max)}=0.33\ V$。负载门 $G_3\sim G_5$ 是三输入端或非门 74HC27，每个输入端的高电平输入电流最大值为 $I_{IH(max)}=1\ \mu A$，低电平输入电流最大值为 $I_{IL(max)}=-1\ \mu A$。试求在 $V_{DD}=5\ V$、并且满足 $V_{OH}\geqslant 4.4\ V$、$V_{OL}\leqslant 0.33\ V$ 的情况下，R_L 取值的允许范围。

解：根据本书第二部分第三章中给出的式(3-3-6)可知

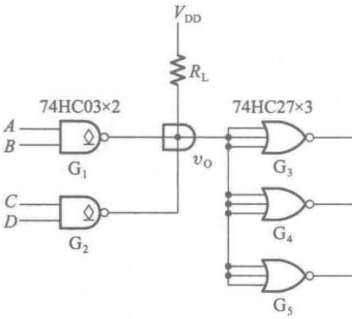


图 P3.9

$$R_{L(max)}=\frac{V_{DD}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-4.4}{2\times5\times10^{-6}+9\times1\times10^{-6}}\ \Omega=31.6\ k\Omega$$

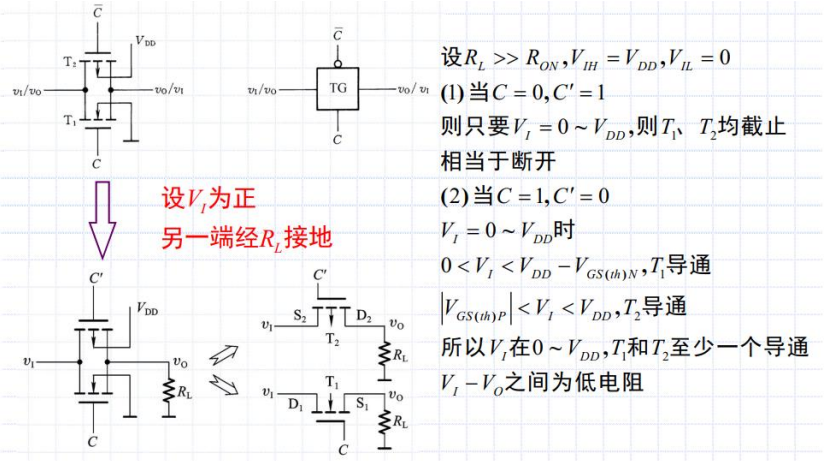
同时又可根据式(3-3-7)得到

$$R_{L(min)}=\frac{V_{DD}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.33}{5.2\times10^{-3}-9\times10^{-6}}\ \Omega=0.9\ k\Omega$$

故 R_L 的取值范围应为

$$0.9\ k\Omega\leqslant R_L\leqslant 31.6\ k\Omega$$

4.传输门电路



设$R_L >> R_{ON}, V_{IH}=V_{DD}, V_{IL}=0$

(1) 当$C=0, C'=1$

则只要$V_I=0\sim V_{DD}$，则T_1、T_2均截止

相当于断开

(2) 当$C=1, C'=0$

$V_I=0\sim V_{DD}$时

$0<V_I<V_{DD}-V_{GS(th)N}$，T_1导通

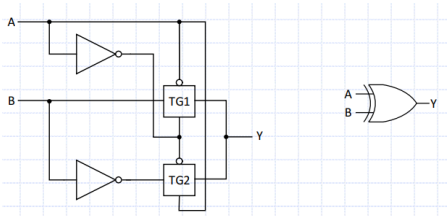
$|V_{GS(th)P}|<V_I<V_{DD}$，T_2导通

所以V_I在$0\sim V_{DD}$，T_1和T_2至少一个导通

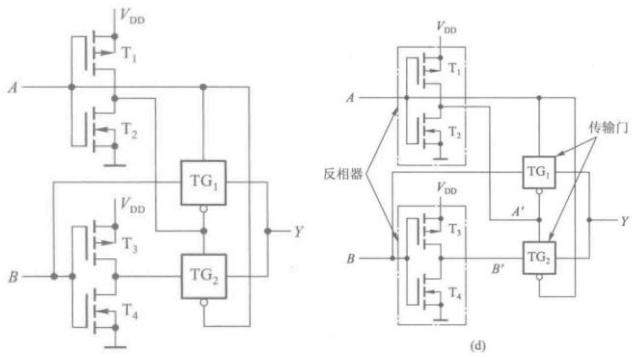
V_I-V_O之间为低电阻

$C=1$时导通，$C=0$时截止

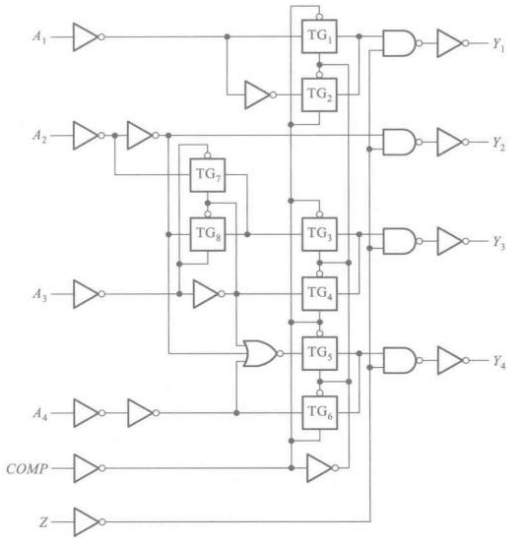
异或门电路



例：



$$Y=A'B'+AB=A\odot B$$



（1）$COMP=1$、$Z=0$ 时输出的逻辑式为

$$\begin{cases} Y_1=A_1' \\ Y_2=A_2 \\ Y_3=A_2\oplus A_3 \\ Y_4=(A_2+A_3+A_4)' \end{cases}$$

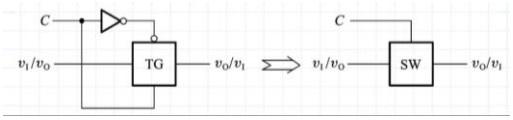
（2）$COMP=0$、$Z=0$ 时输出的逻辑式为

$$\begin{cases} Y_1=A_1 \\ Y_2=A_2 \\ Y_3=A_3 \\ Y_4=A_4 \end{cases}$$ （即不变换，真值表从略）

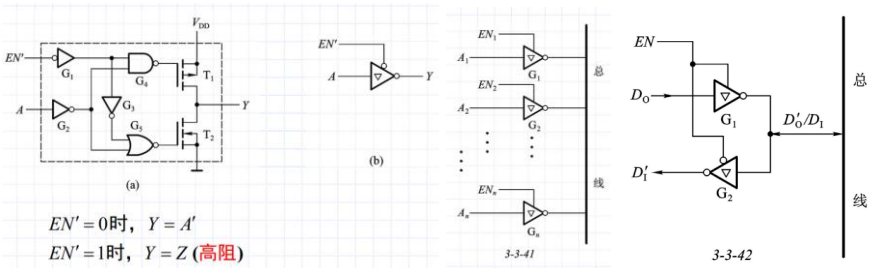
COMP为传输门控制信号，COMP=1时，TG1、TG3、TG5导通

YG7、TG8构成异或门

5.双向模拟开关



6.三态输出门



$EN'=0$时，$Y=A'$

$EN'=1$时，$Y=Z$ (高阻)

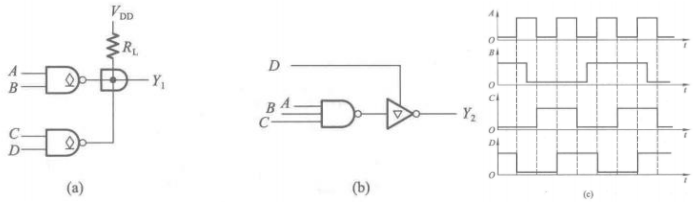
用途：输出负载级常用：输出缓冲器（存储器）

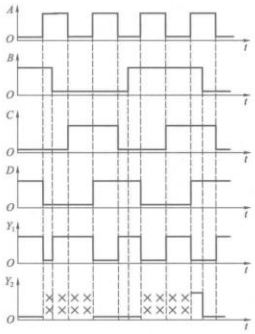
注意！看清楚EN是高电平有效还是低电平有效！

3-3-42是双向传输控制，EN=1时，G1工作，G2高阻态，D0反相后输入到总线；EN=0时，G1高阻态，G2工作，D1反相后由总线输入

【题 3.8】 试画出图 P3.8(a)、(b)两个电路的输出电压波形。输入电压波形如图(c)所示。

解：Y_1、Y_2 的电压波形如图 A3.8。图中用"×"表示高阻态。





十八、是否了解编码器、译码器、数据选择器、加法器、数值比较器等常见组合逻辑电路模块的功能？如果给定了这些器件功能表，是否会对其所搭建的电路进行分析？是否会用其设计组合电路？

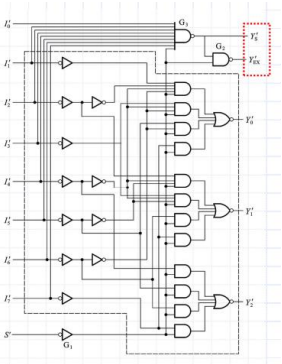
【常用的组合逻辑电路模块】

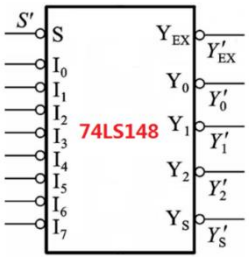
1.编码器

（1）普通编码器：任何时刻只允许输入一个编码信号

（2）优先编码器：允许同时输入两个以上的编码信号，但只对其中优先权最高的一个进行编码。

输入									输出				
S'	I_0'	I_1'	I_2'	I_3'	I_4'	I_5'	I_6'	I_7'	Y_2'	Y_1'	Y_0'	Y_S'	Y_{EX}'
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	0	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0





$$Y_2' = [(I_7 + I_6 + I_5 + I_4)S]'$$

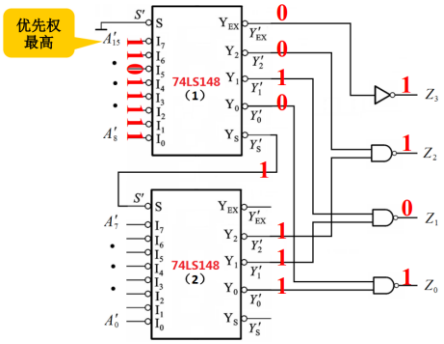
所有输入，低电平有效

S为选通输入，只有S`=0时芯片才工作

$Y`_s$ $Y`_{EX}$反应工作情况，都为1不工作，$Y`_s$为1 $Y`_{EX}$为0正常工作且有输入，$Y`_s$为0 $Y`_{EX}$为1正常工作且无输入

（3）编码器扩展——8线-3线编码器扩展为16线-4线编码器

两片74LS148组成16线—4线优先编码器

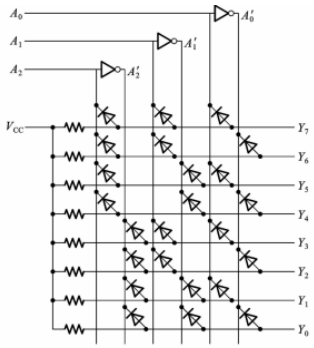


可以将两片的$Y`_{EX}$作与运算后输出，作为工作指示灯

（4）二-十进制优先编码器

2.译码器

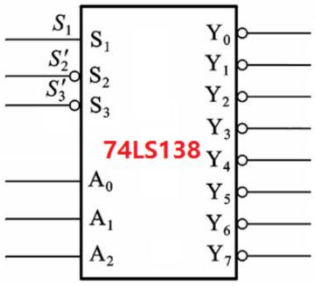
（1）二进制译码器74LS138



用二极管与门阵列组成的

3线—8线译码器

输入			输出							
A_2	A_1	A_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0



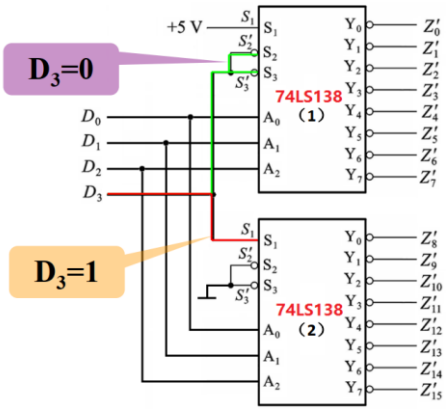
3线-8线译码器74LS138功能表

输入					输出							
S_1	$S_2'+S_3'$	A_2	A_1	A_0	Y_0'	Y_1'	Y_2'	Y_3'	Y_4'	Y_5'	Y_6'	Y_7'
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

■ 输出低电平有效

（2）3线-8线译码器扩展为4线-16线译码器

两片74LS138组成4线—16线译码器

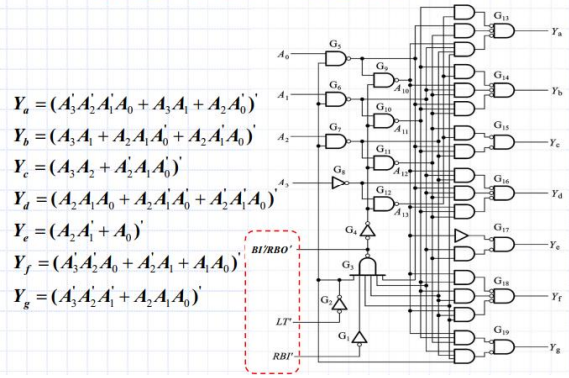


（3）二-十进制译码器

对于BCD码以外的伪码不作"翻译"

（4）显示译码器 BCD七段字符显示译码器（代码转换器）7448

BCD—七段显示译码器7448的逻辑图



【1】灯测试信号LT`：当LT`时，Ya~ Yg全部置为1

【2】灭零信号：当$A_3A_2A_1A_0$=0000，RBI'=0 时，灭灯

【3】灭灯输入/灭零输出BI`/RBO`

1、输入信号，称灭灯输入控制端：

当 $BI'=0$ ，无论输入状态是什么，数码管熄灭

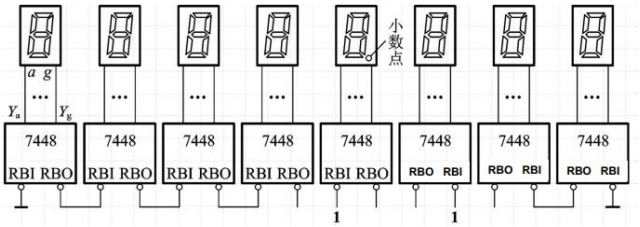
2、输出信号，称灭零输出端：

只有当输入$A_3A_2A_1A_0=0$，且灭零输入信号$RBI'=0$ 时，

RBO'才给出低电平

因此 $RBO'=0$ 表示译码器将本来应该显示的零熄灭了

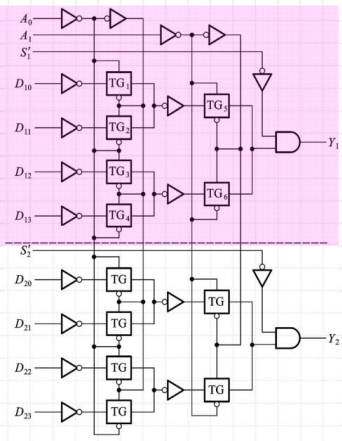
利用RBI`和RBO`的配合，实现多位显示系统的灭零控制



当小数点低位输出0时，灭零输入使其熄灭，并使灭零输出为0，使高位的灭零输入为0

3.数据选择器

（1）双四选一 74HC153



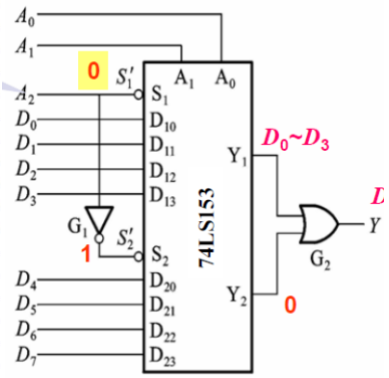
例：“双四选一”，74HC153

分析其中的一个“四选一”

$$Y_1 = S_1[D_0(A_1'A_0') + D_1(A_1'A_0) + D_2(A_1A_0') + D_3(A_1A_0)]$$

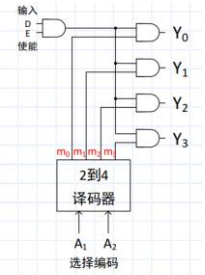
S_1'	A_1	A_0	Y_1
1	X	X	0
0	0	0	D_{10}
0	0	1	D_{11}
0	1	0	D_{12}
0	1	1	D_{13}

（2）双四选一扩展为八选一



$$Y_j = (\sum_{i=0}^{2^n-1} m_i D_{ji}) S_j$$

4.数据分配器

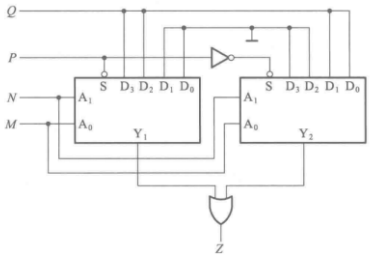


带使能端的1-4多路分配器

$Y_i=(m_iD)E$

【题 4.17】 图 P4.17 是用两个 4 选 1 数据选择器组成的逻辑电路，试写出输出 Z 与输入 M、N、P、Q 之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y=[D_0A_1'A_0'+D_1A_1'A_0+D_2A_1A_0'+D_3A_1A_0]\cdot S$$



$$Y_1=[O\cdot N'M'+O\cdot N'M+QNM'+QNM]P'=NP'Q$$

$$Y_2=[QN'M'+QN'M+O\cdot NM'+O\cdot NM]P=N'PQ$$

$$Z=Y_1+Y_2=NP'Q+N'PQ$$

5.加法器

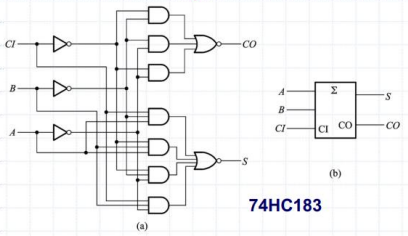
（1）半加器（Half-Adder,HA）：不考虑来自低位的进位，将两个1位的二进制数相加

（2）全加器(Full-Adder,FA)：将两个1位二进制数及来自低位的进位相加

输入			输出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

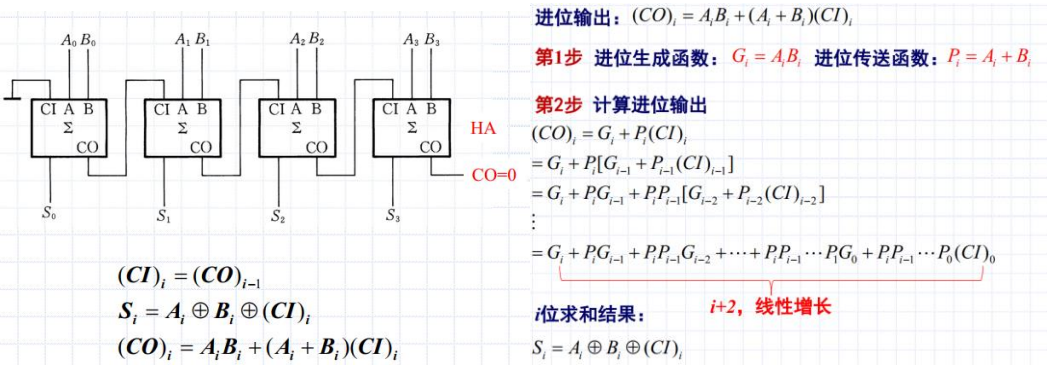
$$S=(A'B'CI'+A'B\cdot CI+AB'CI+ABCI')'$$

$$CO=(A'B'+B'CI'+A'CI')'$$



（3）多位加法器——串行加法器

优点：简单；缺点：慢



（4）多位加法器——超前进位加法器

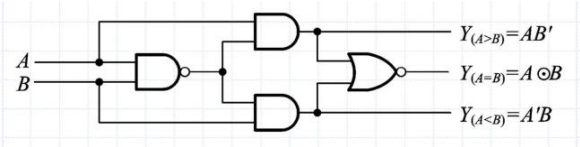
全并行加法器特点：一级门延迟，乘积项的个数指数增长

优点：快，每1位的和及最后的进位基本同时产生。

缺点：电路复杂。

6.数值比较器

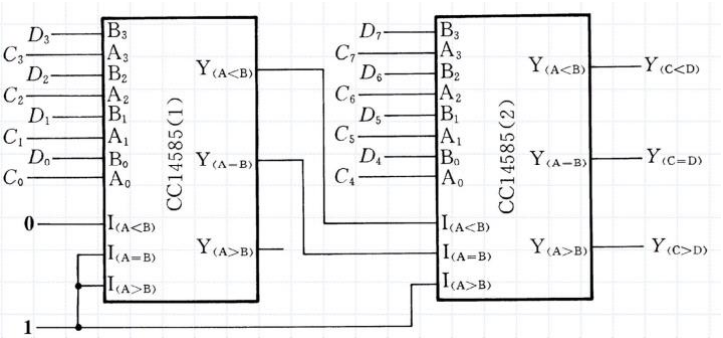
（1）1位数值比较器



（2）多位数值比较器

原理：从高位比起，只有高位相等，才比较下一位。

（3）四位比较器扩展



十九、是否能熟练写出组合逻辑电路的逻辑函数式、真值表等？

【组合逻辑电路设计】

设计思路：

1、逻辑抽象

分析因果关系，确定输入/输出变量

定义逻辑状态的含意（赋值）

列出真值表

2、写出函数式

3、选定器件类型

4、根据所选器件： 对逻辑式化简（用门）

5、画出逻辑电路图

6、工艺设计

例1：

设计一个具有3路报警信号的报警装置。

当第一路有报警信号时，数码管显示“1”；当第二路有报警信号时，数码管显示“2”；当第三路有报警信号时，数码管显示“3”；当有两路或两路以上有报警信号时，数码管显示“8”；当无报警信号时，数码管显示“0”。

要求：用74LS138、CD4511和逻辑门等器件设计该电路。

设计思路：

1.真值表

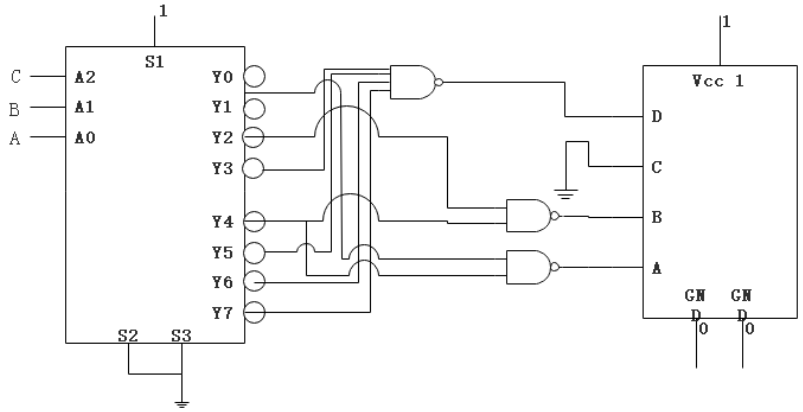
C	B	A	$Y_0^{`}$	$Y_1^{`}$	$Y_2^{`}$	$Y_3^{`}$	$Y_4^{`}$	$Y_5^{`}$	$Y_6^{`}$	$Y_7^{`}$	X	D	C	B	A
0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0
0	0	1	1	0	1	1	1	1	1	1	1	0	0	0	1
0	1	0	1	1	0	1	1	1	1	1	2	0	0	1	0
0	1	1	1	1	1	0	1	1	1	1	8	1	0	0	0
1	0	0	1	1	1	1	0	1	1	1	3	0	0	1	1
1	0	1	1	1	1	1	1	0	1	1	8	1	0	0	0
1	1	0	1	1	1	1	1	1	0	1	8	1	0	0	0
1	1	1	1	1	1	1	1	1	1	0	8	1	0	0	0

注：前三列为输入，0表示无报警，1表示有报警；X是显像管的数字，D、C、B、A是显像管的输入

2.逻辑式：

$$D = (Y_3^{`}Y_5^{`}Y_6^{`}Y_7^{`})^{`}$$
$$C = 0$$
$$B = (Y_2^{`}Y_4^{`})^{`}$$
$$A = (Y_1^{`}Y_4^{`})^{`}$$

3.逻辑电路：



例2：

用两片74LS138和74LS20双与非门设计下面的多输出函数，画出逻辑电路图。

$$\begin{cases} Y_1 = A'BC'D' + A'B'C'D + AB'C'D' + ABCD' \\ Y_2 = BC \end{cases}$$

设计思路：

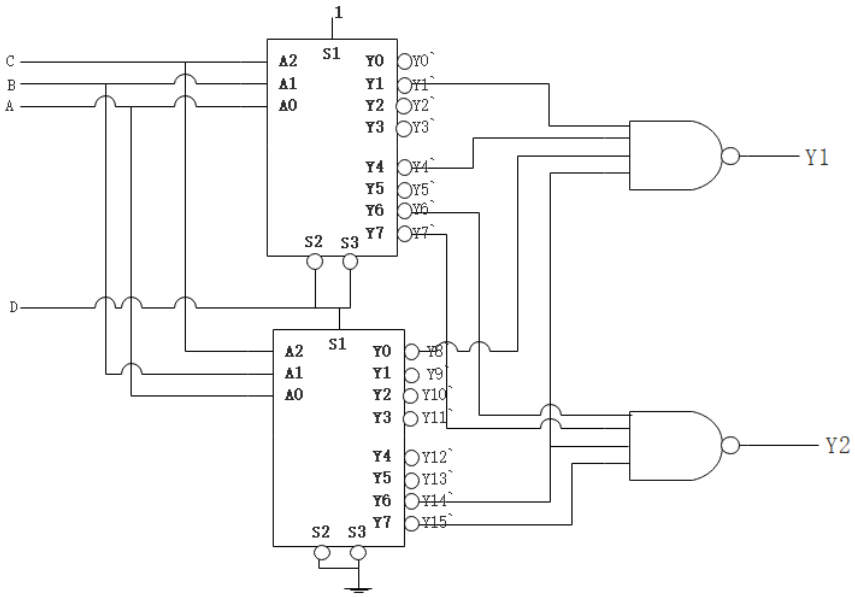
1.真值表（略，见附录实验数据）

2.逻辑式

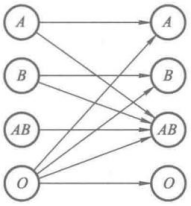
$$Y_1 = \sum m(1,4,8,14) = (m_1^{`}m_4^{`}m_8^{`}m_{14}^{`})^{`}$$
$$Y_2 = \sum m(6,7,14,15) = (m_6^{`}m_7^{`}m_{14}^{`}m_{15}^{`})^{`}$$

3.逻辑电路

使用两块74LS138组合为4线-16线译码器

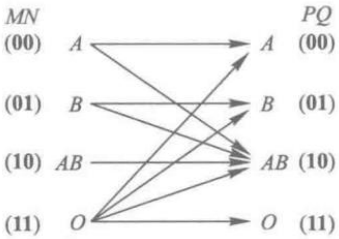


例3:



【题 4.22】 人的血型有 A、B、AB、O 4 种。输血时输血者的血型与受血者血型必须符合图 P4.22 中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路，判断输血者与受血者的血型是否符合上述规定。（提示：可以用两个逻辑变量的 4 种取值表示输血者的血型。用另外两个逻辑变量的 4 种取值表示受血者的血型。）

（1）逻辑抽象，以MN、PQ的四种组合表示输血者、受血者的四种血型，Z表示血型是否匹配，Z=0表示符合，列出真值表



(a)

M	N	P	Q	Z	M	N	P	Q	Z
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0

（2）确定逻辑式

$$Z = M'N'P'Q + M'N'PQ + M'NP'Q' + M'NPQ + MN'P'Q' + MN'P'Q + MN'PQ$$

（3）选定芯片——数据选择器双四选一组合为八选一（本题直接选用八选一74HC151）

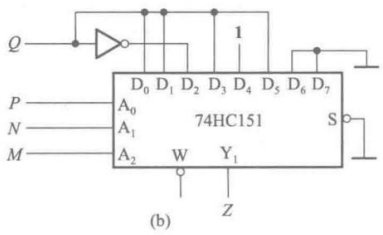
$$Y = A_2'A_1'A_0' \cdot D_0 + A_2'A_1'A_0 \cdot D_1 + A_2'A_1A_0' \cdot D_2 + A_2'A_1A_0 \cdot D_3 + A_2A_1'A_0' \cdot D_4 + A_2A_1'A_0 \cdot D_5 + A_2A_1A_0' \cdot D_6 + A_2A_1A_0 \cdot D_7$$

将 Z 变化成与 Y 对应的形式，得到

$$Z = M'N'P' \cdot Q + M'N'P \cdot Q + M'NP' \cdot Q' + M'NP \cdot Q + MN'P' \cdot \mathbf{1} + MN'P \cdot Q + MNP' \cdot \mathbf{0} + MNP \cdot \mathbf{0}$$

令数据选择器的输入为 $A_2 = M$、$A_1 = N$、$A_0 = P$、$D_0 = D_1 = D_3 = D_5 = Q$，$D_2 = Q'$、$D_4 = \mathbf{1}$、$D_6 = D_7 = \mathbf{0}$，

（4）逻辑电路



(b)

例4:

【题 4.25】 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号 $M=0$ 时它将两个输入的 4 位二进制数相加，而 $M=1$ 时它将两个输入的 4 位二进制数相减。两数相加的绝对值不大于 15。允许附加必要的门电路。

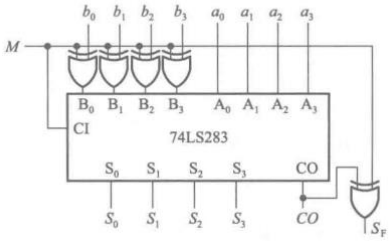
解：根据二进制数的加、减运算方法可知，若 $M=0$ 时进行两个 4 位数 $a_3a_2a_1a_0$ 和 $b_3b_2b_1b_0$ 相加运算，则直接将两数加到 74LS283 的两组输入端就行了。而如果在 $M=1$ 时要进行 $a_3a_2a_1a_0-b_3b_2b_1b_0$ 的运算，则应将 $b_3b_2b_1b_0$ 变成补码与 $a_3a_2a_1a_0$ 的补码（与原码相同）相加。为此，需将 $b_3b_2b_1b_0$ 每一位求反，同时在最低位加 1。

为满足上述要求，可将 b_3、b_2、b_1、b_0 与 M 作异或运算后加到 74LS283 上，同时将 M 接至加法器的进位输入端 CI，如图 A4.25 所示。当 $M=0$ 时，$B_3B_2B_1B_0=b_3b_2b_1b_0$，故得

$$S_3S_2S_1S_0=a_3a_2a_1a_0+b_3b_2b_1b_0$$

当 $M=1$ 时，$B_3B_2B_1B_0=b_3'b_2'b_1'b_0'$，即每一位求反，而且这时还从进位输入端 CI 加入 1，故得

$$S_3S_2S_1S_0=a_3a_2a_1a_0+[b_3b_2b_1b_0]_{补}=a_3a_2a_1a_0-b_3b_2b_1b_0$$



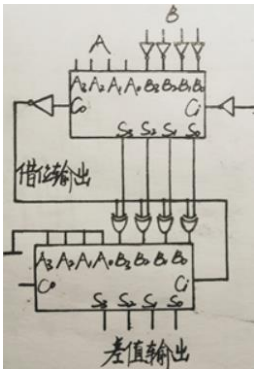
加法运算M=0，B不作处理，进位为0，直接相加，符号位不起作用

减法运算M=1，先对被减数B取补码（取反加1，这个1通过进位输入加）

得到的结果为补码，若为正，进位输出为0，M=1，异或后S_F为1；若为负，进位输出为1，M=1，异或后S_F为0

参考答案未将补码转换，改进版：

- 用两片74LS283和必要的门电路实现一个带借位输入和借位输出的8421BCD码减法器，要求电路输出为原码.
- 利用74LS283这一个四位全加器做减法器，考虑用反码代替被减数做加法运算。
  - A四位输入，B四位输入。用第一个加法器做A-B的运算。Ci为借位输入，即低位向A借位，由于是二进制运算，所以借位只会为0或1。Co为借位输出，即A-B向高位借位，也为0或1，这里借位1在数值上会减1，因此需要加一个反相器
  - B每一位通过反相器，即取了一个反码，和B取补码的加1相消。
  - 第一个加法器的输出为补码，需要再取一次补码得到输出。
  - 对于第一片283的输出Co，若A>B，Co为1，此时补码为正数，也不需要进位。
  - 而当A<B时，这时补码首先需要取反，在加一，利用Co的特性设计电路，即令Co取反，与第一个283的输出做异或运算，在将Co的取反结果接入第二片283即可。
  - 此时第二片283的输出当A<B，即需要借位时取得。（PS：当A<B时，第二片283的输出为差的绝对值，借位为1）

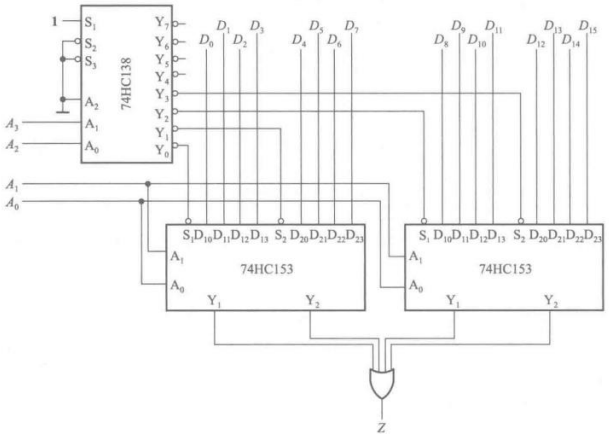


例5：

【题 4.15】 试用两片双 4 选 1 数据选择器 74HC153 和 3 线-8 线译码器 74HC138 接成 16 选 1 的数据选择器。74HC153 的逻辑图见图 4.4.20，74HC138 的逻辑图见图 4.4.7。

两片双4选1的输入对应16个输入

选通端由译码器确定，两个选通（4选1）工作的数据选择器，两个选通对应的数据选择器的输入



二十、是否掌握了电平触发、脉冲触发、边沿触发下，不同逻辑功能的触发器的图形符号？
二十一、是否掌握了各类触发器的特性方程、状态图？是否会画时序图？

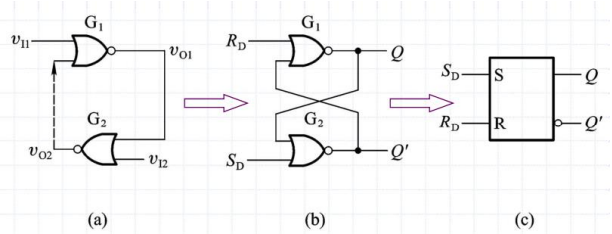
【锁存器】

1.锁存器的分类

触发方式：电平触发、脉冲触发、边沿触发

逻辑功能：SR、JK，D，T

2.基础——SR锁存器



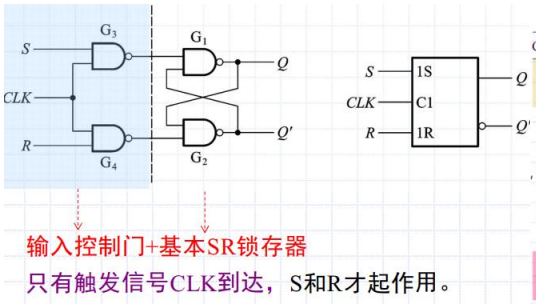
S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0①
1	1	1	0①

S_D和R_D的“1”信号同时消失后，Q^*不定

（1）所以正常工作下，应遵循$S_D R_D = 0$的约束条件。

（2）动作特点：在任何时刻，输入都能直接改变输出的状态。（不可靠）

3.电平触发的SR锁存器



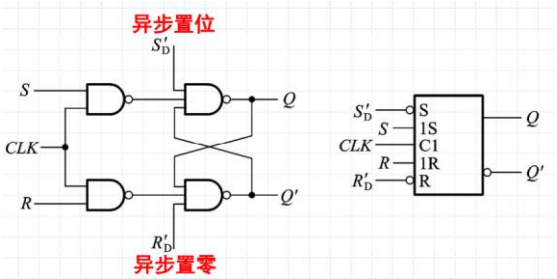
CLK	S	R	Q	Q^*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

（1）动作特点：

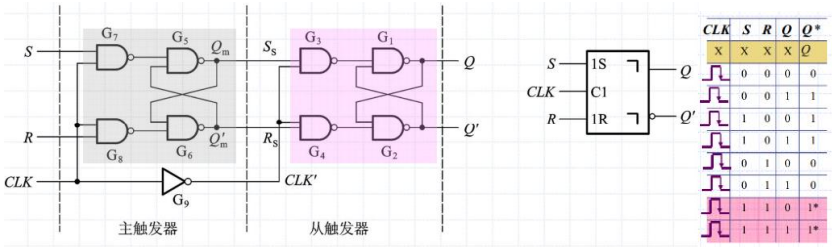
在CLK=1的全部时间里，S和R的变化都将引起输出状态的变化。

Q和Q'可能随S、R变化多次翻转（依旧不可靠）

（2）异步置1，异步置0功能



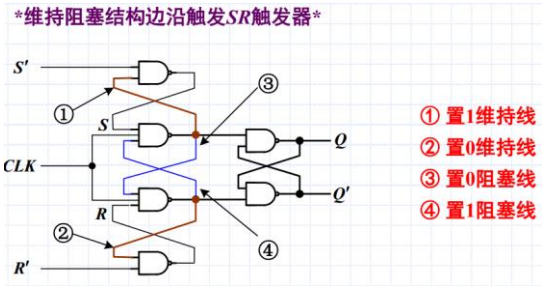
4.脉冲触发的SR锁存器（主从SR锁存器）



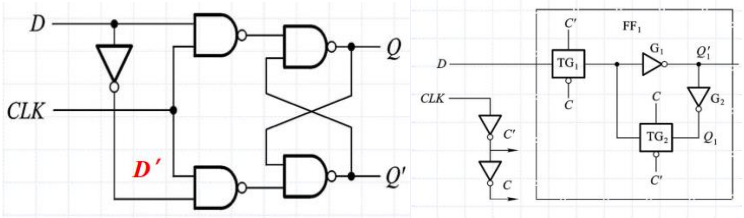
CLK	S	R	Q	Q^*
X	X	X	X	Q
↑	0	0	0	0
↑	0	0	1	1
↑	1	0	0	1
↑	1	0	1	1
↑	0	1	0	0
↑	0	1	1	0
↑	1	1	0	1*
↑	1	1	1	1*

动作特点：每个CLK周期输出状态只可能改变一次

5.边沿触发的SR锁存器

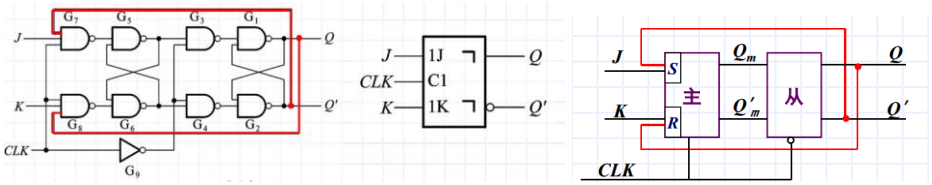


6.电平触发的D锁存器



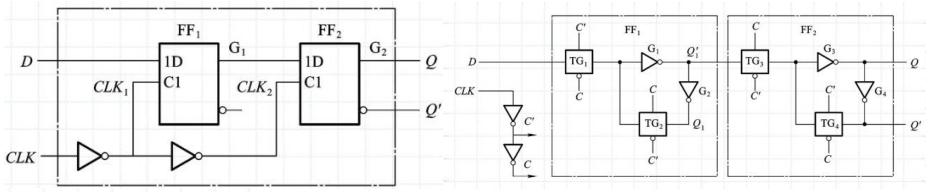
CLK	S	R	Q	Q*
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0

7.脉冲触发的JK锁存器



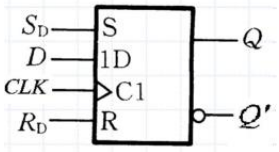
CLK	J	K	Q	Q*
X	X	X	X	Q*
↑	0	0	0	0
↑	0	0	1	1
↑	1	0	0	1
↑	1	0	1	1
↑	0	1	0	0
↑	0	1	1	0
↑	1	1	0	1
↑	1	1	1	0

8.边沿触发的D锁存器



（4）列出真值表

CLK	D	Q	Q*
X	X	X	Q
↑	0	X	0
↑	1	X	1



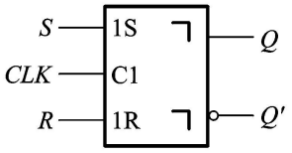
9.按逻辑功能分类的锁存器

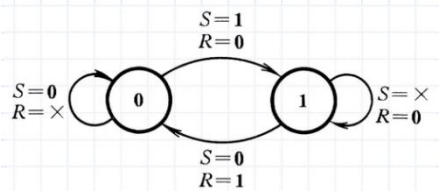
（1）SR锁存器

S	R	Q	Q*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1*
1	1	1	1*

2、特性方程：

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = S + R'Q \\ \text{约束条件：} SR = 0 \end{cases}$$





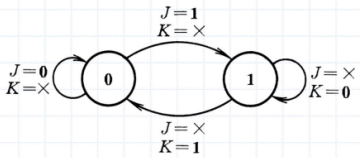
（2）JK锁存器

1、定义

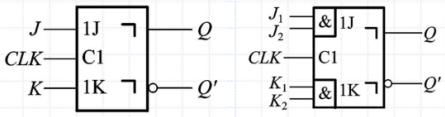
J	K	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

2、特性方程 $Q^* = JQ' + K'Q$

3、状态转换图



4、符号



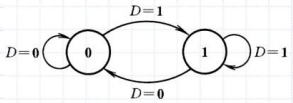
（3）D锁存器

1、定义：凡在时钟信号作用下，具有如下功能的触发器

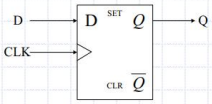
D	Q	Q^*
0	0	0
0	1	0
1	0	1
1	1	1

2、特性方程 $Q^* = D$ **（与状态无关，仅和输入有关）**

3、状态转换图



4、符号



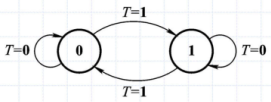
（4）T锁存器

1、定义：凡在时钟信号作用下，具有如下功能的触发器

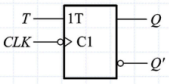
T	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	0

2、特性方程 $Q^* = TQ' + T'Q$

3、状态转换图



4、符号



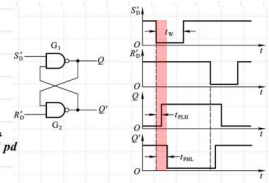
10.触发器的动态特性

（1）基础SR锁存器

① SR锁存器的动态特性：

- ✓ 输入信号宽度 $t_W \geq 2t_{pd}$
- ✓ 传输延迟时间 $t_{PLH} = t_{pd}, t_{PHL} = 2t_{pd}$

* 设门传输延迟为t_{pd} *



（2）电平触发的SR锁存器

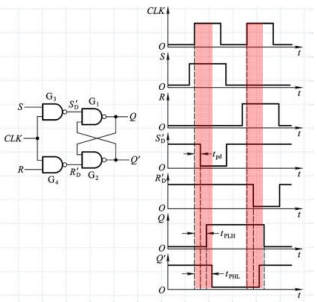
② 电平触发SR触发器动态特性：

- ✓ 输入信号宽度

$$t_{W(S \bullet CLK)} \geq 2t_{pd}$$

- ✓ 传输延迟时间

$$t_{PLH} = 2t_{pd}, t_{PHL} = 3t_{pd}$$

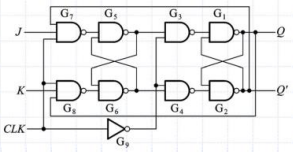


（3）脉冲触发的JK锁存器

③ 主从触发器的动态特性

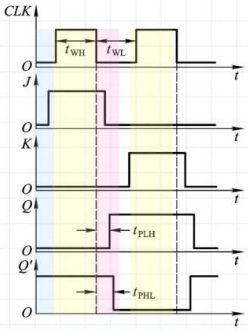
- ✓ 建立时间 $t_{setup} \geq 2t_{pd}$
- ✓ 保持时间 $t_{hold} \geq t_f$

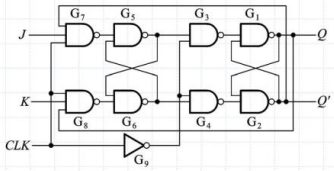
*防止在门G7、G8产生竞争现象



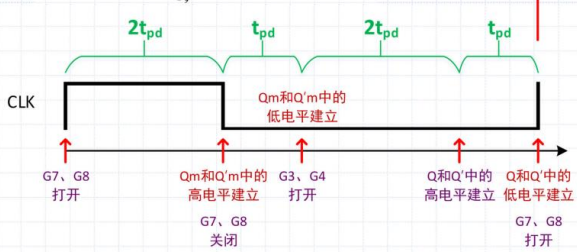
- ✓ 传输延迟时间（下降沿开始）

$t_{PLH} = 3t_{pd}, t_{PHL} = 4t_{pd}$





必须等Q、Q'的状态稳定建立
才能开始下一个周期

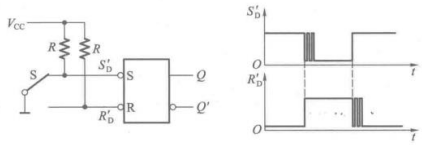


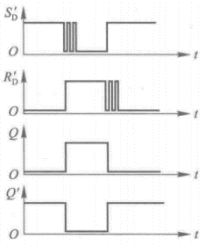
最高时钟频率： $f_{c(max)} \leq 1/(6t_{pd})$

11.绘波形图

（1）

【题 5.3】 图 P5.3 所示为一个防抖动输出的开关电路。当拨动开关 S 时，由于开关触点接通瞬间发生振颤，S'_D 和 R'_D 的电压波形如图中所示，试画出 Q、Q'端对应的电压波形。

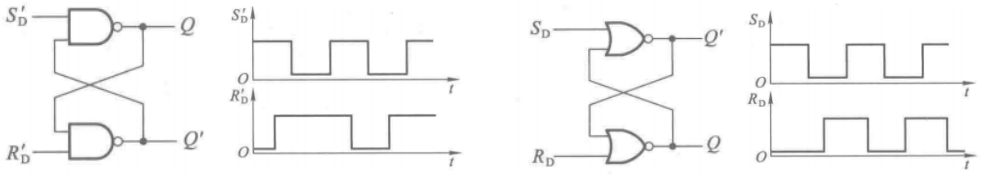




观察知，低电平输入有效，故$R_D^{`}$为1，$S_D^{`}$为0时，置为1状态，其后震颤在$R_D^{`}$为1，$S_D^{`}$为1，为维持状态

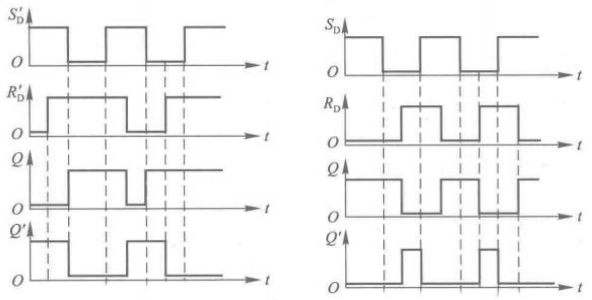
$S_D^{`}$为1，$R_D^{`}$为0同理

（2）比较与非门组成的SR锁存器和或非门组成的SR锁存器



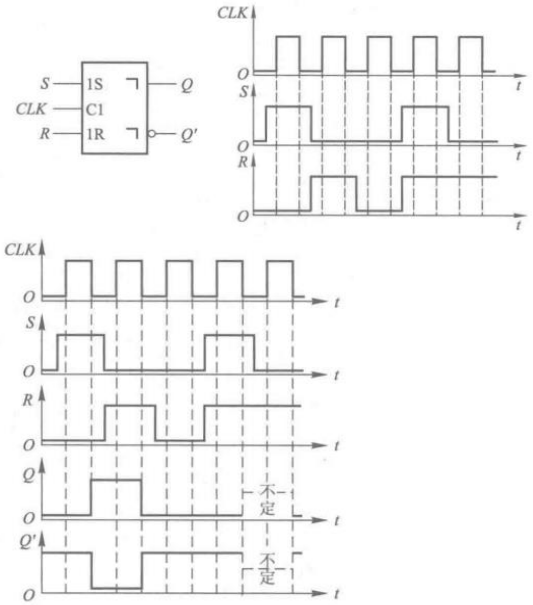
【1】与非门组成的，S`D为1，R`D为0时，置为‘0’

【2】或非门组成的，S`D为1，R`D为0时，置为‘1’



(3)

【题 5.10】 若脉冲触发 SR 触发器各输入端的电压波形如图 P5.10 中所给出，试画出 Q、Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。



(4)

【题 5.16】 在脉冲触发 T 触发器中，已知 T、CLK 端的电压波形如图 P5.16 中所示，试画出 Q、Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$。

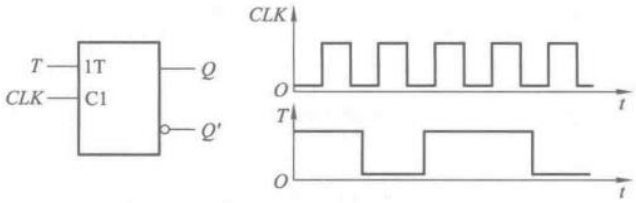
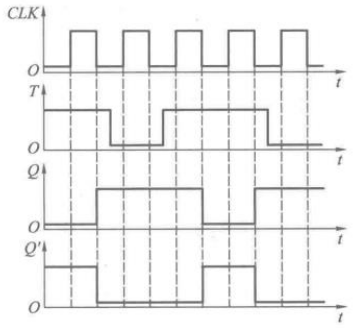


图 P5.16

$$T = TQ` + T`Q$$



(5)

【题 5.20】 试画出图 P5.20 电路在图中所示 CLK、R'_D 信号作用下 Q_1、Q_2、Q_3 的输出电压波形，并说明 Q_1、Q_2、Q_3 输出信号的频率与 CLK 信号频率之间的关系。

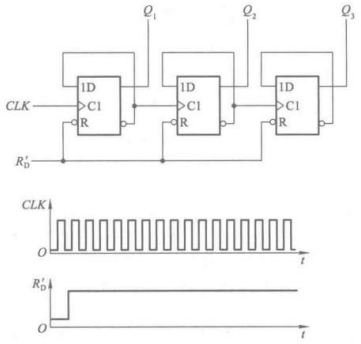


图 P5.20

解：由于每个触发器都接成了 $D=Q'$，所以 $Q^*=Q'$，即每次时钟到来后都要翻转，这样就得到了图 A5.20 的波形图。由图可见，若输入的 CLK 频率为 f_0，则 Q_1、Q_2、Q_3 输出脉冲的频率依次为 $\frac{1}{2}f_0$、$\frac{1}{4}f_0$、$\frac{1}{8}f_0$。

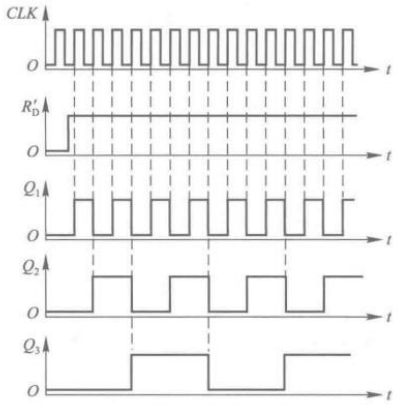
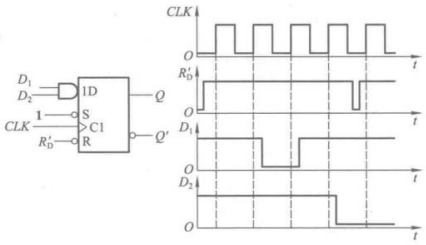
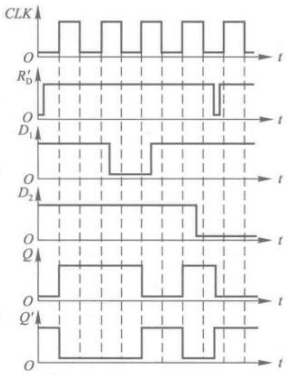


图 A5.20

例6:

【题 5.8】 已知边沿触发 D 触发器各输入端的电压波形如图 P5.8 所示，试画出 Q、Q' 端对应的电压波形。

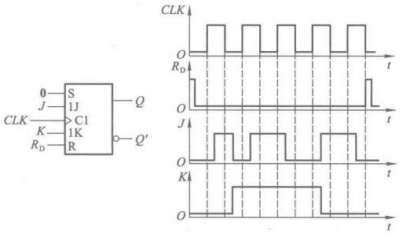


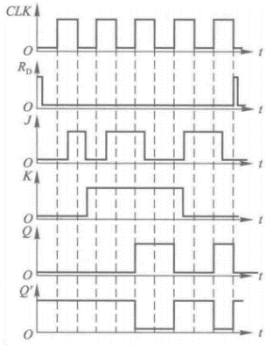


先看异步置零端，低电平有效，大部分时候为1
第一个CLK上升沿，D=1，置1
第二个CLK上升沿，D=1，置1
第三个CLK上升沿，D=0，置0
第四个CLK上升沿，D=1，置1
在这中间有异步强制置0
第五个CLK上升沿，D=0，置0

例7:

【题 5.9】 已知边沿触发 JK 触发器各输入端的电压波形如图 P5.9 中所示，试画出 Q、Q′端对应的电压波形。





RD大部分为0，只有最后异步置0
然后看J和K，边沿触发，只有CLK上升沿触发
第一个CLK上升沿，J=0K=0，维持0
第二个CLK上升沿，J=0K=1，置0
第三个CLK上升沿，J=1K=1，翻转，为1
第四个CLK上升沿，J=0K=1，置0
第五个CLK上升沿，J=1K=0，置1
后面异步置0

二十二、是否了解存储器的概念以及分类与性能指标？
二十三、是否能读懂简单的存储电路，写出其存储矩阵？存储容量？
二十四、是否掌握存储器的两种扩展方式？是否掌握用存储器设计组合逻辑电路？

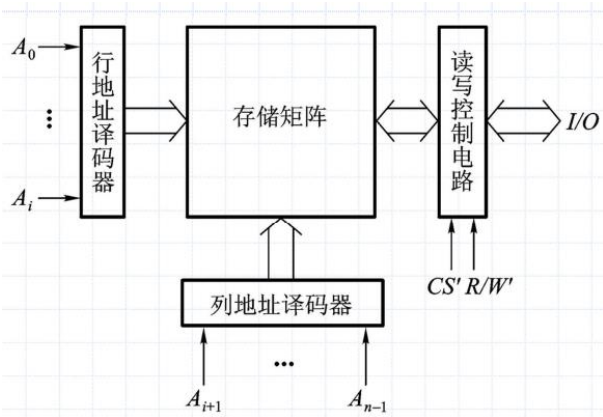
【存储器】
1.寄存器
用于寄存一组二值代码，N位寄存器由N个触发器组成，可存放一组N位二值代码。
只要求其中每个触发器可置1，置0。

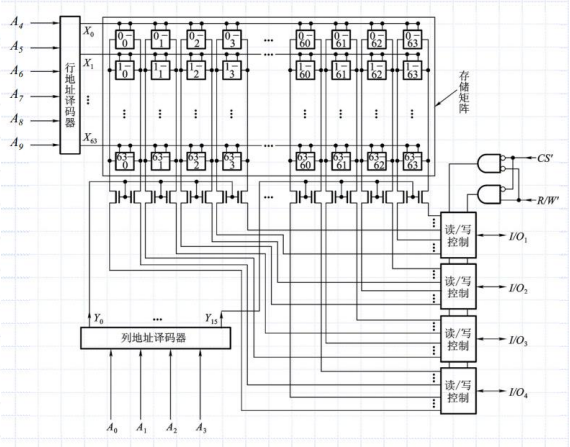
2.存储器
（1）能存储大量二值信息的器件
（2）指标：
存储速度：ns级　　存储容量：m×n
（3）分类：
随机存储器（RAM）和只读存储器（ROM）
（4）存储单元分类：
静态存储单元：由门电路连接而成，包括锁存器和触发器
动态存储单元：利用电容电荷存储效应存储数据
（5）基本参数：
容量：以字符或比特数表示
速度：以访问时间TA或存储周期TM表示
　T_A——从接收到读申请到将信息读出到存储器输出端的时间
　T_M——连续两次启动存储器访问所需的最小时间间隔 TM≠TA
成本：以每位价格表示

【题 5.28】 某台计算机的内存储器设置有 32 位的地址线，16 位并行数据输入/输出端，试计算它的最大存储量是多少？

解：存储器的最大存储量为 $2^{32}\times16$ 位 $=68.7\times10^9$ 位 $=68.7$G 位。

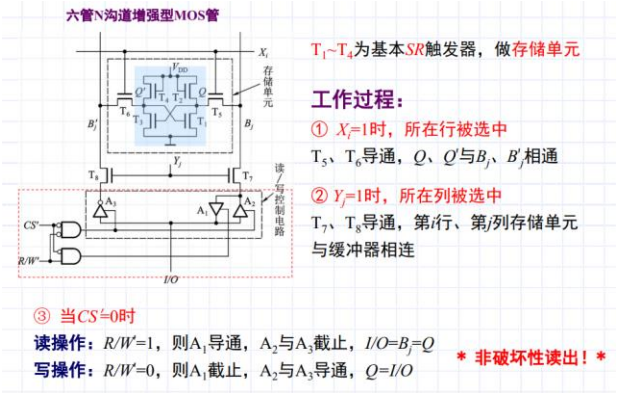
3.静态随机存储SRAM





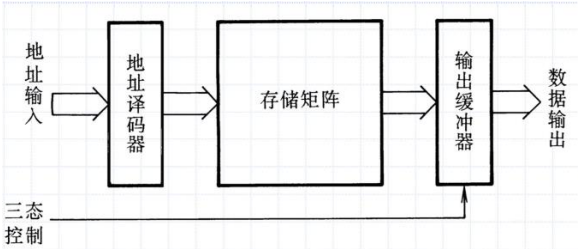
（1）结构

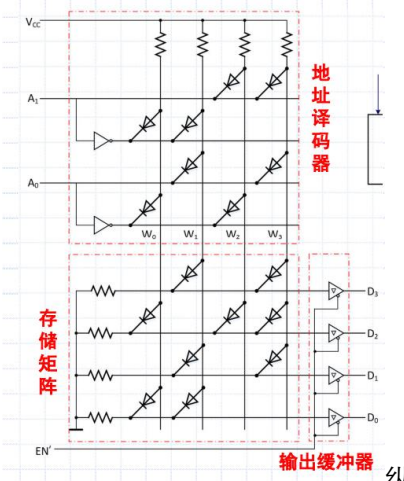
（2）存储单元



4.只读存储器ROM

（1）结构



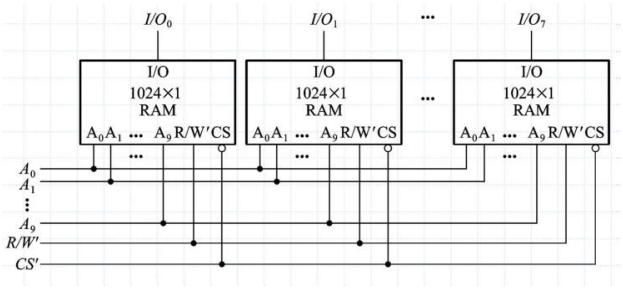


纵向字线，横向位线，存储容量=字数×位数

（2）ROM分类：

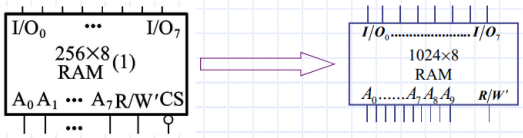
5.存储器的扩展——位扩展

直接并联



6.存储器的扩展——字扩展

用四片256×8位→1024×8位的RAM



数据线：$I/O_0 \sim I/O_7$
地址线：$A_0 \sim A_7$
读/写信号：R/W'
片选信号：CS'

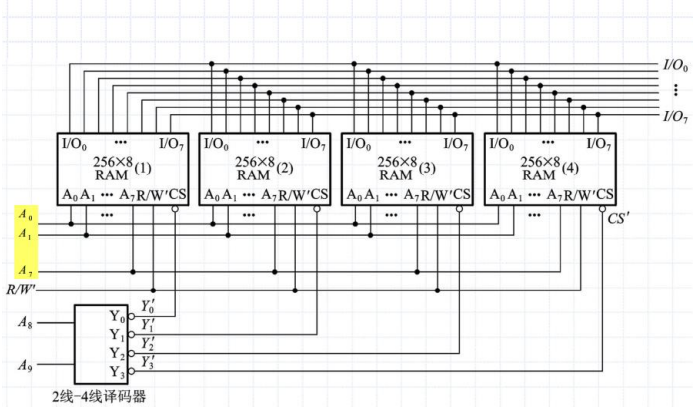
数据线：$I/O_0 \sim I/O_7$
地址线：$A_0 \sim A_7, A_8, A_9$
读/写信号：R/W'

每一片提供256个字，需要256个地址(A_0~A_7)

用A_9, A_8两位代码区分四片

即将A_9A_8译成$Y_0' \sim Y_3'$,分别接四片的CS'

A_9	A_8	CS'_1	CS'_2	CS'_3	CS'_4
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



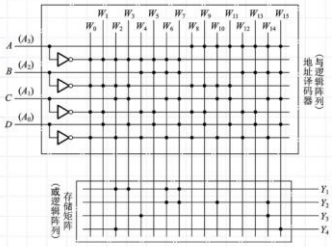
7.用ROM实现组合逻辑函数

例1:

用ROM产生：

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases}$$

$$\begin{cases} Y_1 = \sum m(2,3,6,7) \\ Y_2 = \sum m(6,7,10,14) \\ Y_3 = \sum m(4,14) \\ Y_4 = \sum m(2,15) \end{cases}$$



例2:

【题 5.35】 图 P5.35 是一个 16×4 位的 ROM，$A_3A_2A_1A_0$ 为地址输入，$D_3D_2D_1D_0$ 是数据输出。若将 D_3、D_2、D_1、D_0 视为 A_3、A_2、A_1、A_0 的逻辑函数，试写出 D_3、D_2、D_1、D_0 的逻辑函数式。

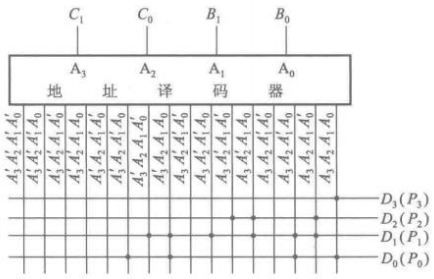
$$D_3 = A_3'A_2'A_1'A_0' + A_3'A_2A_1'A_0 + A_3A_2'A_1A_0' + A_3A_2A_1A_0$$
$$D_2 = A_3'A_2A_1'A_0' + A_3A_2'A_1'A_0' + A_3A_2A_1'A_0'$$
$$D_1 = A_3'A_2'A_1A_0 + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0 + A_3A_2A_1'A_0' + A_3A_2A_1A_0$$
$$D_0 = A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0' + A_3A_2'A_1A_0' + A_3A_2A_1'A_0' + A_3A_2A_1A_0'$$

例3:

【题 5.36】 用 16×4 位的 ROM 设计一个将两个 2 位二进制数相乘的乘法器电路，列出 ROM 的数据表，画出存储矩阵的点阵图。

解：设两个相乘的数为 C_1C_0 和 B_1B_0，乘积用 $P_3P_2P_1P_0$ 表示，则得到如表 A5.36 的真值表。将 $C_1C_0B_1B_0$ 加到 ROM 的地址输入端 $A_3A_2A_1A_0$，按图 A5.36 的点阵编程，则 D_3、D_2、D_1、D_0 即乘积的 4 位输出端 P_3、P_2、P_1、P_0。

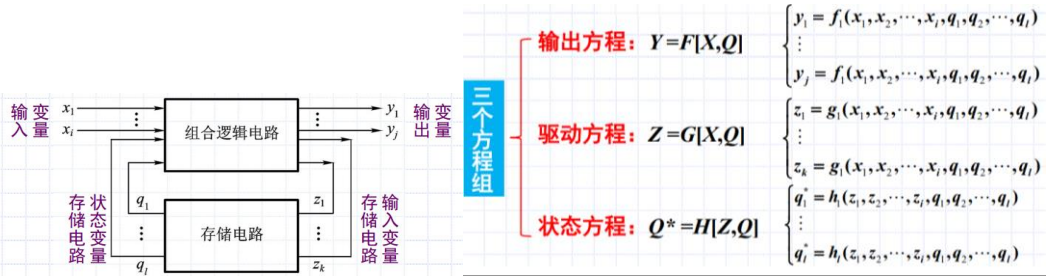
乘数				乘积			
C_1	C_0	B_1	B_0	P_3	P_2	P_1	P_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0



二十五、是否熟练掌握了时序逻辑电路的分析步骤？熟练写出驱动方程、状态方程和输出方程
二十六、是否能够辨识时序电路是同步还是异步，是 Mealy 型还是 Moore 型？
二十七、是否会画出给定时序电路的状态转换表、状态转换图、流程图，给定时钟信号和输入信号，是否会画出状态信号和输出信号的时序图？

【时序逻辑电路基本概念】

1.一般结构：组合逻辑电路+存储电路



2.分类：

1. **同步**时序电路与**异步**时序电路
   - ✓ **同步：** 存储电路中所有触发器的时钟使用统一的CLK，状态变化发生在同一时刻
   - ✓ **异步：** 没有统一的CLK,触发器状态的变化有先有后

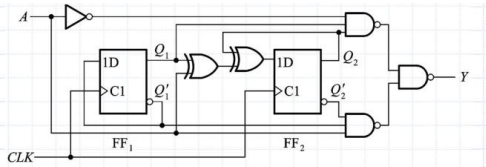
2. Mealy型和Moore型
   - ✓ Mealy型：$Y = F(X,Q)$ 与X、Q有关
   - ✓ Moore型：$Y = F(Q)$ 仅取决于电路状态

3.分析同步时序电路

步骤

驱动方程->状态方程->输出方程->状态转换表->状态转换图->状态机流程图->时序图

例1:



驱动方程： $\begin{cases} D_1 = Q_1' \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$

状态方程： $\begin{cases} Q_1^* = D_1 \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$

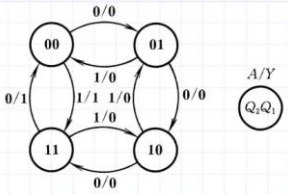
输出方程：

$$Y = [(A'Q_1Q_2)' \cdot (AQ_1'Q_2')']' = A'Q_1Q_2 + AQ_1'Q_2'$$

（4）列状态转换表：

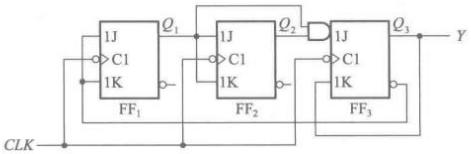
$Q_2^*Q_1^*/Y$ \ Q_2Q_1 \ A	00	01	10	11
0	01/0	10/0	11/0	00/1
1	11/1	00/0	01/0	10/0

（5）状态转换图



例2:

【题 6.3】 分析图 P6.3 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。



解：从给定的电路图写出驱动方程为

$$\begin{cases} J_1 = K_1 = Q_3' \\ J_2 = K_2 = Q_1 \\ J_3 = Q_1Q_2;\ K_3 = Q_3 \end{cases}$$

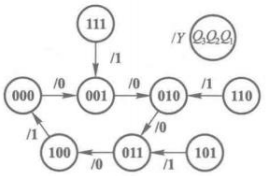
将上面的驱动方程代入 JK 触发器的特性方程后得到状态方程为

$$\begin{cases} Q_1^* = Q_3'Q_1' + Q_3Q_1 = Q_3 \odot Q_1 \\ Q_2^* = Q_1Q_2' + Q_1'Q_2 = Q_2 \oplus Q_1 \\ Q_3^* = Q_1Q_2Q_3' \end{cases}$$

由电路图上可知，输出方程为

$$Y = Q_3$$

根据状态方程和输出方程画出的状态转换图如图 A6.3 所示。电路能够自启动。



例3:

【题 6.5】 试分析图 P6.5 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。A 为输入逻辑变量。

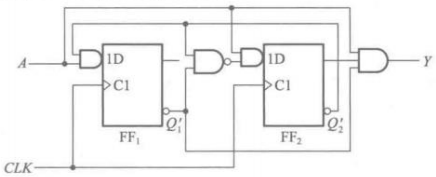


图 P6.5

解：首先从电路图写出它的驱动方程

$$\begin{cases} D_1 = AQ_2' \\ D_2 = A(Q_1'Q_2')' = A(Q_1 + Q_2) \end{cases}$$

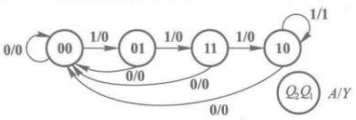
将上式代入 D 触发器的特性方程后得到电路的状态方程

$$\begin{cases} Q_1^* = AQ_2' \\ Q_2^* = A(Q_1 + Q_2) \end{cases}$$

电路的输出方程为

$$Y = AQ_1'Q_2$$

根据状态方程和输出方程画出的状态转换图如图 A6.5 所示。



例4:

【题 6.10】 在图 P6.10 电路中，若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0=1001$，$B_3B_2B_1B_0=0011$，CI 的初始值为 0，试问经过 4 个 CLK 信号作用以后两个寄存器中的数据如何？这个电路完成什么功能？

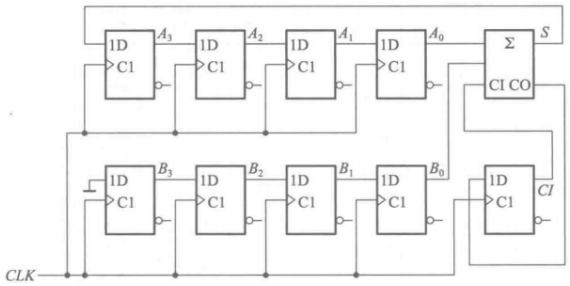


图 P6.10

解：经过 4 个时钟信号作用以后，两个寄存器里的数据分别为 $A_3A_2A_1A_0=1100$，$B_3B_2B_1B_0=0000$。这是一个 4 位串行加法器电路。

例5:

【题 5.22】 在图 P5.22 电路中已知输入信号 v_I 的电压波形如图所示，试画出与之对应的输出电压 v_O 的波形。初始状态为 $Q=0$。（提示：应考虑触发器和异或门的传输延迟时间。）

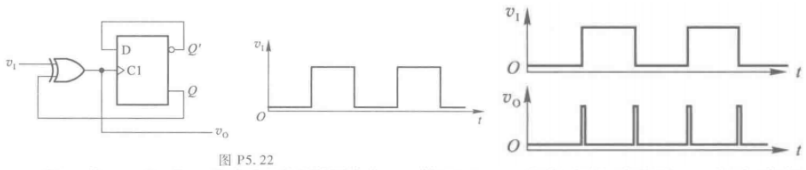


图 P5.22

解：当 $v_I=0$、$Q=0$ 时，异或门的输出 v_O 等于 0。v_I 变为高电平以后，v_O 也变成高电平。因为 v_O 也是触发器的时钟输入端，所以经过触发器的延迟时间后，Q 端被置成 1 状态；再经过异或门的传输延迟时间，v_O 回到低电平。因此，v_O 高电平持续时间等于触发器的传输延迟时间与异或门的传输延迟时间之和。

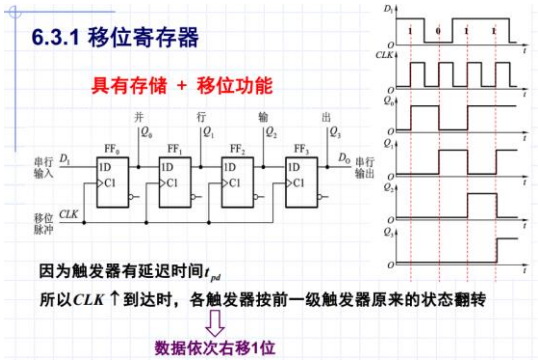
二十八、是否了解寄存器、移位寄存器、计数器等常见时序电路模块的功能，如给出这些模块的集成电路的功能表，是否会对其所搭建的电路进行分析？是否会用这些模块进行简单的电路设计？

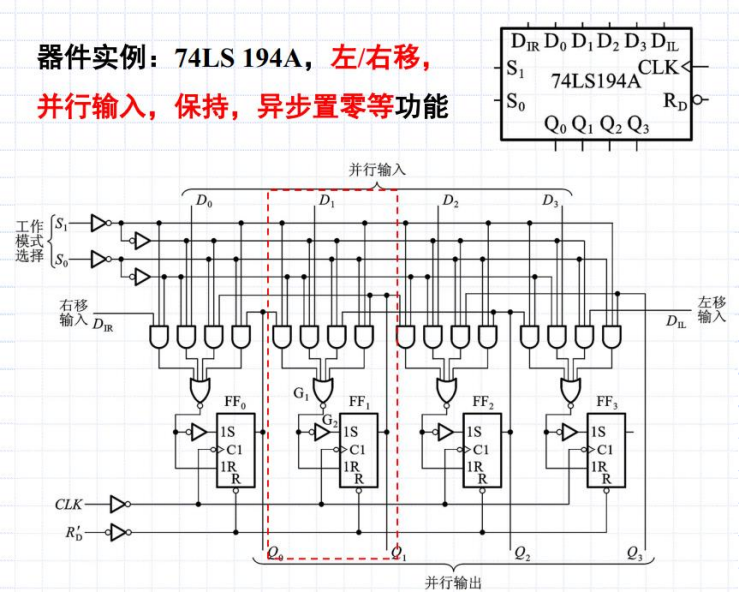
二十九、是否会采用已有的计数器模块去设计任意进制的计数器？注意同步置零与异步置零的差别，同步置数与异步置数的差别，确定好要跳过那几个无效状态。

三十、是否了解环形计数器、扭环计数器、序列信号发生等功能和常见的电路结构？

【时序电路模块】

1.移位寄存器

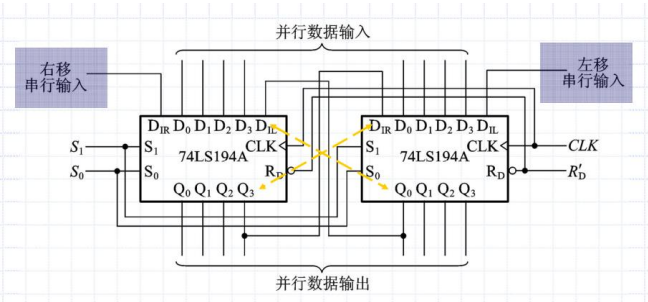




R'_D	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

（1）结构、原理

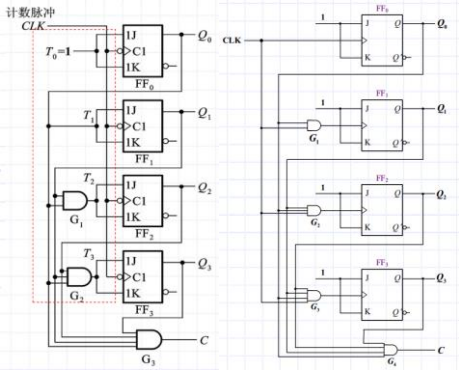
（2）移位寄存器的扩展



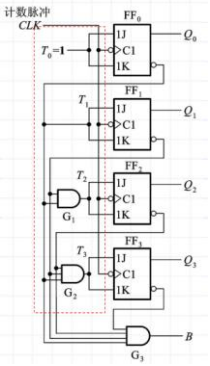
2.计数器

（1）同步二进制加法计数器

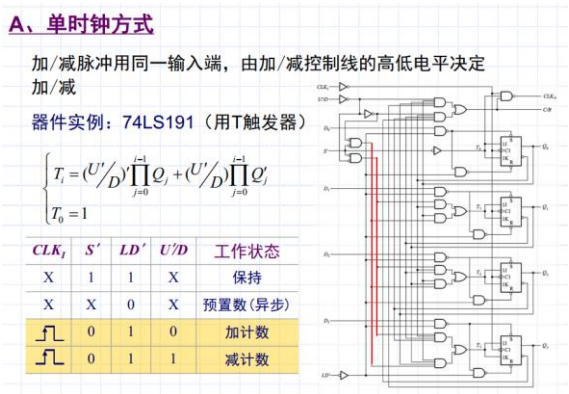
同步计数的两种方式：控制输入端，控制时钟端

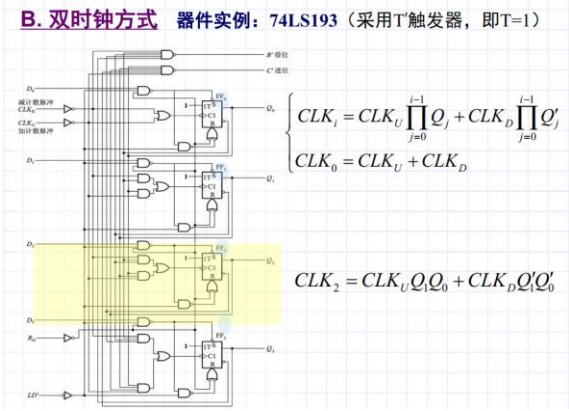


（2）同步二进制减法计数器



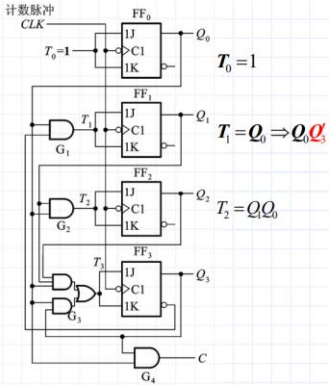
（3）同步二进制加减法计数器



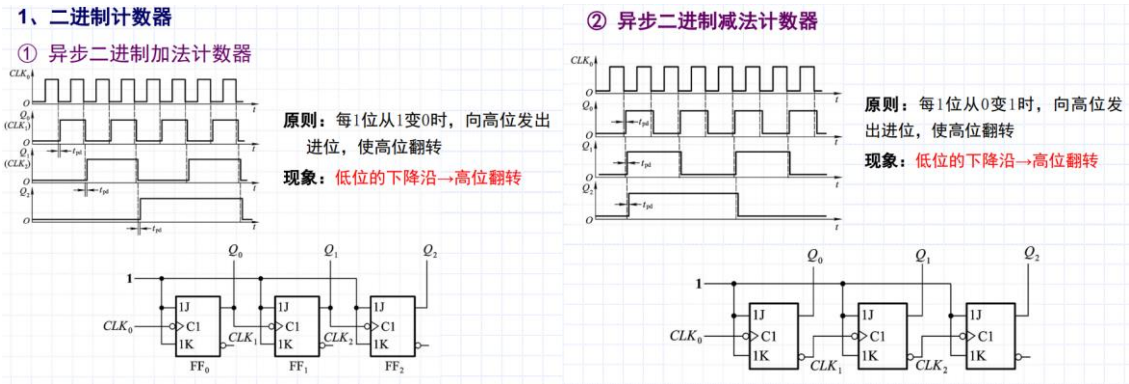


（4）同步十进制加法计数器

基本原理：修改四位二进制计数器，当计到1001时，则下一个CLK电路状态回到0000



（5）异步二进制加法器、减法器



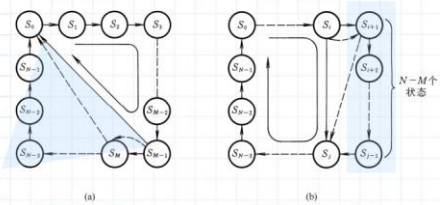
3.计数器——进制缩减/扩展

N进制->M进制

（1）N>M

原理：计数循环过程中设法跳过$N-M$个状态。

方法：**置零法** **置数法**



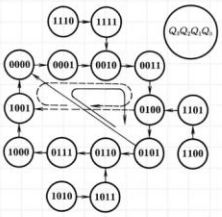
异步置零法
同步置零法

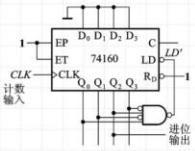
异步预置数法
同步预置数法

置数法

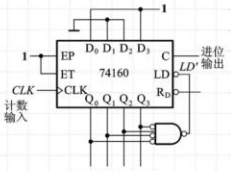
(a)置入0000

(b)置入1001

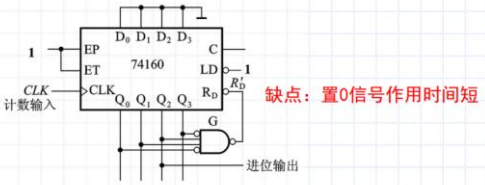




置入0000

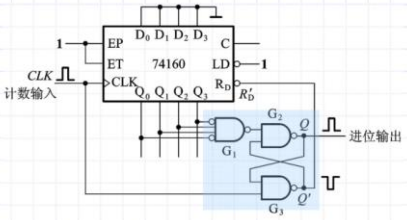


置入1001



缺点：置0信号作用时间短

改进电路



（2）N<M

①$M=N_1\times N_2$

先用前面的方法分别接成N_1和N_2两个计数器。

N_1和N_2间的连接有两种方式：

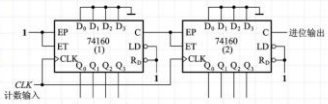
✓ 并行进位方式：用同一个CLK，低位片的进位输出作为高位片的计数控制信号（如74160的EP和ET）

✓ 串行进位方式：低位片的进位输出作为高位片的CLK，两片始终同时处于计数状态

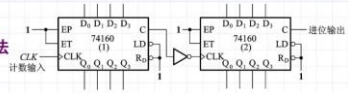
例：用两片74160接成百进制计数器

CLK	R_D'	LD'	EP	ET	工作状态
X	0	X	X	X	置 0（异步）
⎍	1	0	X	X	预置数（同步）
X	1	1	0	1	保持（包括C）
X	1	1	X	0	保持（C=0）
⎍	1	1	1	1	计数

并行进位法



串行进位法



② M 不可分解

采用整体置零和整体置数法：

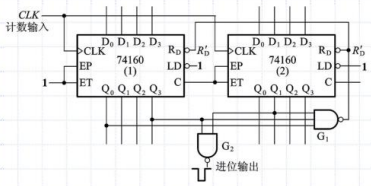
✓ 先用两片接成 $M'>M$ 的计数器

✓ 然后再采用置零或置数的方法

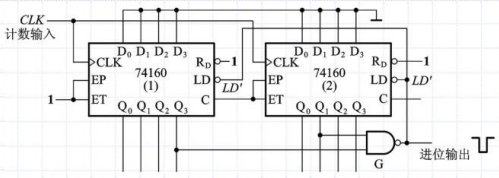
例：用74160接成二十九进制

CLK	R_D'	LD'	EP	ET	工作状态
X	0	X	X	X	置 0（异步）
⎍	1	0	X	X	预置数（同步）
X	1	1	0	1	保持（包括C）
X	1	1	X	0	保持（C=0）
⎍	1	1	1	1	计数

整体置零（异步）

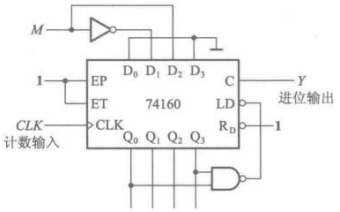


整体置数（同步）



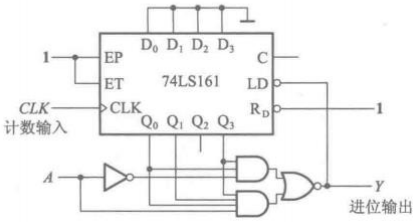
例1:

【题 6.13】 试分析图 P6.13 的计数器在 $M=1$ 和 $M=0$ 时各为几进制。74160 的功能表与表 6.3.4 相同。



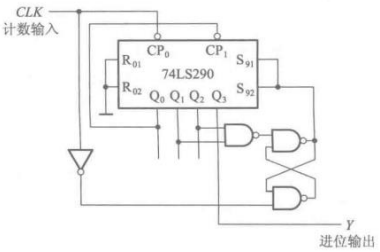
置数法：M=1时置0100，M=0时置0010，直到1001时置数
故M=1时，9->4->5->6->7->8->9为六进制
M=0时，9->2->3->4->5->6->7->8->9为八进制
例2:

【题 6.15】 图 P6.15 电路是可变进制计数器。试分析当控制变量 A 为 **1** 和 **0** 时电路各为几进制计数器。74LS161 的功能表见表 6.3.4。



置数法：A=0时，遇1001置数；A=1时，遇1011置数
故A=0时，十进制；A=1时，十二进制
例3:

【题 6.17】 分析图 P6.17 给出的计数器电路，画出电路的状态转换图，说明这是几进制计数器。74LS290 的电路见图 6.3.29。



74LS290为二-五-十进制异步计数器
S端为强制置9功能
遇0110时，SR触发器置1，使得计数器置9
9->0->1->2->3->4->5->9，七进制
例4:

【题 6.18】 试分析图 P6.18 计数器电路的分频比（即 Y 与 CLK 的频率之比）。74LS161 的功能表见表 6.3.4。

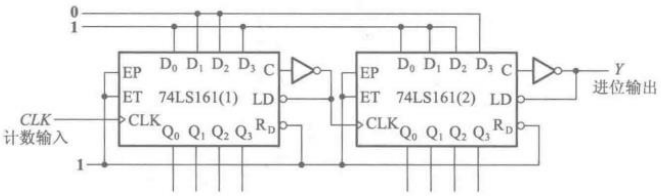
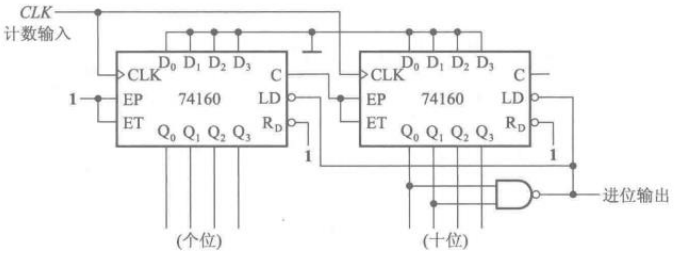


图 P6.18

第一片，遇1111进位，置数1001，七进制；第二片，置数法遇1111进位后，置数0111，九进制
分频比1：63
例5:

【题 6.21】 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160 的逻辑图和功能表见图 6.3.19 和表 6.3.4。

解：由于 31 是一个不能分解的素数，所以必须采用整体置数或整体置零的连接方式。若采用整体置数法，则应先将两片按同步连接方式接成 10×10＝100 进制计数器，然后用电路计为 30 的状态译出 $LD'=0$ 信号，如图 A6.21 所示。这样在电路从全零状态开始计数，计入 31 个脉冲后将返回全零状态，形成三十一进制计数器。



上述采用置数法，遇30置数0

也可以使用置零法，遇31异步置0

例6:

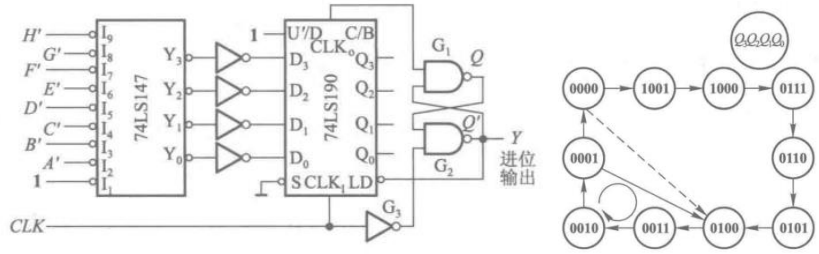
【题 6.25】 试用同步十进制可逆计数器 74LS190 和二-十进制优先编码器 74LS147 设计一个工作在减法计数状态的可控分频器。要求在控制信号 A、B、C、D、E、F、G、H 分别为 **1** 时分频比对应为 1/2、1/3、1/4、1/5、1/6、1/7、1/8、1/9。74LS190 的逻辑图见图 6.3.22，它的功能表与表 6.3.5 相同。可以附加必要的门电路。

解：可用 CLK_o 作为 LD' 信号。因为在 CLK 上升沿使 $Q_3Q_2Q_1Q_0=\mathbf{0000}$ 以后，在这个 CLK 的低电平期间 CLK_o 将给出一个负脉冲。74LS147 的功能表与表 4.3.3 相同。

但由于 74LS190 的 $LD'=0$ 信号是异步置数信号，所以 **0000** 状态在计数过程中是作为暂态出现的。如果为提高置数的可靠性，并产生足够宽度的进位输出脉冲，可以增设由 G_1、G_2 组成的锁存器，由 Q'端给出与 CLK 脉冲的低电平等宽的 $LD'=0$ 信号，并可由 Q'端给出进位输出脉冲。

由图 A6.25(a)中 74LS190 减法计数时的状态转换图可知，若 $LD'=0$ 时置入 $Q_3Q_2Q_1Q_0=\mathbf{0100}$，则得到四进制减法计数器，输出进位信号与 CLK 频率之比为 1/4。又由 74LS147 的功能表(表 4.4.3)可知，为使 74LS147 的输出反相后为 **0100**，I'_4需接入低电平信号，故 I'_4 应接输入信号 C。依此类推即可得到下表：

分频比(f_y/f_{CLK})	1/2	1/3	1/4	1/5	1/6	1/7	1/8	1/9
低电平信号输入端	$I'_2(A')$	$I'_3(B')$	$I'_4(C')$	$I'_5(D')$	$I'_6(E')$	$I'_7(F')$	$I'_8(G')$	$I'_9(H')$



例7:

【题 6.27】 图 P6.27 是一个移位寄存器型计数器。试画出电路的状态转换图，并说明这是几进制计数器，能否自启动。

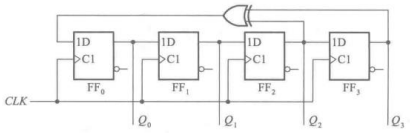


图 P6.27

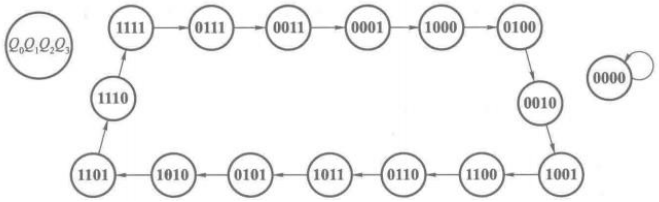
解：从图 P6.27 给出的电路可写出该电路的状态方程

$$\begin{cases} Q_0^* = D_0 = Q_2 \oplus Q_3 \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

解：从图 P6.27 给出的电路可写出该电路的状态方程

$$\begin{cases} Q_0^* = D_0 = Q_2 \oplus Q_3 \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

根据状态方程画出的状态转换图如图 A6.27 所示。可见这是一个十五进制计数器。电路若进入 **0000** 状态，则不能在 *CLK* 信号作用下进入有效循环，所以电路不能自启动。



例8:

【题 6.29】 设计一个序列信号发生器电路，使之在一系列 *CLK* 信号作用下能周期性地输出“**0010110111**”的序列信号。

解：此题的一种设计方案是用十进制计数器和 8 选 1 数据选择器组成这个序列信号发生器电路。

若十进制计数器选用 74160，则可列出在 *CLK* 连续作用下计数器状态 $Q_3Q_2Q_1Q_0$ 与要求产生的输出 Z 之间关系的真值表，如表 A6.29 所示。

若取用 8 选 1 数据选择器 74HC151（见图 4.5.5），则它的输出逻辑式可写为

$$Y=D_0(A_2'A_1'A_0')+D_1(A_2'A'A_0)+D_2(A_2'A_1A_0')+D_3(A_2'A_1A_0)$$
$$+D_4(A_2A_1'A_0')+D_5(A_2A'A_0)+D_6(A_2A_1A_0')+D_7(A_2A_1A_0)$$

由真值表写出 Z 的逻辑式，并化成与上式对应的形式则得到

$$Z=Q_3(Q_2'Q_1'Q_0')+Q_3(Q_2'Q_1'Q_0)+Q_3'(Q_2'Q_1Q_0')+\mathbf{0}\cdot(Q_2'Q_1Q_0)$$
$$+Q_3'(Q_2Q_1'Q_0')+Q_3'(Q_2Q_1'Q_0)+\mathbf{0}\cdot(Q_2Q_1Q_0')+Q_3'(Q_2Q_1Q_0)$$

令 $A_2=Q_2, A_1=Q_1, A_0=Q_0, D_0=D_1=Q_3, D_2=D_4=D_5=D_7=Q_3', D_3=D_6=\mathbf{0}$，则数据选择器的输出 Y 即所求之 Z。所得到的电路如图 A6.29 所示。

表 A6.29　题 6.29 的真值表

CLK 顺序	Q_3	Q_2	Q_1	Q_0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1

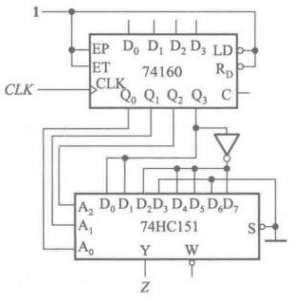


图 A6.29

4.移位寄存器型计数器

（1）环形计数器

（2）扭环形计数器

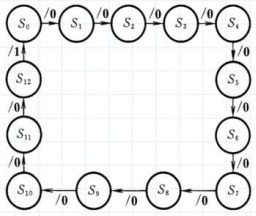
三十一、是否会设计简单的同步时序电路？是否掌握了设计的流程化的步骤？

【时序逻辑电路设计】

步骤：状态转换图->状态化简->状态分配->选用触发器->逻辑电路图->检查自启动

例1:

Step 1：逻辑抽象，画出状态图



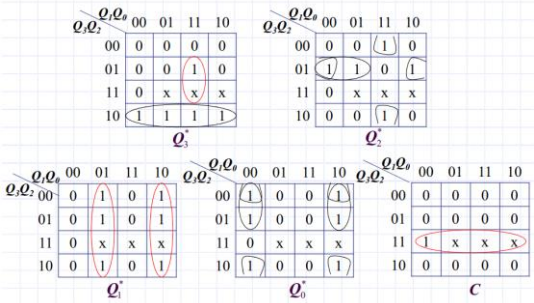
电路的次态及输出（$Q_3^*Q_2^*Q_1^*Q_0^*/C$）的卡诺图

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0001/0	0010/0	0100/0	0011/0
01	0101/0	0110/0	1000/0	0111/0
11	0000/1	xxxx/x	xxxx/x	xxxx/x
10	1001/0	1010/0	1100/0	1011/0

Step 2：状态化简

Step 3：状态分配：13个状态需用4个触发器

状态表的卡诺图分解



☆卡诺图的化简过程蕴涵着是否能够实现自启动!

Step 4：选用JK触发器，求三组方程

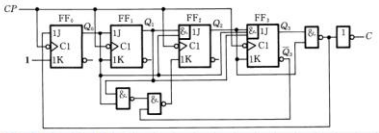
✓ 根据卡诺图写出状态方程、输出方程

$$\begin{cases} Q_3^* = Q_3Q_2' + Q_2Q_1Q_0 = (Q_2Q_1Q_0)Q_3' + (Q_2(Q_1Q_0)')'Q_3 \\ Q_2^* = Q_3'Q_2Q_1' + Q_3'Q_2Q_0' + Q_2'Q_1Q_0 \\ Q_1^* = Q_1Q_0' + Q_1'Q_0 \\ Q_0^* = Q_3'Q_0' + Q_2'Q_0' \end{cases} \qquad C = Q_3Q_2$$

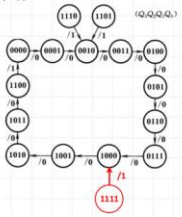
✓ 依据JK触发器特性方程（$Q^* = JQ' + K'Q$），写出驱动方程

$$\begin{cases} J_3 = Q_2Q_1Q_0 & K_3 = Q_2(Q_1Q_0)' \\ J_2 = Q_1Q_0 & K_2 = (Q_3'(Q_1Q_0)')' \\ J_1 = Q_0 & K_1 = Q_0 \\ J_0 = (Q_3Q_2)' & K_0 = 1 \end{cases}$$

Step 5：画出逻辑电路图



Step 6：检查能否自启动



例2:

【题 6.31】 试用 JK 触发器和门电路设计一个同步七进制计数器。

解：因为七进制计数器必须有七个不同的电路状态，所以需要用三个触发器组成。如果对电路的状态编码没有提出要求，则取哪七个状态以及如何安排顺序可自行确定。如果选用图 A6.31(a)状态转换图所示的状态编码和循环顺序，即可画出电路次状($Q_3^*\,Q_2^*\,Q_1^*$)的卡诺图，如图 A6.31(b)所示。

从卡诺图写出电路的状态方程得到

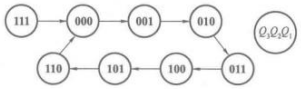
$$\begin{cases} Q_3^* = Q_3Q_2' + Q_2Q_1 = (Q_2Q_1)Q_3' + (Q_2')Q_3 \\ Q_2^* = Q_2'Q_1 + Q_3'Q_2Q_1' = (Q_1)Q_2' + (Q_3'Q_1')Q_2 \\ Q_1^* = Q_2'Q_1' + Q_3'Q_1' = (Q_2Q_3)'Q_1' + (1')Q_1 \end{cases}$$

将上式与 JK 触发器特性方程的标准形 $Q^* = JQ' + K'Q$ 对照，即可得出驱动方程为

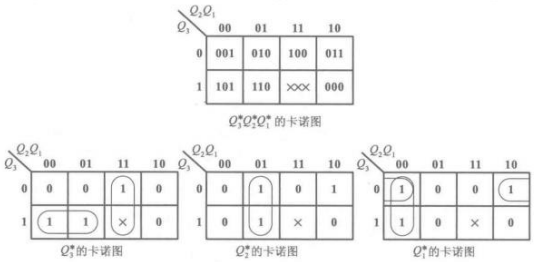
$$\begin{cases} J_3 = Q_2Q_1; & K_3 = Q_2 \\ J_2 = Q_1; & K_2 = (Q_3'Q_1')' \\ J_1 = (Q_3Q_2)'; & K_1 = 1 \end{cases}$$

根据驱动方程画出的电路图如图 A6.31(c)所示。

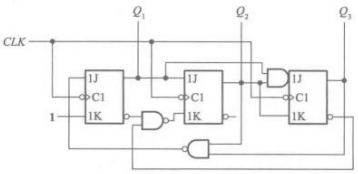
将无效状态 **111** 代入状态方程计算，得次态为 **000**，说明该电路能自启动。



(a)



(b)



(c)

图 A6.31

例3:

【题 6.34】 设计一个控制步进电动机三相六状态工作的逻辑电路，并用 VerilogHDL 语言对设计进行描述。如果用 **1** 表示电机绕组导通，**0** 表示电机绕组截止，则 3 个绕组 ABC 的状态转换图应如图 P6.34 所示。M 为输入控制变量，当 $M=1$ 时为正转，$M=0$ 时为反转。

解：取 Q_1、Q_2、Q_3 三个触发器的状态分别表示 A、B、C 的状态。由图 P6.34 可见，输出的状态与 A、B、C 的状态相同，故可直接得到 $y_a=Q_1$、$y_b=Q_2$、$y_c=Q_3$。

根据图 P6.34 的状态转换图画出 Q_1^*、Q_2^*、Q_3^* 作为 Q_1、Q_2、Q_3 和 M 的逻辑函数的卡诺图，如图 A6.34(a)。由卡诺图写出状态方程为

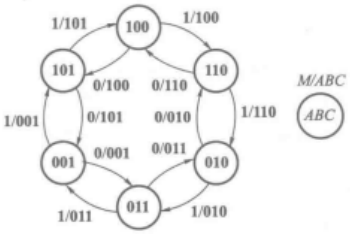


图 P6.34

$$\begin{cases} Q_1^* = MQ_2' + M'Q_3' \\ Q_2^* = MQ_3' + M'Q_1' \\ Q_3^* = MQ_1' + M'Q_2' \end{cases}$$

若采用 D 触发器，则根据 $Q^*=D$，即得到

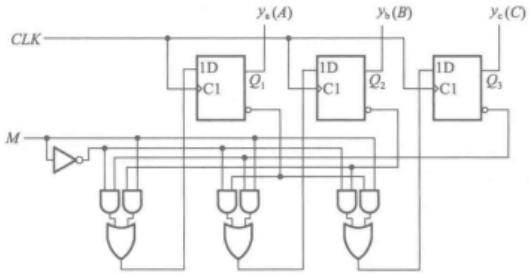
$$\begin{cases} D_1 = MQ_2' + M'Q_3' \\ D_2 = MQ_3' + M'Q_1' \\ D_3 = MQ_1' + M'Q_2' \end{cases}$$

据此画出的电路图如图 A6.34(b)所示。

MQ_1 \ Q_2Q_3	00	01	11	10
00	×××	011	010	110
01	101	001	×××	100
11	110	100	×××	010
10	×××	101	001	011

(Q_1^* Q_2^* Q_3^*)

(a)

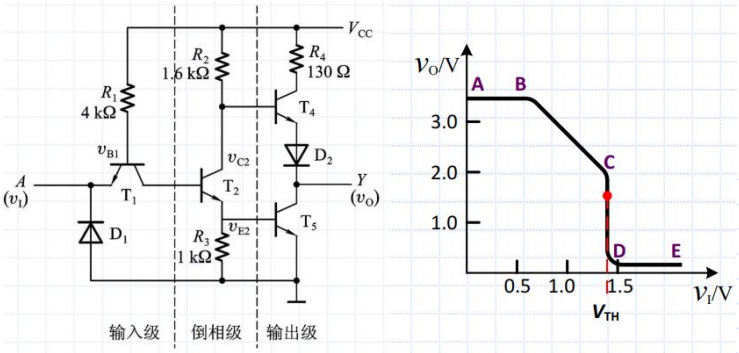


(b)

三十二、是否了解施密特触发电路的特点、图形符号？给定输入，是否能画出对应输出信号的波形？

【施密特触发电路】

1.TTL反相器：



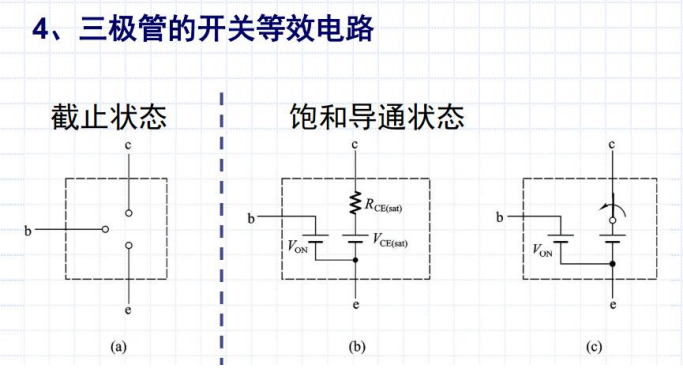
1、倒相级：T_2的输出V_{C2}和V_{e2}变化方向相反

2、推拉式：T_4和T_5总有一个导通、一个截止

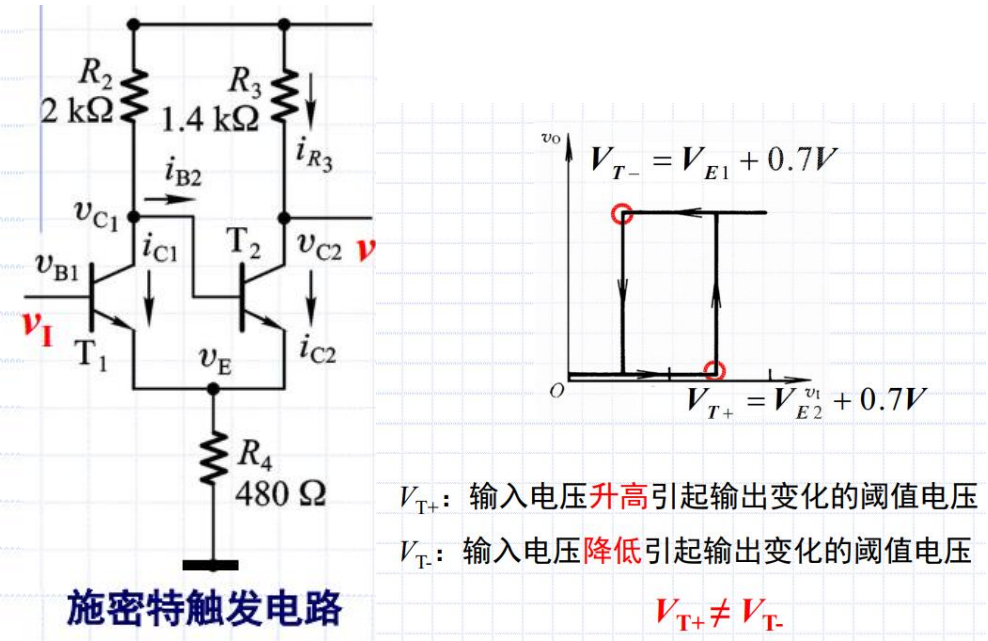
3、D_1抑制负向干扰

D_2保证T_5导通时T_4可靠地截止。

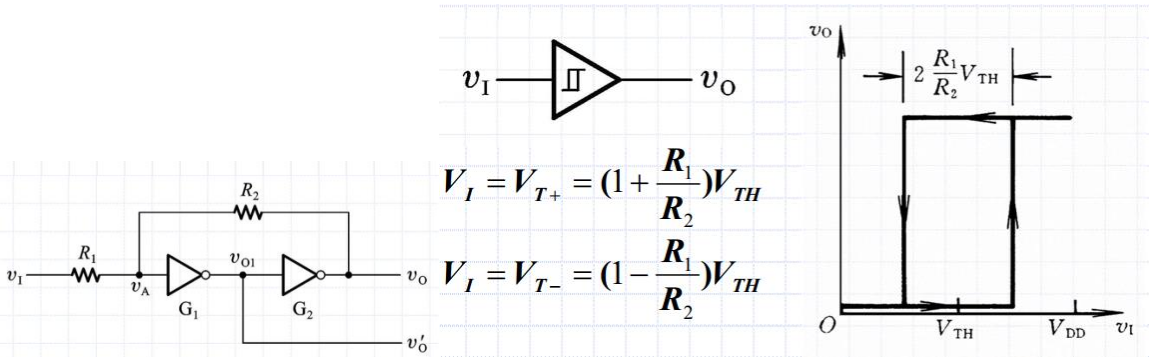
2.TTL等效电路:



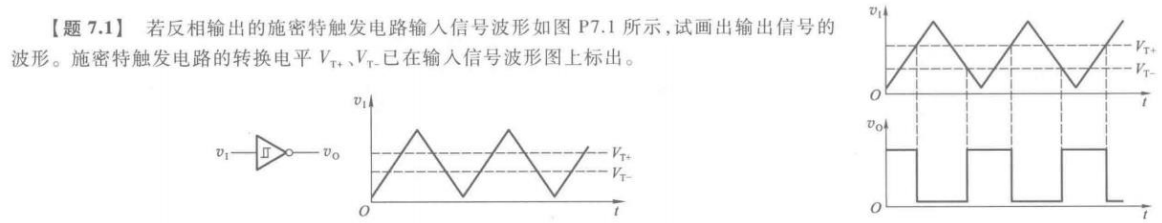
3.施密特触发电路



4.用反相器组成施密特触发电路



例1:



注：是施密特触发电路，但是还有反相的作用!

例2:

【题 7.2】 在图 P7.2 用 CMOS 反相器组成的施密特触发电路中，若 $R_1 = 50\ \text{k}\Omega$，$R_2 = 100\ \text{k}\Omega$，$V_{DD} = 5\ \text{V}$，$V_{TH} = \frac{1}{2}V_{DD}$，试求电路的输入转换电平 V_{T+}、V_{T-} 以及回差电压 ΔV_T。

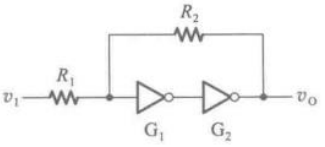


图 P7.2

解：根据《数字电子技术基础（第六版）》中的式（7.2.5）、（7.2.6）和（7.2.7）可得

$$V_{T+} = \left(1+\frac{R_1}{R_2}\right)V_{TH} = \left(1+\frac{50}{100}\right)\times 2.5\ \text{V} = 3.75\ \text{V}$$

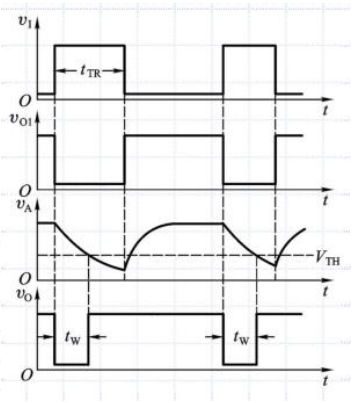
$$V_{T-} = \left(1-\frac{R_1}{R_2}\right)V_{TH} = \left(1-\frac{50}{100}\right)\times 2.5\ \text{V} = 1.25\ \text{V}$$

$$\Delta V_T = V_{T+} - V_{T-} = (3.75-1.25)\ \text{V} = 2.5\ \text{V}$$

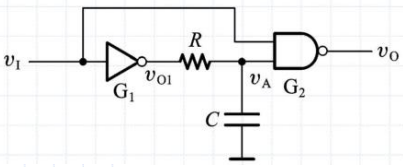
三十三、是否能分析课件和书本所列的单稳态电路的工作原理和过程，计算暂稳态持续时间、分辨时间等？包括：CMOS 门电路构成的和集成单稳态电路

【单稳态电路】

1.积分型单稳态电路



G1和G2为TTL门



① **输出脉宽：**

$$t_w = RC\ln\frac{V_{(\infty)}-V_{(0)}}{V_{(\infty)}-V_{(t)}} = RC\ln\frac{V_{OH}}{V_{TH}}$$

② **恢复时间：**

$$t_{re} = (3\sim 5)(R + R'_O)C$$

③ **分辨时间：**

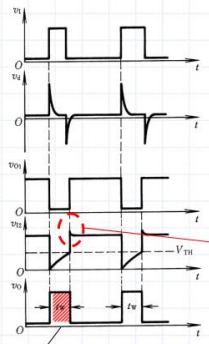
$$t_d = t_{TR} + t_{re}$$

3、缺点：

① 输出波形的边沿较差

② 触发脉冲必须大于输出脉冲

2.微分型单稳态电路

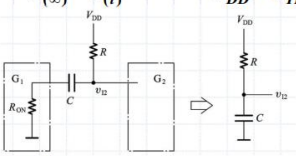


输出脉冲宽度t_W：

V_{I2}从0充电至V_{TH}

① **输出脉宽：**

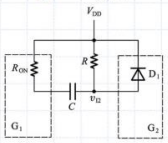
$$t_w = RC\ln\frac{V_{(\infty)}-V_{(0)}}{V_{(\infty)}-V_{(t)}} = RC\ln\frac{V_{DD}-0}{V_{DD}-V_{TH}} = RC\ln 2$$



充电电路

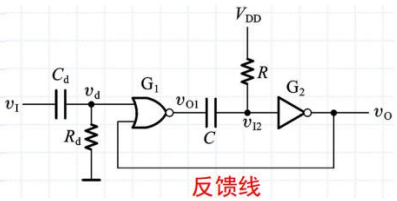
② **恢复时间：**

$$t_{re} = (3\sim 5)(R//r_{D1} + R_{ON})C \approx (3\sim 5)R_{ON}C$$

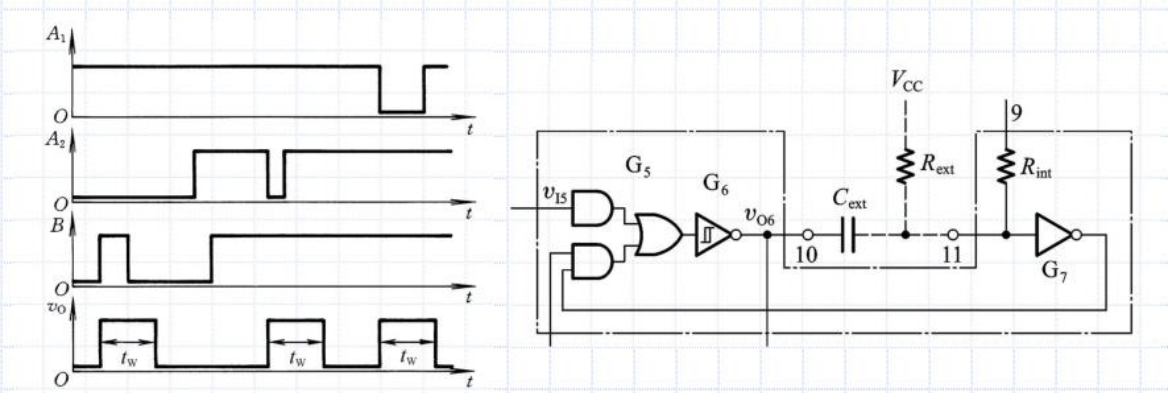


放电电路

③ **分辨时间：** $t_d = t_w + t_{re}$

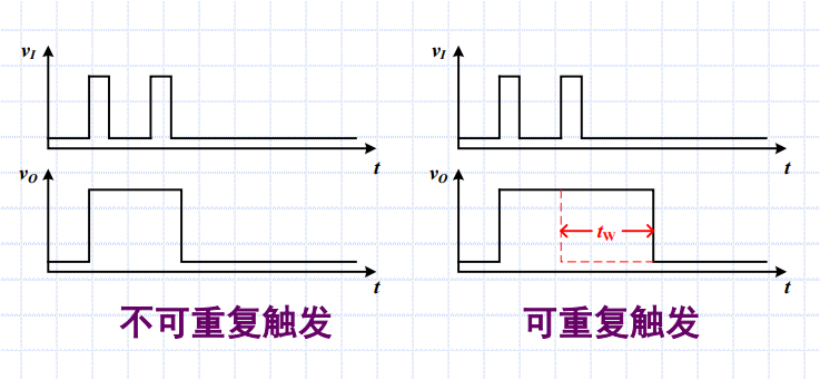


3.集成单稳态电路



$$t_w = RC\ln\frac{V_{(\infty)}-V_{(0)}}{V_{(\infty)}-V_{(t)}} = RC\ln\frac{V_{CC}-0}{V_{CC}-V_{TH}} \approx RC\ln 2$$

4.可重复触发单稳态电路、不可重复触发单稳态电路



例1

【题 7.8】 在图 7.3.5 的积分型单稳态电路中，若 G_1 和 G_2 为 74LS 系列门电路，它们的 $V_{OH}=3.4$ V，$V_{OL}\approx 0$，$V_{TH}=1.1$ V，$R=1$ kΩ，$C=0.01$ μF，试求在触发信号作用下输出负脉冲的宽度。设触发脉冲的宽度大于输出脉冲的宽度。

解：设门电路输出低电平 $V_{OL}\approx 0$，输出电阻 R_o 很小，可以忽略，则根据《数字电子技术基础(第六版)》给出的式(7.3.6)得到

$$t_W = RC\ln\frac{V_{OH}}{V_{TH}} = 1\times10^3\times0.01\times10^{-6}\ln\frac{3.4}{1.1}\ \text{s}$$
$$= 11.3\ \mu\text{s}$$

例2

【题 7.10】 在图 P7.9 的微分型单稳态电路中，若 G_1 和 G_2 为 74 系列 TTL 门电路，它们的 $V_{OH}=3.2$ V，$V_{OL}\approx 0$，$V_{TH}=1.3$ V，$R=0.3$ kΩ，$C=0.01$ μF，试计算电路输出负脉冲的宽度。

$$t_W = RC\ln\frac{V_{OH}}{V_{TH}} = 0.3\times10^3\times0.01\times10^{-6}\ln\frac{3.2}{1.3}\ \text{s}$$
$$= 2.7\ \mu\text{s}$$

例3

【题 7.11】 图 P7.11 是用两个集成单稳态电路 74121 所组成的脉冲变换电路，外接电阻和外接电容的参数如图中所示。试计算在输入触发信号 v_I 作用下 v_{O1}、v_{O2} 输出脉冲的宽度，并画出与 v_I 波形相对应的 v_{O1}、v_{O2} 的电压波形。v_I 的波形如图中所示。

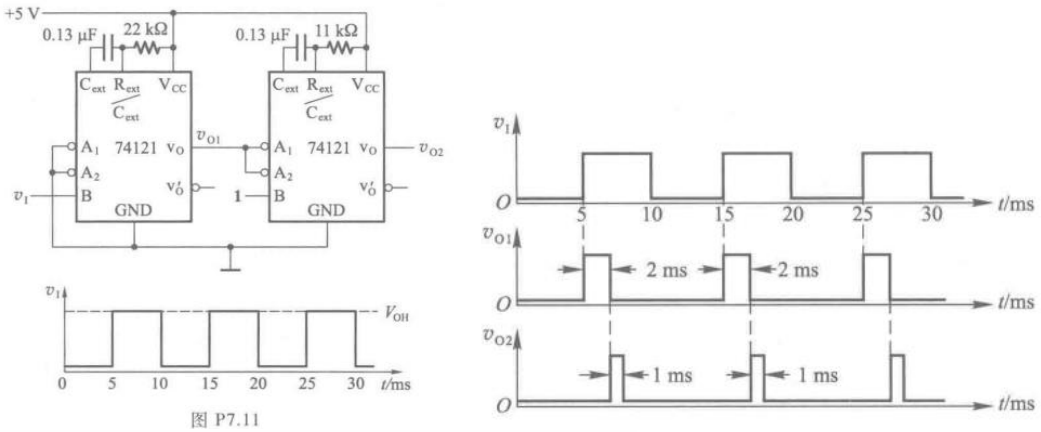


图 P7.11

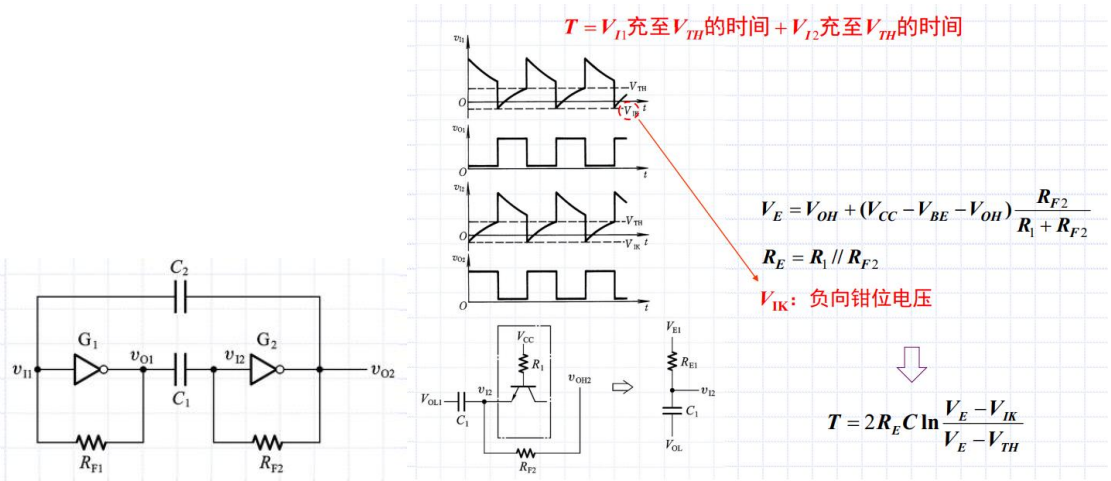
$$t_{W1} = 0.69\times22\times10^{3}\times0.13\times10^{-6}\ \text{s} \approx 2\ \text{ms}$$

$$t_{W2} = 0.69\times11\times10^{3}\times0.13\times10^{-6}\ \text{s} \approx 1\ \text{ms}$$

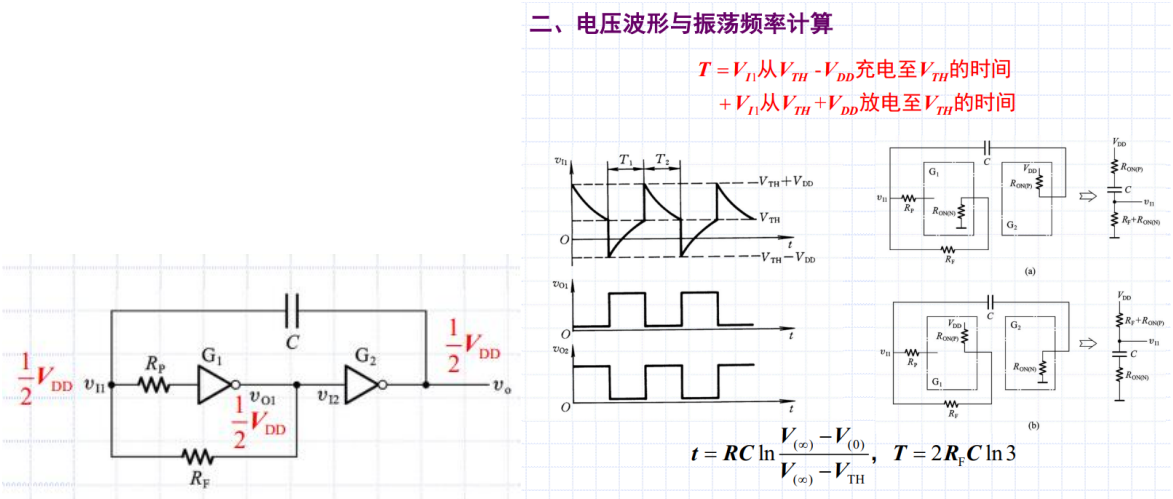
三十四、是否会分析 CMOS 门电路构成的多谐振荡电路工作原理和工作过程，是否会计算振荡频率？

【COMS多谐振荡电路】

1.对称式多谐振荡电路（TTL）



2.非对称式多谐振荡电路（CMOS）



3.对称式多谐振荡电路（COMS）

例：

【题 7.13】 图 P7.13 是用 CMOS 反相器组成的对称式多谐振荡电路。若 $R_{F1}=R_{F2}=10\ \text{k}\Omega$，$C_1=C_2=0.01\ \mu\text{F}$，$R_{P1}=R_{P2}=33\ \text{k}\Omega$，试求电路的振荡频率，并画出 v_{I1}、v_{O1}、v_{I2}、v_{O2} 各点的电压波形。

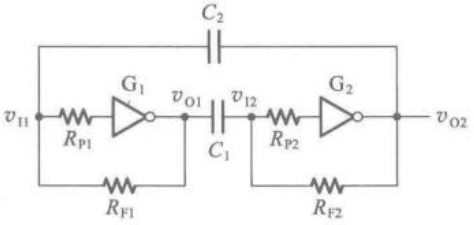


图 P7.13

解：在 R_{P1}、R_{P2} 足够大的条件下，反相器的输入电流可以忽略不计。在电路参数对称的情况下，电容的充电时间和放电时间相等，据此画出的各点电压波形如图 A7.13(a)所示。图 A7.13(b)是电容充、放电的等效电路。

由等效电路求得振荡周期为

$$T=2(R_F+R_{ON(N)}+R_{ON(P)})C\ln\frac{V_{DD}-(V_{TH}-V_{DD})}{V_{DD}-V_{TH}}$$

在 $R_F \gg R_{ON(N)}$、$R_F \gg R_{ON(P)}$、$V_{TH}=\frac{1}{2}V_{DD}$ 的条件下，可将上式写成

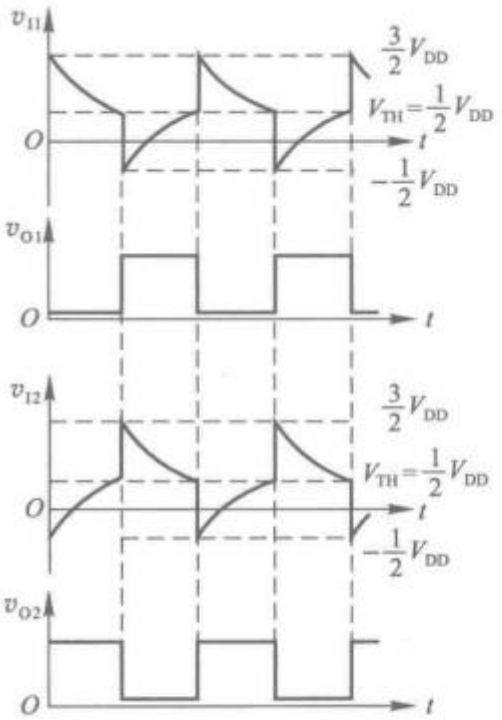
$$T=2R_FC\ln 3$$

将给定的 R_F、C 值代入上式后得到

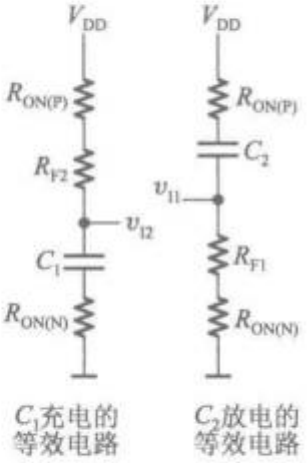
$$T=2\times10\times10^3\times0.01\times10^{-6}\times1.1\ \text{s}=2.2\times10^{-4}\ \text{s}$$

故得到振荡频率为

$$f=\frac{1}{T}=4.55\ \text{kHz}$$

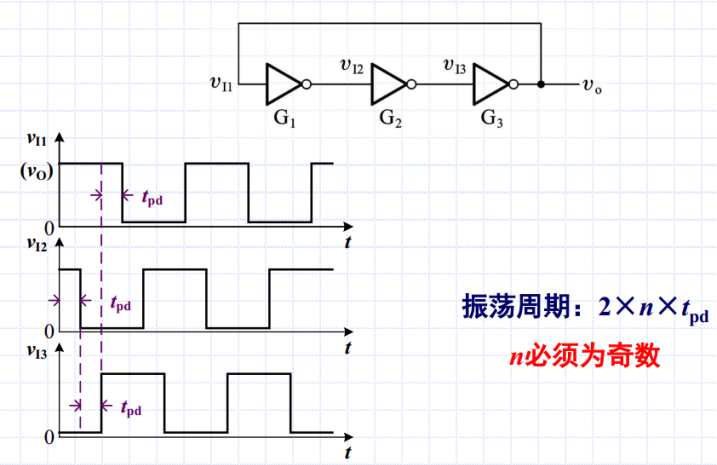


(a)



(b)

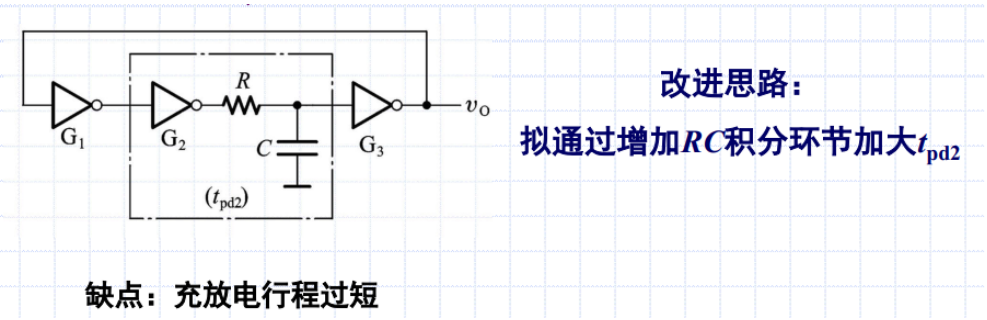
4.环形振荡电路



振荡周期：$2\times n\times t_{pd}$

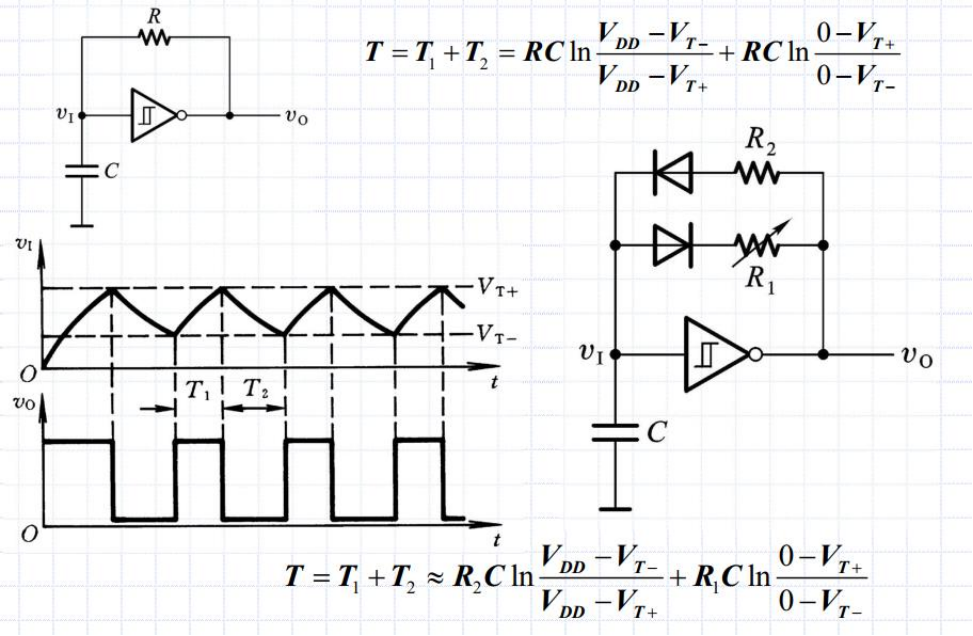
***n*必须为奇数**

改进



缺点：充放电行程过短

5.施密特触发电路组成的多谐振荡电路



例1:

【题 7.18】 在图 7.4.17 电路中，已知 CMOS 集成施密特触发电路的电源电压 $V_{DD}=15$ V，$V_{T+}=9$ V，$V_{T-}=4$ V，试问：

（1）为了得到占空比为 $q=50\%$ 的输出脉冲，R_1 与 R_2 的比值应取多少？

（2）若给定 $R_1=3$ kΩ，$R_2=8.2$ kΩ，$C=0.05$ μF，电路的振荡频率为多少？输出脉冲的占空比又是多少？

解：

（1）由《数字电子技术基础（第六版）》中给出的式（7.4.20）可知，为使$q=50\%$，应取 T_1 与 T_2 相等，即

$$R_2 C\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}=R_1 C\ln\frac{V_{T+}}{V_{T-}}$$

故

$$\frac{R_2}{R_1}=\frac{\ln\frac{V_{T+}}{V_{T-}}}{\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}}=\frac{\ln\frac{11}{6}}{\ln\frac{9}{4}}=\frac{3}{4}$$

（2）$T=T_1+T_2=R_2 C\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}+R_1 C\ln\frac{V_{T+}}{V_{T-}}$

$$=8.2\times10^3\times0.05\times10^{-6}\ln\frac{11}{6}\ \text{s}+3\times10^3\times0.05\times10^{-6}\ln\frac{9}{4}\ \text{s}$$

$$=(0.25+0.12)\ \text{ms}=0.37\ \text{ms}$$

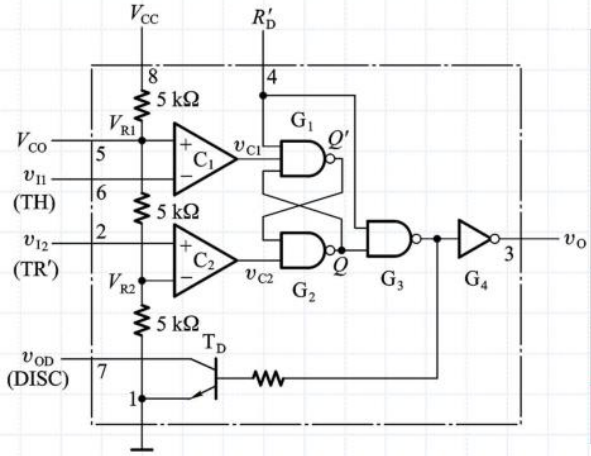
$$f=\frac{1}{T}=2.7\ \text{kHz}$$

输出脉冲的占空比 $q=\frac{T_1}{T}=\frac{0.25}{0.37}=0.68$

三十五、是否理解 555 定时器的功能表？给定 555 定时器功能表与芯片框图，是否会分析由 555 定时器搭建的各种电路对应的功能？施密特？单稳？多谐振荡？掌握计算暂稳态宽度和振荡周期

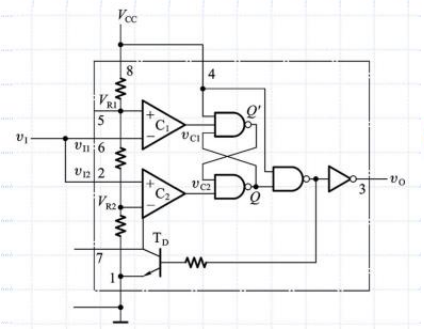
【555定时器】

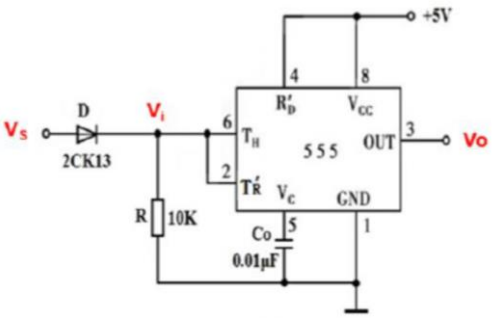
1.功能表



输入			输出	
R'_D	V_{I1}	V_{I2}	V_O	T_D
0	X	X	0	导通
1	$>\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	0	导通
1	$<\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	不变	不变
1	$<\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	1	截止
1	$>\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	1	截止

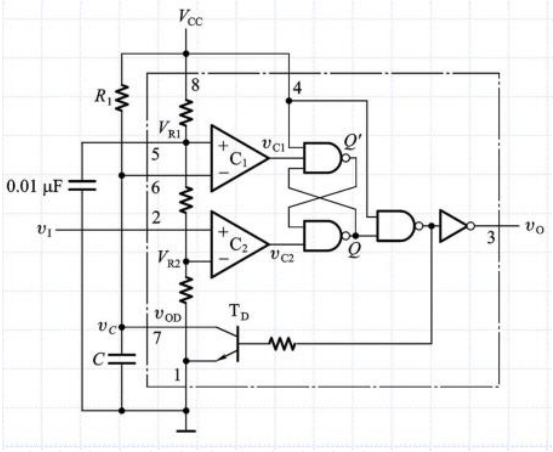
2.组成施密特触发电路（有反相作用）

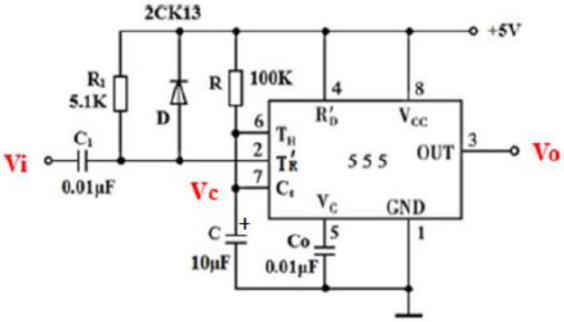




$$V_{T-}=\frac{1}{3}V_{CC}\qquad V_{T+}=\frac{2}{3}V_{CC}$$

3.组成单稳态电路



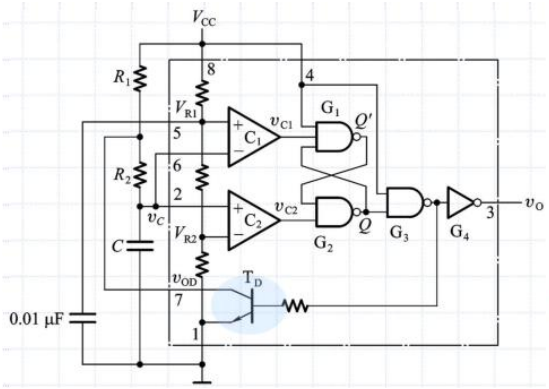


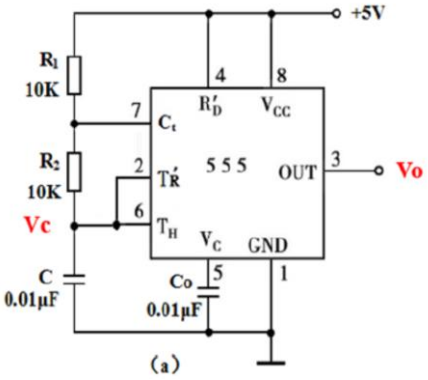
暂稳态输出的宽度

$$t_w = RC\ln\frac{V_{CC}-0}{V_{CC}-\frac{2}{3}V_{CC}} = RC\ln 3$$

不可重复触发

4.组成多谐振荡电路



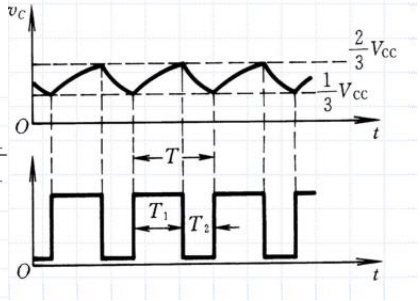


原理：施密特电路组成多谐振荡电路

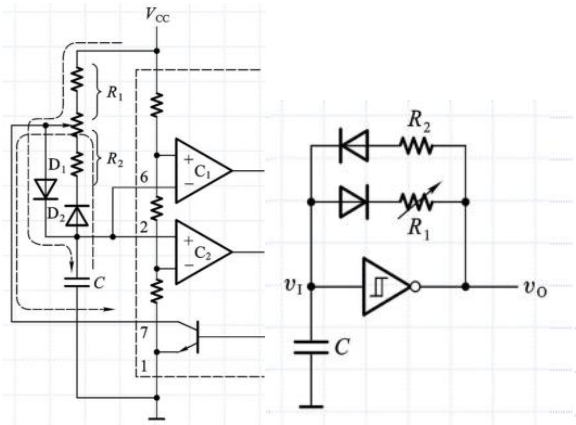
$$T = T_1 + T_2$$

$$= (R_2 + R_1)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}} + R_2C\ln\frac{0-V_{T+}}{0-V_{T-}}$$

$$q = \frac{R_1+R_2}{R_1+2R_2} > 50\%$$



改进



占空比： $q = \dfrac{R_1}{R_1+R_2}$

例1：

［题 7.20］ 图 P7.20 是用 555 定时器组成的开机延时电路。若给定 $C=25\ \mu F$，$R=91\ k\Omega$，$V_{CC}=12\ V$，试计算常闭开关 S 断开以后经过多长的延迟时间 v_O 才跳变为高电平。

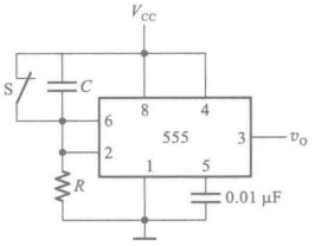


图 P7.20

解：延迟时间等于从 S 断开瞬间到电阻 R 上的电压降至 $V_{T-}=\frac{1}{3}V_{CC}$ 的时间，即

$$T_D=RC\ln\frac{0-V_{CC}}{0-\frac{1}{3}V_{CC}}=RC\ln 3$$

$$=1.1\times91\times10^3\times25\times10^{-6}\ s$$

$$=2.5\ s$$

（施密特触发电路，降至1/3V_{CC}才跳变）

例2

【题 7.23】 图 P7.23 是用 555 定时器构成的压控振荡电路，试求输入控制电压 v_I 和振荡频率之间的关系式。当 v_I 升高时频率是升高还是降低？

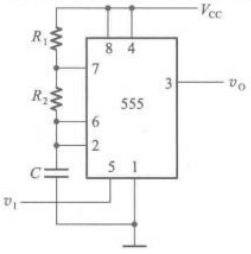


图 P7.23

解：由《数字电子技术基础（第六版）》中的式（7.5.2）及式（7.5.3）知，振荡周期为

$$T=T_1+T_2=(R_1+R_2)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_2C\ln\frac{V_{T+}}{V_{T-}}$$

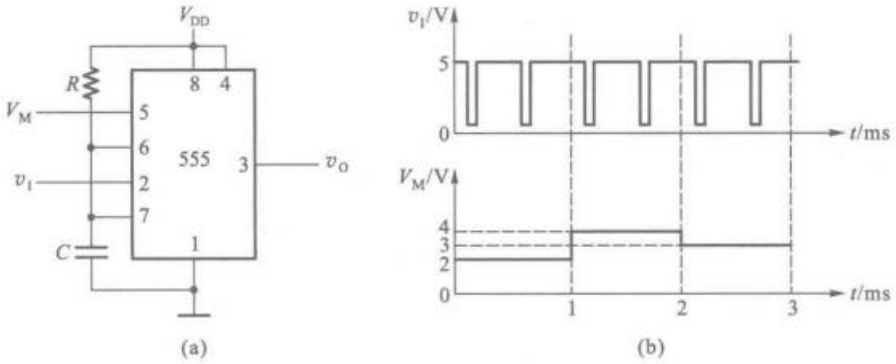
将 $V_{T+}=v_I$，$V_{T-}=\frac{1}{2}v_I$ 代入上式后得到

$$T=(R_1+R_2)C\ln\frac{V_{CC}-\frac{1}{2}v_I}{V_{CC}-v_I}+R_2C\ln 2$$

当 v_I 升高时，T 变大，振荡频率下降。

例3

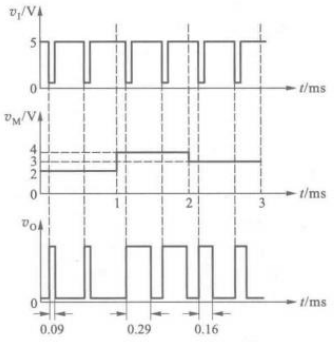
【题 7.27】 图 P7.27(a)是用 555 定时器接成的脉冲宽度调制电路，其中 $R=18\ k\Omega$，$C=0.01\ \mu F$。若 $V_{DD}=5\ V$，触发输入信号 v_I 和调制输入信号 V_M 的电压波形如图 P7.27(b)中所示，试画出与之对应的输出电压波形，并计算 V_M 为 2 V、3 V、4 V 时输出脉冲的宽度。



解：图 P7.27(a)的脉冲宽度调制电路实际上是一个单稳态电路，它的输出脉冲宽度受调制输入信号 V_M 控制。在《数字电子技术基础（第六版）》第七章中给出了计算单稳态电路输出脉冲宽度的公式，见式（7.5.1）。将式中电容充电过程的转换值改为 V_M，就得到了计算图 P7.27(a)电路输出脉冲宽度的公式

$$t_W=\frac{RC\ln(V_{CC}-0)}{(V_{CC}-V_M)}$$

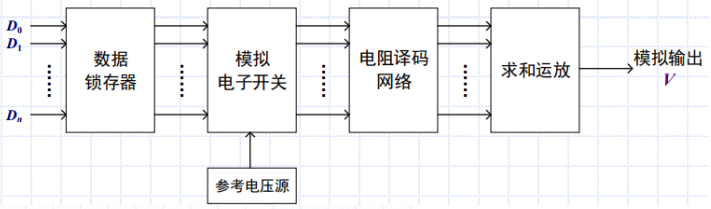
根据上式计算得到：当 $V_M=2\ V$ 时，$t_W=0.09\ ms$；当 $V_M=3\ V$ 时，$t_W=0.16\ ms$；当 $V_M=4\ V$ 时，$t_W=0.29\ ms$。输出脉冲的波形图如图 A7.27 所示。

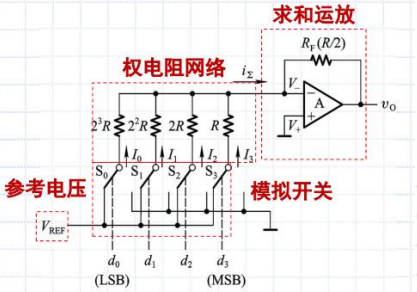


三十六、是否能分析课件所列的权电阻网络、倒 T 电阻网络以及权电流对应的 DAC电路的工作原理？是否会计算不同数字输入 D 下对应的电压输出 VO?
三十七、是否会做 DAC 的简单的精度计算？

【DAC】
1.权电阻网络型
（1）结构（LSB：最低位，MSB：最高位）

权电阻网络型DAC一般结构框图：





负反馈放大器：

设A为理想放大器，即$A_v=\infty$，$i_I=0$，$R_O=0$

当接成深度负反馈时，必有$V_-\approx V_+=0$，且$i_I=0$

优缺点：

- ✓ 优点：简单
- ✓ 缺点：电阻值相差大，难于保证精度，且大电阻不宜于集成在IC内部

权电流：

$$I_i=\frac{V_{REF}}{2^{(n-1)-i}R_i}$$

$$I_0=\frac{V_{REF}}{2^3R}$$

$$I_1=\frac{V_{REF}}{2^2R}$$

$$I_2=\frac{V_{REF}}{2^1R}$$

$$I_3=\frac{V_{REF}}{2^0R}$$

输出电压：$V_O=-R_Fi_\Sigma$

$$=-R_F(I_3+I_2+I_1+I_0)$$

$$=-R_F\left(\frac{V_{REF}}{R}d_3+\frac{V_{REF}}{2R}d_2+\frac{V_{REF}}{2^2R}d_1+\frac{V_{REF}}{2^3R}d_0\right)$$

$$=-\frac{V_{REF}}{2^4}(2^3d_3+2^2d_2+2^1d_1+2^0d_0)$$

$$R_F=R/2$$

例：

【题 8.4】 在图 8.2.5 由 AD7520 所组成的 D/A 转换器中，已知 $V_{REF}=-10$ V，试计算当输入数字量从全 **0** 变到全 **1** 时输出电压的变化范围。如果想把输出电压的变化范围缩小一半，可以采取哪些方法？

解：根据《数字电子技术基础(第六版)》中给出的式(8.2.5)可知

$$v_O=-\frac{V_{REF}}{2^n}\cdot D=\left(\frac{10}{2^{10}}\times D\right)\ \text{V}$$

将 $D=0$、$D=2^{10}-1$(全 **1**)代入上式即可求出输入从全 **0** 变到全 **1** 时输出电压的变化范围为 0~9.99 V。

如果需要将输出电压的变化范围缩小一半，可以将 V_{REF} 的绝对值减小一半，即改为 $V_{REF}=-5$ V。也可以将求和放大器的放大倍数减小一半。为此，求和放大器的反馈电阻不能再使用 AD7520 片内提供的反馈电阻 R，而应在 I_{out} 与放大器输出端 v_O 之间外接一个大小等于 $\frac{R}{2}$ 的反馈电阻。AD7520 内设置的反馈电阻 R 为 10 kΩ。

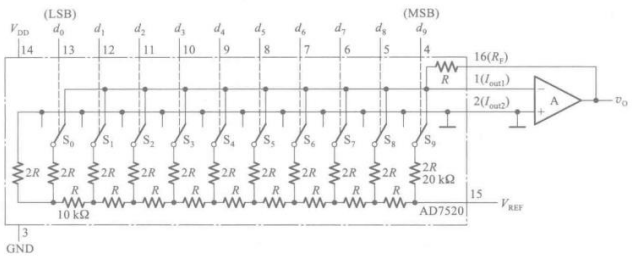


图 8.2.5 AD7520 的电路原理图

例2

【题 8.5】 图 P8.5 所示电路是用 AD7520 和同步十六进制计数器 74HC161 组成的波形发生器电路。已知 AD7520 的 $V_{REF}=-10$ V，试画出输出电压 v_O 的波形，并标出波形图上各点电压的幅度。AD7520 的电路结构见图 8.2.5，74HC161 的功能表与表 6.3.4 相同。

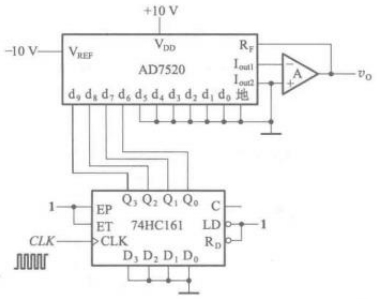
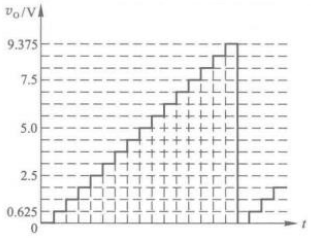


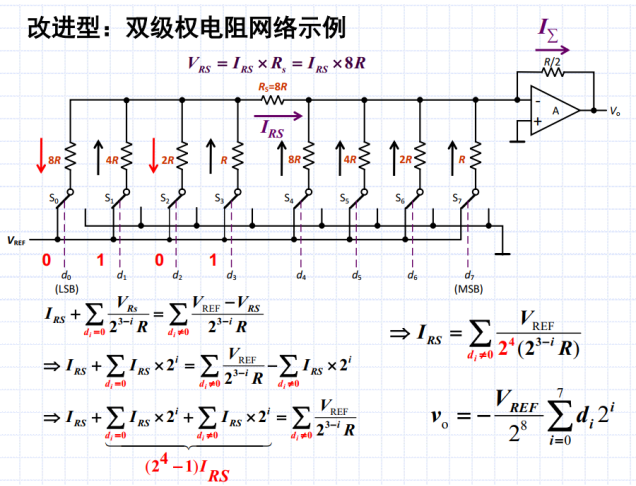
图 P8.5



解：由于 74HC161 工作在计数状态，所以在时钟信号连续作用下，它的输出端 $Q_3Q_2Q_1Q_0$ 从 0000～1111 不停地循环，AD7520 的输入 $d_9d_8d_7d_6$ 也从 0000～1111 不停地循环。根据《数字电子技术基础(第六版)》中的式(8.2.5)即可计算出 $d_9d_8d_7d_6$ 为 0000、0001、…、1111 时对应的输出电压值，并得到如图A8.5所示的v_O 电压波形图。

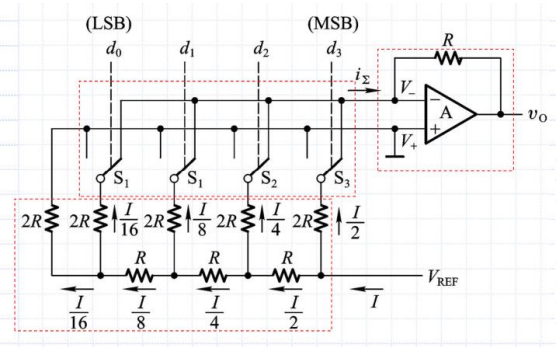
变化最小单位：$2^6\frac{10}{2^{10}}V=0.625V$

（2）改进：



2.倒T形电阻网络DAC

（1）结构



$$\left.\begin{array}{l} d_i=1\text{时，}I_i\text{流入}i_\Sigma \\ d_i=0\text{时，}I_i\text{流入地端}\end{array}\right\}\Rightarrow i_\Sigma=d_3(\frac{I}{2})+d_2(\frac{I}{4})+d_1(\frac{I}{8})+d_0(\frac{I}{16})$$

$$V_o=-Ri_\Sigma=-R\frac{V_{REF}}{R}\frac{1}{2^4}(d_3 2^3+d_2 2^2+d_1 2^1+d_0 2^0)$$

$$=-\frac{V_{REF}}{2^4}D$$

例：

【题 8.8】 试分析图 P8.8 电路的工作原理，画出输出电压 v_0 的波形图。AD7520 的电路图见图 8.2.5。同步十进制计数器 74HC160 的功能表见表6.3.4。表 P8.8 给出了 RAM 的 16 个地址单元中所存的数据。高 6 位地址$A_9 \sim A_4$始终为 **0**，在表中没有列出。RAM 的输出数据只用了低 4 位，作为 AD7520 的输入。因 RAM 的高 6 位数据没有使用，故表中也未列出。

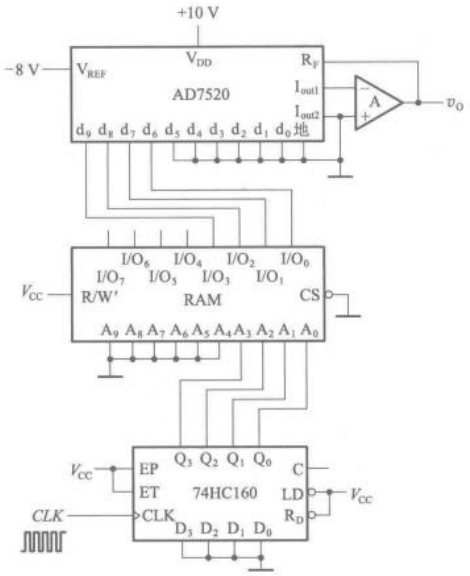
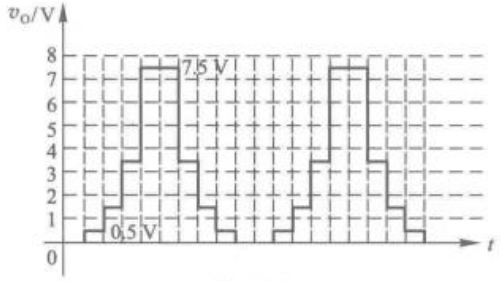


图 P8.8

表 P8.8 图 P8.8 中 RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1

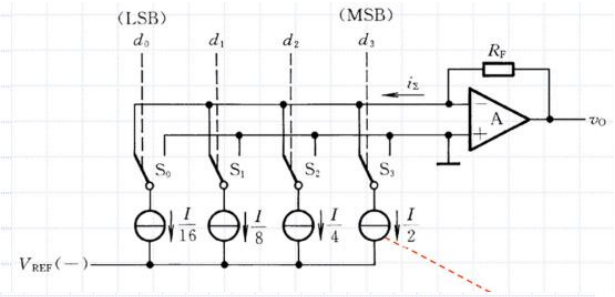
解：十进制计数器 74HC160 工作在计数状态，在 *CLK* 脉冲序列的作用下，$Q_3Q_2Q_1Q_0$ 的状态从 **0000** 到 **1001** 循环计数，将存储器 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ = **0000000000 ~ 0000001001** 这十个地址单元中存储的数据依次读出，作为 AD7520 的数字量输入。AD7520 高 4 位数字量输入 d_9、d_8、d_7、d_6 每位为 **1** 时产生的输出模拟电压分别为+4 V、+2 V、+1 V、+0.5 V。输出电压 v_0 的波形如图 A8.8 所示。



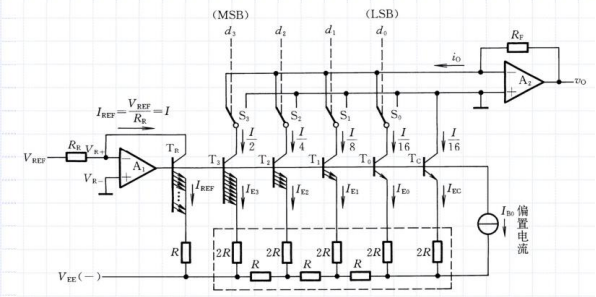
最小单位$8 * \frac{2^6}{2^{10}} = 0.5V$

0->1-3->7->15->15->7->3->1->0

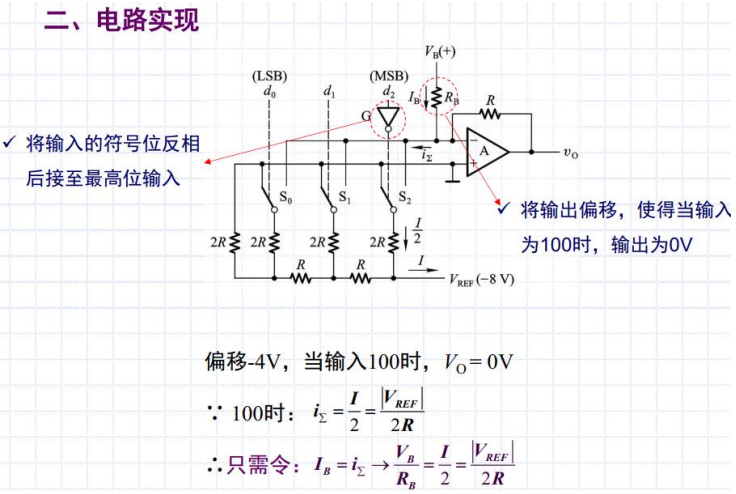
3.权电流型D/A转换器



示例：利用倒T形电阻网络的权电流型D/A转换器



4.双极性输出DAC



偏移-4V，当输入100时，$V_O = 0V$

∵ 100时：$i_\Sigma = \frac{I}{2} = \frac{|V_{REF}|}{2R}$

∴只需令：$I_B = i_\Sigma \rightarrow \frac{V_B}{R_B} = \frac{I}{2} = \frac{|V_{REF}|}{2R}$

无极性DAC 输入输出表

原码输入 D_2	D_1	D_0	对应的输出
1	1	1	+7V
1	1	0	+6V
1	0	1	+5V
1	0	0	+4V
0	1	1	+3V
0	1	0	+2V
0	0	1	+1V
0	0	0	0V

偏移4V

有极性DAC 输入输出表

补码输入 D_2	D_1	D_0	要求的输出
0	1	1	+3V
0	1	0	+2V
0	0	1	+1V
0	0	0	0V
1	1	1	-1V
1	1	0	-2V
1	0	1	-3V
1	0	0	-4V

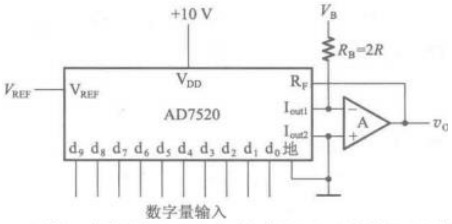
修改DAC的具体操作：

✓ 将输入的符号位反相后接至最高位输入

✓ 将输出偏移，使得当**输入为100时，输出为0V**

例1

【题 8.6】 图 P8.6 所示电路是用 AD7520 组成的双极性输出 D/A 转换器。AD7520 的电路结构见图 8.2.5，其倒 T 形电阻网络中的电阻 $R=10\ \text{k}\Omega$。为了得到±5 V 的最大输出模拟电压，在选定 $R_B=20\ \text{k}\Omega$ 的条件下，V_{REF}、V_B应各取何值？



解：由本书前面给出的式(8-3-5)可知，双极性输出 D/A 转换器的输出电压为

$$v_O=-\frac{V_{REF}R_F}{2^nR}(D-2^{n-1})$$

在 $R_F=R$ 的条件下，为使 $D=0$ 时和 $D=2^{n-1}$时输出电压幅度均为 5 V，则应取 $V_{REF}=10$ V。

为实现双极性输出，V_B 提供的偏移电流大小应与 $d_9=1$ 而其余各位为 0 时的输出电流 I_{out}相等。又知 $d_9=1$ 产生的输出电流为$\frac{V_{REF}}{2R}$，所以得到

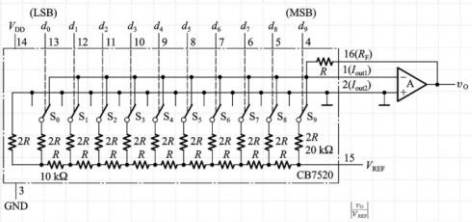
$$\frac{|V_B|}{R_B}=\frac{V_{REF}}{2R}$$

$$|V_B|=\frac{R_B}{2R}V_{REF}=V_{REF}=10\ \text{V}$$

V_B 的极性应与 V_{REF}相反。当 $V_{REF}=10$ V 时，应取 $V_B=-10$ V。

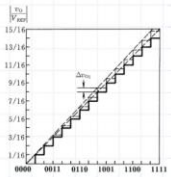
5.DAC的精度

二、误差分析



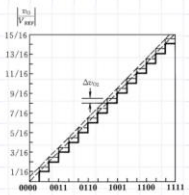
1、ΔV_{REF}引起的误差

$$V_O=-\frac{V_{REF}}{2^n}D_n\Rightarrow\Delta V_O=-\frac{\Delta V_{REF}}{2^n}D_n$$



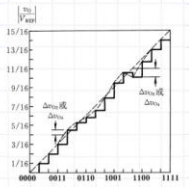
2、漂移误差

由OpA零点漂移导致的曲线漂移



3、非线性误差

模拟开关的导通内阻不为0，电阻网络的偏差引起



总误差：几种误差的绝对值相加

例1：

例：5G7520(10位倒T形DAC）中，若保证由V_{REF}偏差引起的误差$<\frac{1}{2}LSB$

试求V_{REF}的相对稳定度（$\frac{\Delta V_{REF}}{V_{REF}}$）。

*$\frac{1}{2}$LSB在输出产生的电压（$V_O=-\frac{V_{REF}}{2^n}D_n$）

LSB对应$D_n=1$，有$V_O=-\frac{V_{REF}}{2^{10}}$

$\frac{1}{2}$LSB对应的输出电压为：$\frac{V_{REF}}{2^{11}}$

*由ΔV_{REF}产生的ΔV_O为

$\Delta V_O=-\frac{\Delta V_{REF}}{2^n}D_n$，最大误差时对应$D_n=2^n-1$

$|\Delta V_O|=\frac{(2^{10}-1)}{2^{10}}|\Delta V_{REF}|$

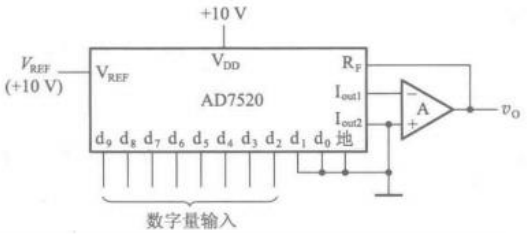
要求：$|\Delta V_O|\le\frac{|V_{REF}|}{2^{11}}$

即$\frac{2^{10}-1}{2^{10}}|\Delta V_{REF}|\le\frac{|V_{REF}|}{2^{11}}$

所以$\frac{|\Delta V_{REF}|}{|V_{REF}|}\le\frac{1}{2^{11}}\frac{2^{10}}{2^{10}-1}\approx0.05\%$

例2：

【题 8.13】 在图 P8.13 所示的 D/A 转换器中，已知输入为 8 位二进制数码，接在 AD7520 的高 8 位输入端上，$V_{REF}=10$ V。为保证 V_{REF} 偏离标准值所引起的误差 $\leqslant \frac{1}{2}$LSB（现在的 LSB 应为 d_2），允许 V_{REF} 的最大变化 ΔV_{REF} 是多少？V_{REF} 的相对稳定度 $\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$ 应为多少？AD7520 的电路见图 8.2.5。



解：根据题目要求，应满足

$$\frac{2^8-1}{2^8}\Delta V_{REF}<\frac{1}{2}\cdot\frac{V_{REF}}{2^8}$$

$$\Delta V_{REF}<\frac{V_{REF}}{2^9}\cdot\frac{2^8}{2^8-1}\approx\frac{V_{REF}}{2^9}=19.5\ \text{mV}$$

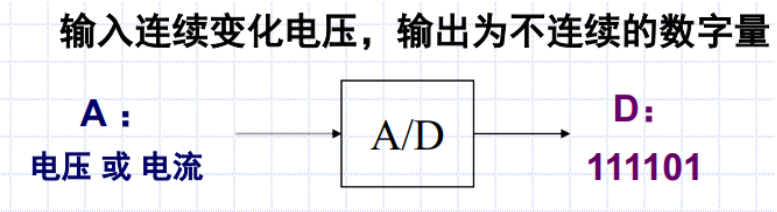
$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right|\approx\frac{1}{2^9}=2‰$$

也可以直接利用式（8-3-9）计算，得到的结果相同。

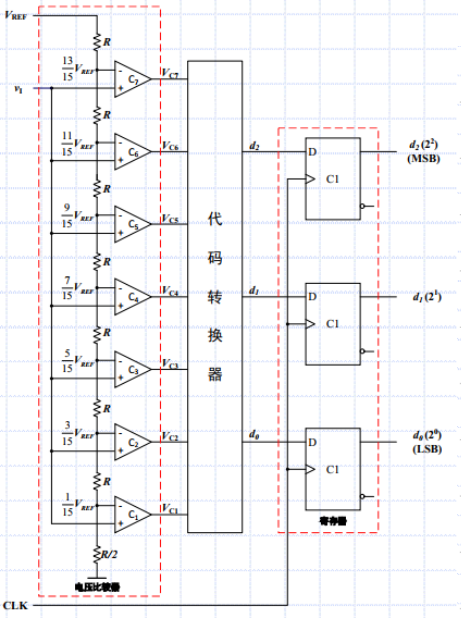
LSB现在对应d2，因此n=8，代入公式即可

三十八、是否能分析并联比较型、逐次渐近型对应的 ADC 电路的工作原理？是否会计算不同电压输入下的输出 D？
三十九、是否能分析 V-T 和 V-F 两种 ADC 电路的工作原理？是否会计算不同模拟电压输入下的对应的输出 D？
四十、是否定性的了解各类 ADC 的优缺点？

【ADC】
1.定义：



2.并联比较型A/D转换器（闪速A/D转换器）



电压比较器的输入输出

v_I	$V_{C7}\sim V_{C1}$
$\frac{13}{15}V_R \sim \frac{15}{15}V_R$	→ 1111111
$\frac{11}{15}V_R \sim \frac{13}{15}V_R$	→ 0111111
$\frac{9}{15}V_R \sim \frac{11}{15}V_R$	→ 0011111
$\frac{7}{15}V_R \sim \frac{9}{15}V_R$	→ 0001111
$\frac{5}{15}V_R \sim \frac{7}{15}V_R$	→ 0000111
$\frac{3}{15}V_R \sim \frac{5}{15}V_R$	→ 0000011
$\frac{1}{15}V_R \sim \frac{3}{15}V_R$	→ 0000001
$\frac{0}{15}V_R \sim \frac{1}{15}V_R$	→ 0000000

代码转换器的输入输出

$V_{C7}\sim V_{C1}$	$d_2\ d_1\ d_0$
1111111	111
0111111	110
0011111	101
0001111	100
0000111	011
0000011	010
0000001	001
0000000	000

闪速A/D的特点：

① **快**，CLK触发信号到达到输出稳定建立只需几十纳秒

② **电路规模指数级增长：**n位需要2^n-1比较器

③ 精度受参考电压、分压网络等因素影响

④ 有存储器，不需要S/H电路

3.流水线型A/D转换器

级数增加 { **转换时间增长** / **转换精度提高** } **矛盾**

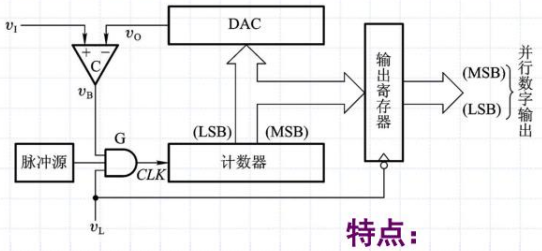
⇩

流水线型ADC

4.逐次逼近型A/D转换器

1、计数型

基本原理：取一个“D”加到DAC上，得到模拟输出电压，将该值与输入电压比较，如两者不等，则调整D的大小，到相等为止，则D为所求值



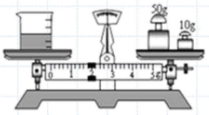
特点：

① 简单

② 慢，最多的需要（2^n-1）T_{CLK}

2、逐次渐近型

基本原理：类似于天平称重



操作流程：

✓ 首先最高位置1，其他置0（类比先放最重砝码）

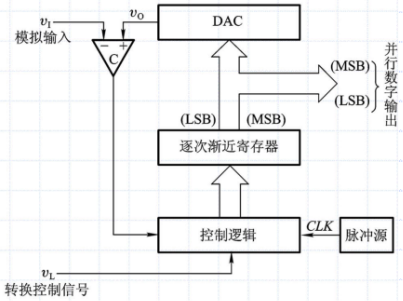
if $V_O < V_I$，保留“1”

else 最高位置“0”

✓ 其次，将次高位置“1”，同上操作

……

✓ 以此类推

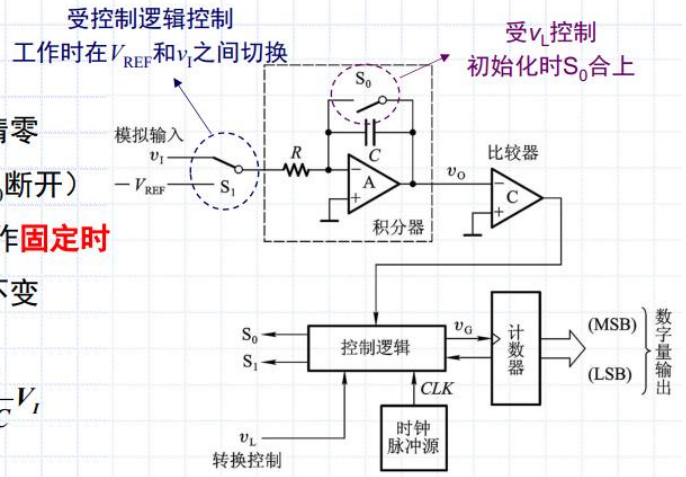


仅需比较n次，电路不太复杂、较快

n位：(n+2)个CLK

5.双积分型A/D转换器（V-T）

双积分型（V-T变换型）基本原理：先将V转换成与之成正比的时间宽度信号，然后在这个时间内用固定频率脉冲计数



1、起始状态：计数器清零

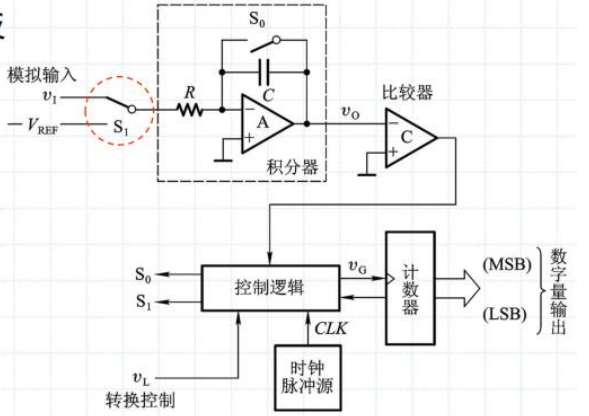
2、v_L=1，转换开始（S_0断开）

Step1： $S_1 \rightarrow v_I$，积分器作**固定时间T_1**的积分，T_1期间v_I不变

$$V_O = \frac{1}{C}\int_0^{T_1} -\frac{V_I}{R}dt = -\frac{T_1}{RC}V_I$$

$$\therefore V_O \propto V_I$$

Step2： $S_1 \rightarrow -V_{REF}$，积分器作反向积分至$V_O = 0$



$$V_O = \frac{1}{C}\int_0^{T_2} \frac{V_{REF}}{R}dt - \frac{V_I}{RC}T_1 = 0$$

$$\frac{V_{REF}}{RC}T_2 = \frac{V_I}{RC}T_1 \Rightarrow T_2 = \frac{T_1}{V_{REF}}V_I$$

令计数器在T_2期间用固定频率f_C的脉冲计数，有：

$$D = T_2 f_C = \underbrace{\boxed{\frac{T_1}{T_C V_{REF}}}}_{\text{常数}} V_I$$

$$D = T_2 f_C = \frac{T_1}{T_C V_{REF}}V_I$$

若：$T_1 = NT_C \Rightarrow D = \frac{N}{V_{REF}}V_I$　　若$T_1 = 2^n T_C$，$D = \frac{2^n}{V_{REF}}V_I$

6.积分型电荷平衡式V-F变换器

$$f_{out} = 1/(t_W + t_{int}) = \underbrace{\boxed{(1/I_0 t_W R_{int})}}_{\text{常数}} v_I$$

例：

【题 8.16】 如果将图 8.6.7 逐次逼近型 A/D 转换器的输出扩展到 10 位，取时钟信号频率为 1 MHz，试计算完成一次转换操作所需要的时间。

解：完成一次转换所需时间为

$$(n+2)T_c = 12\times10^{-6}\ \text{s} = 12\ \mu\text{s}$$

【题 8.17】 在图 8.6.10 所示的双积分型 A/D 转换器中，若计数器为 10 位二进制，时钟信号频率为 1 MHz，试计算转换器的最大转换时间是多少？

解： 最大转换时间为 $2^{n+1}T_c = 2^{11}\times10^{-6}\ \text{s} = 2.048\ \text{ms}$。

双积分型 A/D 转换器的主要缺点是工作速度低。如果采用图 8.6.10 所给出的控制方案，那么每完成一次转换的时间应取在 $2T_1$ 以上，即不应小于$2^{n+1}T_c$。如果再加上转换前的准备时间

试卷2020-2021

编写：jefice　答案仅供参考

1、(6 分) 试用公式法将逻辑函数式 $Y = AC + B'C + BD' + CD' + AB + A'BCD' + AC'$ 化简成最简与或式，并将最简与或式转换为"或非-或非"形式。

$$Y = AC + B`C + BD` + CD` + AB + A`BCD` + AC`$$
$$AC + AB + AC` = A$$
$$B`C + BD` + CD` + A`BCD` + CD` = B`C + BD` + CD` = B`C + BD`$$
$$(*)\ B`C + BD` + CD` = B`C + BD` + BCD` + B`CD` = B`C + BD`$$
$$\Rightarrow \quad Y = A + B`C + BD`$$

$$Y = \left(A`(B`C)`(BD`)`\right)` = \left(A`(B + C`)(B` + D)\right)` = (A`B`C` + A`BD)`$$
$$Y = \left((A + B + C)` + (A + B` + D`)`\right)`$$

2、(6 分) 试用卡诺图化简法对一组**多输出**逻辑函数进行化简，函数式如下:

$$\begin{cases} Y_1(A,B,C,D) = \sum(3,4,5,6,7,8,9,12,13,14,15) \\ Y_2(A,B,C,D) = \sum(2,3,4,6,7,12,14) \\ Y_3(A,B,C,D) = \sum(2,6,8,9) \end{cases}$$

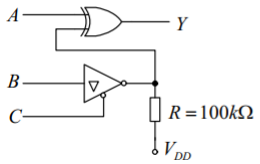
AB\CD	00	01	11	10
00	0	0	1	0
01	1	1	1	1
11	1	1	1	1
10	1	1	0	0

AB\CD	00	01	11	10
00	0	0	1	1
01	1	0	1	1
11	1	0	0	1
10	0	0	0	0

AB\CD	00	01	11	10
00	0	0	0	1
01	0	0	0	1
11	0	0	0	0
10	1	1	0	0

$$Y_1 = AB`C` + BD` + A`CD + BD$$
$$Y_2 = BD` + A`CD + A`CD`$$
$$Y_3 = AB`C` + A`CD`$$

3、(6 分) 试给出下图所示电路的真值表与标准与或式。注：图中门电路均为 CMOS 器件。



C为0时，三态门正常工作；C为1时，三态门为高阻态，输出对应V_{DD}为高电平

真值表

A	B	C	Y
0	0	0	1
0	1	0	0
1	0	0	0
1	1	0	1
0	x	1	1
1	x	1	0

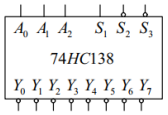
卡诺图

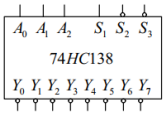
A\BC	00	01	11	10
0	1	1	1	0
1	0	0	0	1

$$Y = A \oplus (B`C` + C) = A(B` + C)` + A`(B` + C) = ABC` + A`B` + A`C$$

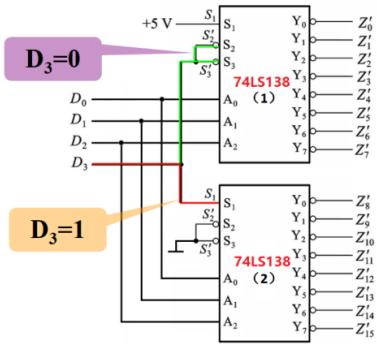
4、(6 分) 试用 2 片 3 线-8 线译码器（74HC138）扩展成 4 线-16 线译码器，将输入的 4 位二进制代码 $D_3D_2D_1D_0$ 译成低电平信号 $Z'_0 \sim Z'_{15}$ ，74HC138 功能表与框图如下。

输 入					输 出							
S_1	$S'_2+S'_3$	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



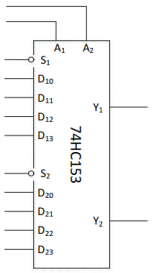


两片74LS138组成4线—16线译码器



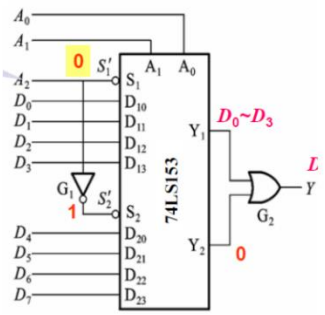
5、(6 分) 试用双 4 选 1 的器件 74HC153 实现逻辑函数 $Y = AC'D + A'B'CD + BC + A'B'C$ ，在下图器件上画出完整的电路图。4 选 1 数据选择器功能表及双 4 选 1 器件框图如下。

S'	A_1	A_0	Y
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3



$$Y = AC`D + A`B`CD + BC + A`B`C$$
$$= (A`B`C + A`BC + ABC)D` + (A`B`C + A`BC + ABC + ABC` + AB`C`)D$$
$$Y = A`B`C` \cdot 0 + (A`B`C) \cdot 1 + (A`BC`) \cdot 0 + (A`BC) \cdot 1 + (AB`C`)D + (AB`C) \cdot 0 + (ABC`) \cdot D + (ABC) \cdot 1$$

双4选1扩展为8选1

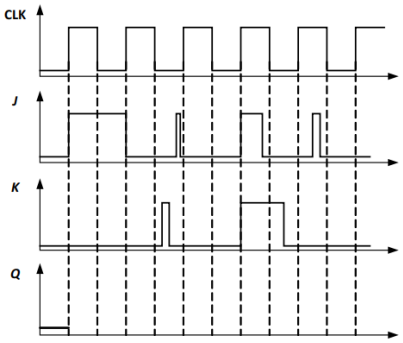


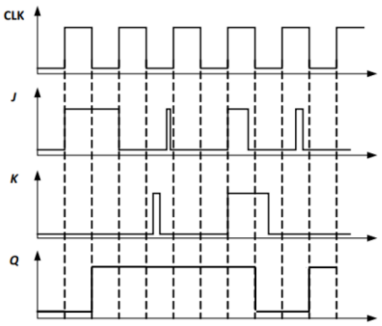
$A_0A_1A_2$接ABC

（C为低电平有效，C=0时第一片工作）

其余$D_0D_2D_5D_6$接地，$D_1D_3D_7$接V_{CC}，D_4D_6接D

6、(6 分) 主从电路结构、正脉冲触发的 JK 触发器的 J、K 端输入波形如下图所示，试画出 Q 端对应的波形，设 Q 的初始状态为 0。





CLK ↓触发改变波形，JK触发器$Q^* = JQ` + K`Q$

第一个CLK周期结束时，$J = 1$ $K = 0$，置1，第一个CLK下降沿抵达时Q为1

第二个CLK周期结束时，$J = 0$ $K = 0$，保持，Q保持1

第三个CLK周期结束时，同上

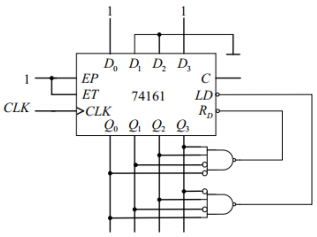
第四个CLK周期结束时，$J = 0$ $K = 1$，置0，第四个CLK下降沿抵达时Q为0

第五个CLK周期结束时，$J = 0$ $K = 0$，保持，此时主触发器保持在第四个CLK周期的状态置1，因此从触发器1

波形见右图

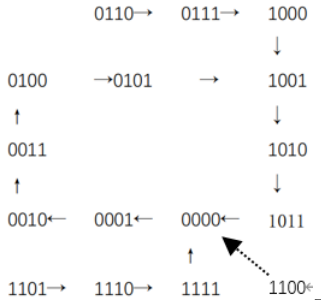
7、(6 分) 二进制计数器 74161 的功能表如下所示，试给出下图电路的状态转换图，并说明该电路实现的具体功能。

CLK	R'_D	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持，$C = 0$
↑	1	1	1	1	计数



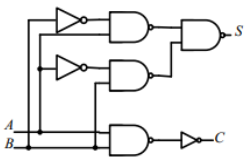
计数状态，置数状态（置9）

状态转换图$Q_3Q_2Q_1Q_0$



实现0到5，9到11计数（九进制计数）

8、(6 分) 试分析下图电路，写出逻辑函数式并给出该电路的逻辑功能。

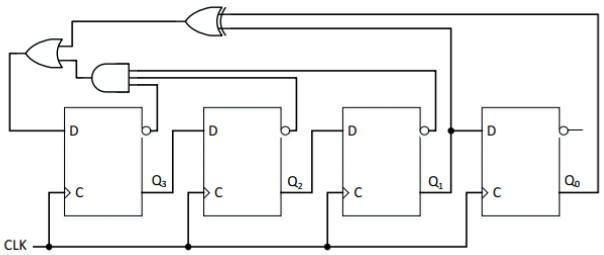


$$S = \left((AB`)`(A`B)`\right)` = AB` + A`B = A \oplus B$$

$$C = AB$$

半加器：A、B为加数和被加数，S为和，C为进位

9、(6 分) 下图为一移位反馈寄存器型的计数器电路，试写出该电路的驱动方程和状态方程，画出状态转换图，分析该电路的循环长度是多少，并说明电路能否自启动。



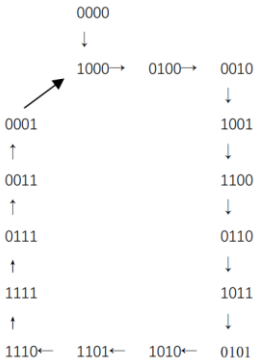
驱动方程

$$D_0 = Q_1$$
$$D_1 = Q_2$$
$$D_2 = Q_3$$
$$D_3 = Q_3^{`}Q_2^{`}Q_1^{`} + (Q_1 \oplus Q_0)$$

状态方程

$$Q_0^* = Q_1$$
$$Q_1^* = Q_2$$
$$Q_2^* = Q_3$$
$$Q_3^* = Q_3^{`}Q_2^{`}Q_1^{`} + (Q_1 \oplus Q_0)$$

状态转换图



循环长度15（十五进制），能够自启动

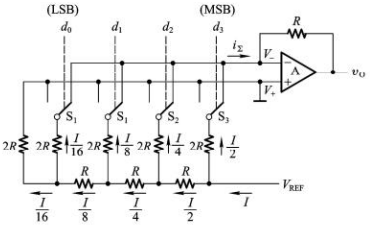
10、(6 分) 倒 T 型电阻网络 DAC 如下图所示，试回答：

(1) 为保证 V_{REF} 偏离标准值引起的误差小于 $\frac{1}{2}LSB$，计算 V_{REF} 的相对稳定度 $\frac{\Delta V_{REF}}{V_{REF}}$；

(2) 说明 v_O 端出现以下两种误差的原因：

① 误差值与输入二进制数无关，在一定温度下为一常数；

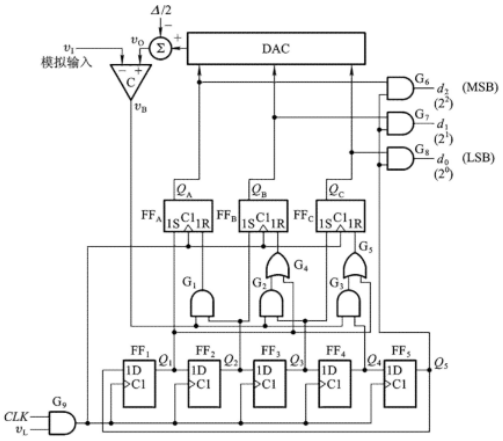
② 随着输入二进制数的变化，误差无规律变化。



(1) $\frac{2^4-1}{2^4}\Delta V_{REF} < \frac{1}{2}\frac{V_{REF}}{2^4} \quad \Rightarrow \quad \left|\frac{\Delta V_{REF}}{V_{REF}}\right| = 3.3\%$

(2) 【1】零点漂移　【2】模拟开关的导通内阻不为0，电阻网络阻值有偏差

11、(6 分) 试分析下图所示的逐次逼近 ADC 在开始工作后第 2 个时钟上升沿到达后的 $Q_AQ_BQ_C$ 的值，并给出完成一次模数转换需要多少时钟周期。设 V_I=3.7V，DAC 的参考电压 V_{REF}=-8V，Δ 是 1 LSB 对应的电压值，初始时 $Q_1Q_2Q_3Q_4Q_5$=10000。



1LSB的电压值：$\Delta=\frac{V_{REF}}{2^3}=1V$　　$\frac{\Delta}{2}=0.5V$

第一个时钟周期上升沿抵达后，$Q_1Q_2Q_3Q_4Q_5=10000$，对应$Q_AQ_BQ_C=100$，因此$V_o=4V-0.5V=3.5V$，比较$V_I=3.7V$，V_B输出零，

第二个时钟周期上升沿抵达后，$Q_1Q_2Q_3Q_4Q_5=01000$，$V_B=0$，$Q_AQ_BQ_C=110$

转换一次需要的时间为$(n+2)T_{clk}=5*T_{clk}$

5个时钟周期

12、(10 分) 已知 555 定时器的电路结构如图 12-1 所示，555 定时器组成的脉冲电路如图 12-2 所示，图中 $R_1=51k\Omega$，$R_2=47k\Omega$，$C=0.01\mu F$。

(1) 第一片 555 接成了什么电路，求出该电路的关键参数；

(2) 第二片 555 接成了什么电路，求出该电路的关键参数；

(3) 已知输入 v_I 的波形如图 12-3 所示，画出图中输出电压 v_{O1} 和 v_{O2} 的波形。

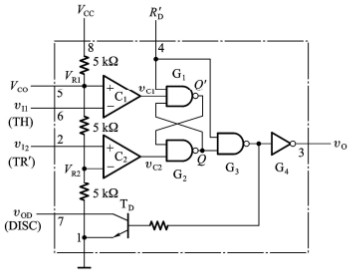


图 12-1

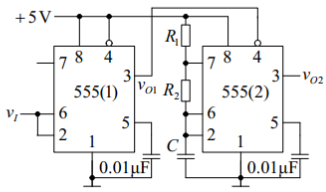


图 12-2

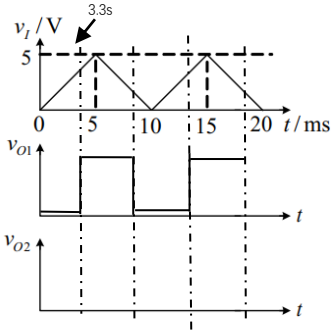


图 12-3

(1) 7未接，故为施密特触发电路$V_{T-}=\frac{1}{3}V_{CC}=\frac{5}{3}V$　　$V_{T+}=\frac{2}{3}V_{CC}=\frac{10}{3}V$

(2) 7上6下，2、6都接，多谐振荡电路

由施密特触发电路组成的多谐振荡电路：

$$V_{T-}=\frac{1}{3}V_{CC}=\frac{5}{3}V \qquad V_{T+}=\frac{2}{3}V_{CC}=\frac{10}{3}V$$

充电时间：$T_1=RC\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}=\left(R_1+R_2\right)C\ln 2=0.68ms$

放电时间：$T_2=RC\ln\frac{0-V_{T+}}{0-V_{T-}}=R_2C\ln 2=0.32ms$

(3) 0->$\frac{10}{3}V$，$V_{O1}=0$；$\frac{10}{3}V$ ->$\frac{5}{3}V$，$V_{O1}=1$；$\frac{5}{3}V$->$\frac{10}{3}V$，$V_{O1}=0$

当$V_{O1}=0$时，多谐振荡异步置0；若无则振荡，周期为1s

因此0-3.3s内，3个完整周期+充电的半个周期

3.3s-8.3s内，置0；8.3s-13.3s为5个完整周期

13. （8 分）某体育学校男生体能测试规定，3000 米跑必须达标（10 分钟以内），同时以下三项至少两项达标：引体向上 20 个、立定跳远 2.5 米、100 米短跑 12 秒。针对该规则试对问题进行逻辑抽象并设计体测合格判定电路，给出：

（1）真值表；

（2）逻辑函数式（最简与或式）；

（3）以与非门画出该逻辑电路图。

解：3000米达标记为A，引体向上达标记为B，立定跳远达标记为C，100米跑达标记为D，体测合格即为Z

以上，均为X=1表示达标/合格，X=0表示不达标/不合格

（1）真值表

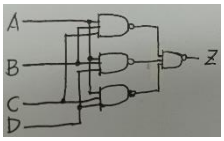
A	B	C	D	Z
0	X	X	X	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

（2）逻辑函数式：

$$Z = A\left(BCD` + B`CD + BC`D + BCD\right) = A\left(BCD` + BCD + B`CD + BCD + BC`D + BCD\right)$$
$$= A(BC + CD + BD) = ABC + ACD + ABD$$

（3）与非门表示的逻辑电路图

$$Z = ABC + ACD + ABD = \left((ABC)`(ACD)`(ABD)`\right)`$$



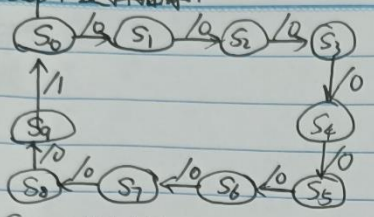
14、（16 分）试使用上升沿触发的 T 触发器设计一同步时序逻辑电路，要求：该电路可实现带进位输出的 10 进制计数器功能，状态编码采用 4 位格雷码（限定选取从 0000 起始的连续的 10 个代码），4 位码统一用 $Q_3Q_2Q_1Q_0$ 表示，其中 Q_3 为最高位。

（1）列出状态转换表；

（2）写出满足自启动要求的驱动方程、状态方程和输出方程；

（3）画出完整电路图。

14. Step 1 逻辑抽象：



Step 2 状态化简

Step 3 状态分配

$Q_3^*Q_2^*Q_1^*Q_0^*/CO$：

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0001/0	0011/0	0010/0	0110/0
01	1100/0	0100/0	0101/0	0111/0
11	1101/0	0000/1	xxxx/x	xxxx/x
10	xxxx/x	xxxx/x	xxxx/x	xxxx/x

Q_3^*：

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	0	x	x
10	x	x	x	x

Q_2^*：

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	0	x	x
10	x	x	x	x

Q_1^*：

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	1	1	1
01	0	0	0	1
11	0	0	x	x
10	x	x	x	x

Q_0^*

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	0	x	x
10	x	x	x	x

※为确保自启动，保证所有的x要指向循环.

CO：

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	1	x	x
10	x	x	x	x

状态转移方程：

$Q_3^* = Q_2Q_1'Q_0'$

$Q_2^* = Q_2Q_0' + Q_3'Q_2 + Q_1Q_0'$

$Q_1^* = Q_2'Q_0' + Q_1Q_0'$

$Q_0^* = Q_2Q_1 + Q_2'Q_1' + Q_3Q_0'$ ←(简单验证自启动)

$CO = Q_3Q_0$

Step 4 选用T触发器，$Q^* = T \oplus Q$

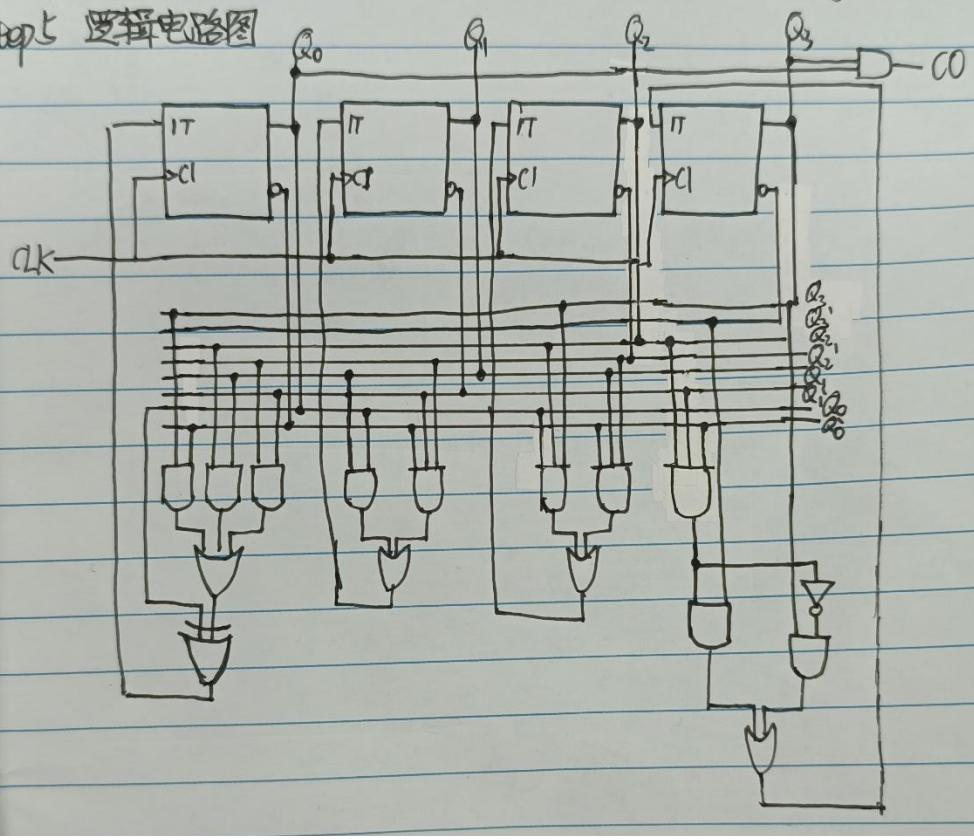
故 $T_3 = Q_3^* \oplus Q_3 = Q_3' Q_2 Q_1' Q_0' + Q_3 (Q_2 Q_1' Q_0')'$

$T_2 = Q_2^* \oplus Q_2 = Q_2 \oplus (Q_2 Q_0' + Q_3' Q_2 + Q_1 Q_0') = Q_2' Q_1 Q_0' + Q_3 Q_2 Q_0$

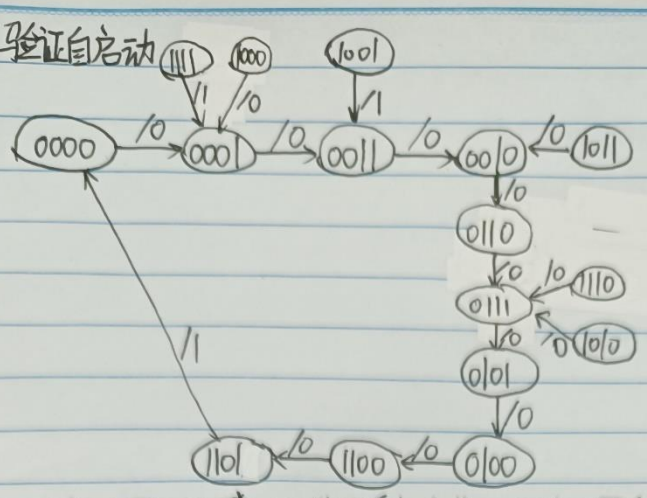
$T_1 = Q_1^* \oplus Q_1 = Q_1 \oplus (Q_2' Q_0' + Q_1 Q_0') = Q_2' Q_1' Q_0' + Q_1 Q_0$

$T_0 = Q_0^* \oplus Q_0 = Q_0 \oplus (Q_3 Q_0' + Q_2' Q_1' + Q_2 Q_1)$ $CO = Q_3 Q_0$

Step 5 逻辑电路图



Step 6 验证自启动



(在本题，自启动可以从 Q_3^* 的卡诺图看出必成立，因为对冗余状态，$Q_3^*=0$ 恒成立，也就是说，所有的冗余状态的下一状态必定为 0xxx，必在循环中！)

(1) 状态转换表

Q_3	Q_2	Q_1	Q_0	Q_3^*	Q_2^*	Q_1^*	Q_0^*	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	1	0
0	0	1	1	0	0	1	0	0
0	0	1	0	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	0	1	0	1	0
0	1	0	1	0	1	0	0	0
0	1	0	0	1	1	0	0	0
1	1	0	0	1	1	0	1	0
1	1	0	1	0	0	0	0	1

(2) 见 Step4：驱动方程
见 Step3：状态方程、输出方程

(3) 见 Step5.

注：状态转换表并未完整列出，还应包括冗余状态