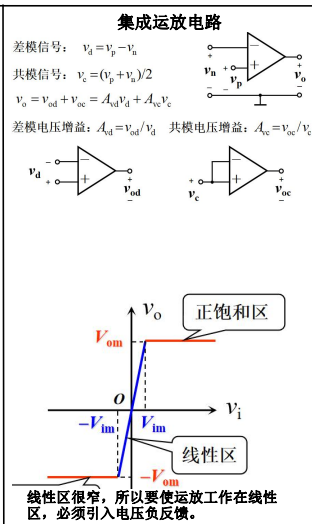
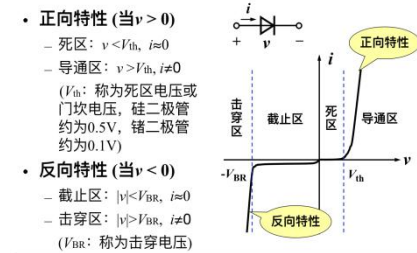
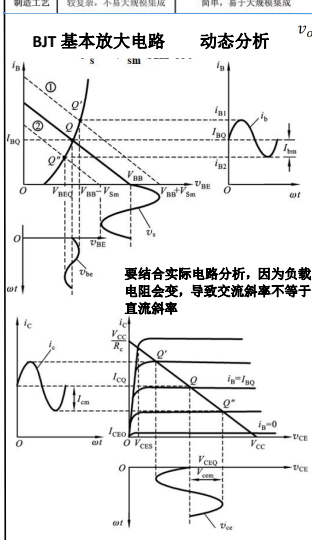


N 型掺入五价元素，自由电子是多数载流子，空穴是少数载流子，带负电，为 N 型
P 型掺入三价元素，自由电子是少数载流子，空穴是多数载流子，带正电，为 P 型
PN 结：加正向电压（P 正 N 负）导通
加反向电压（P 负 N 正）截止
以此构成二极管。

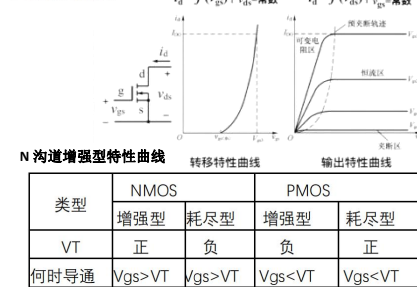


- 线性区很窄，所以要使运放工作在线性区，必须引入电压负反馈。
- 虚短(工作在线性区)
 - $v_o = A_{vo}(v_+ - v_-)$
 - 线性区开环差模电压增益 $A_{vo} \rightarrow \infty$
 - $\rightarrow v_+ \approx v_-$
 - 虚断(所有时刻)
 - 输入电阻 $r_i \rightarrow \infty$
 - $i_+ = v_+/r_i \rightarrow 0$, $i_- = v_-/r_i \rightarrow 0$
 - 放大倍数恒定
 - $v_L = \frac{R_L}{R_0 + R_L} v_o \xrightarrow{R_0 \rightarrow 0} v_o$

	BJT (双极型)	场效应管 (单极型)
导电特点	多子和少数载流子参与导电	只有一种多子导电
控制方式	电压/电流控制电流	电压控制电流
类型	PNP、NPN	N沟道、P沟道、增强型、耗尽型
C、E 一般不可倒置使用		D、S 一般可倒置使用
输入电阻	小	很大
噪声	较大	较小
热稳定性	差	好
抗辐射性	差	强
制造工艺	较复杂，不易大规模集成	简单，易于大规模集成

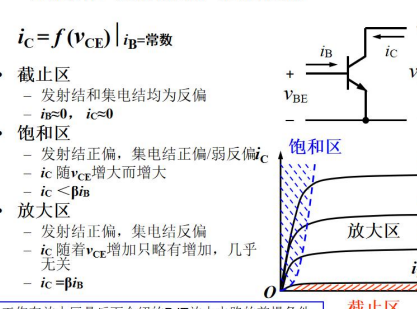


增强型 NMOS:
当 $V_{gs} > V_T$ (开启电压): ds 导通
 V_{gs} 继续增大，沟道变厚，电阻率减小。
 V_{gs} 不变，增加 V_{ds} ，一开始 I_d 增加。
当 $V_{ds} = V_T$ 时，沟道出现夹断，夹断处电场强度很高，电子依然可以被拉过去。但由于电压主要加在夹断区， V_{ds} 继续增加， I_d 不变。
耗尽型 NMOS: 在栅极下方的绝缘层中掺入大量的金属正离子，从而预置了导电沟道。 V_T 是负的。
P 沟道: 相反。



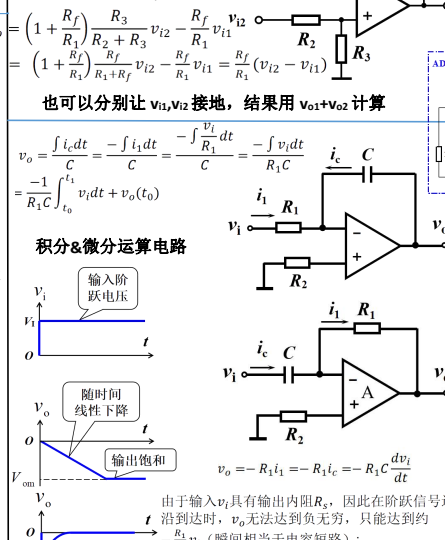
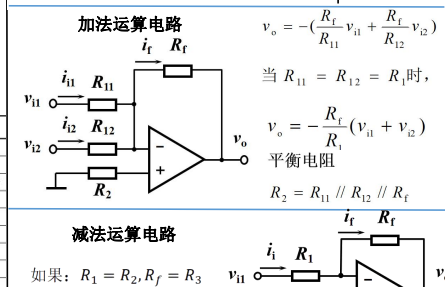
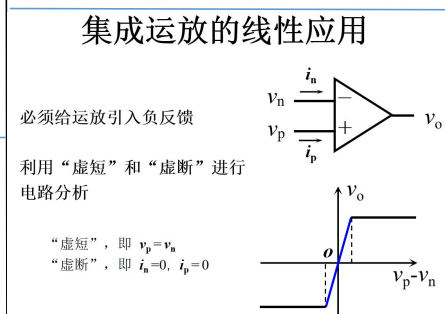
放大的本质
- 利用小的基极电流，控制大的发射极和集电极电流
 $I_C = \beta I_B$, ($\beta \gg 1$)
 $I_E = (1 + \beta) I_B$

放大的条件
- 内部条件: 内部独特的结构
- 外部条件: 发射结正偏，集电结反偏



工作在放大区是后面介绍的 BJT 放大电路的前提条件

如果反馈信号的瞬时极性使净输入减小，则为负反馈，反之则为正反馈。
电压反馈: 反馈信号的大小与输出电压成比例，反馈电路直接从输出端引出
电流反馈: 反馈信号的大小与输出电流成比例，反馈电路从负载电阻靠“地”端引出
将输出电压“短路”，若反馈信号为零，则为电压反馈；若反馈信号仍然存在，则为电流反馈
反馈信号与输入信号加在输入回路的同一个电极上，则为并联反馈，此时反馈信号与输入信号是电流相加减的关系。
反馈信号与输入信号加在输入回路的两个电极，则为串联反馈，此时反馈信号与输入信号是电压相加减的关系



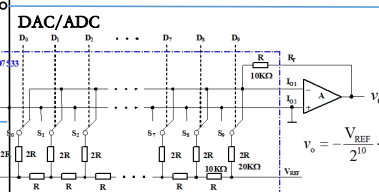
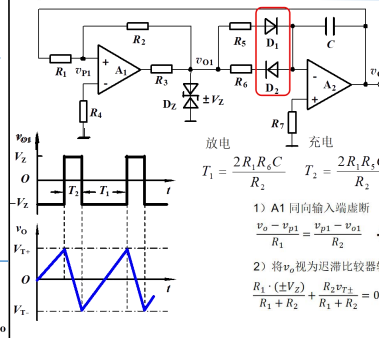
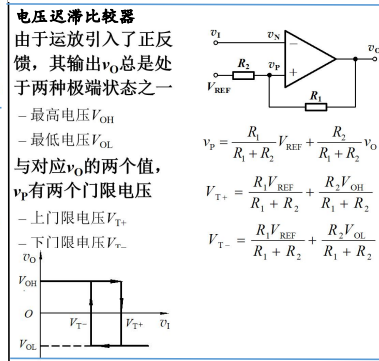
集成运放的非线性应用

运放以开环或正反馈方式工作，进入饱和区

- “虚断”仍然适用
即 $i_+ = 0$, $i_- = 0$
- “虚短”不再适用
即 $v_p \neq v_n$

非正弦信号产生电路

- 电压比较器
- 方波产生电路
- 锯齿波产生电路



V-T 变换间接型 A/D 转换器

- 将模拟输入电压转换为与之成正比的时间段
- 在该时间段内对固定频率脉冲计数，即得数字量结果

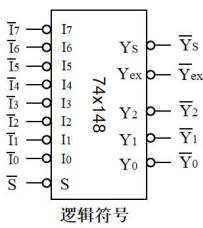
计数器清零，电容完全放电
在一段固定时间积分器对 v_i 积分
积分器对 V_{REF} 积分，同时计数器计数，直至积分到零时，停止计数

ADC 一般工作过程: 采样保持量化编码并行比较型 ADC: 同时把电压与各个等级电压比较，用编码器输出。(注: 虽然是 8 位同时比 7 次，但是如果太小就 0 了)
采取只舍不入量化方式: 量化单位 $\Delta = 2^{-n}$ 。
采取四舍五入量化方式: 量化单位 $\Delta = 2/(2^n - 1)$ 。
第一种最大量化误差 Δ ，第二种减半。
反馈比较型 ADC (较慢):
计数型: 逐次与计数器+DAC 生成的电压比较。
逐次比较型: 按位比较，如果大了，减去该位所对的电压。
双积分型 ADC (最慢):
积分电路不断对模拟输入端积分加压一定时间，然后再积分 $-V_{REF}$ ，同时计数器数数。积到零，停止数数，输出。

	共射极电路	共集电极电路	共基极电路
电路图			
电压增益 A_v	$A_v = -\frac{\beta R'_L}{r_{be} + (1 + \beta) R_e}$ ($R'_L = R_L \parallel R_L$)	$A_v = \frac{(1 + \beta) R'_L}{r_{be} + (1 + \beta) R'_L}$ ($R'_L = R_L \parallel R_L$)	$A_v = \frac{\beta R'_L}{r_{be}}$ ($R'_L = R_L \parallel R_L$)
v_o 与 v_i 的相位关系	反相	同相	同相
最大电流增益 A_i	$A_i = \beta$	$A_i = 1 + \beta$	$A_i = \alpha$ $r_{be} \approx 200 \Omega + (1 + \beta) \frac{26 \text{ (mV)}}{I_{EQ} \text{ (mA)}}$
输入电阻	$R_i = R_{B1} \parallel R_{B2} \parallel [r_{be} + (1 + \beta) R_e]$	$R_i = R_{B1} \parallel [r_{be} + (1 + \beta) R'_L]$	$R_i = R_{B1} \parallel \frac{r_{be}}{1 + \beta}$
输出电阻	$R_o = R_c$	$R_o = \frac{r_{be} + R'_L}{1 + \beta} \parallel R_e$ ($R'_L = R_L \parallel R_L$)	$R_o \approx R_c$
用途	多级放大电路的中间级	输入级、中间级、输出级	高频或宽频带电路

8线-3线优先编码器74x148

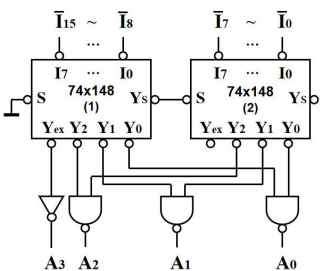
- 对8个输入信号按优先级编码，输出3位代码
- 通过多片级联，对多于8个输入信号进行编码
- $\overline{I_7} \sim \overline{I_0}$ ：待编码输入信号，低电平有效，优先级递减，即 $\overline{I_7}$ 优先级最高， $\overline{I_0}$ 最低
- $\overline{Y_2} \sim \overline{Y_0}$ ：二进制有效输出， $\overline{Y_2}$ 为最高位
- $\overline{Y_{ex}}$ ：扩展输出
- $\overline{S_1}$ ：使能输入
- $\overline{S_2}$ ：使能输出



S	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	Y ₂	Y ₁	Y ₀	Y _{ex}	Y _s
1	x	x	x	x	x	x	x	x	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	1	1
0	x	x	x	x	x	0	1	1	0	1	0	0	1
0	x	x	x	x	0	1	1	1	0	1	1	0	1
0	x	x	x	0	1	1	1	1	1	0	0	0	1
0	x	x	0	1	1	1	1	1	1	0	1	0	1
0	x	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

74x148扩展应用

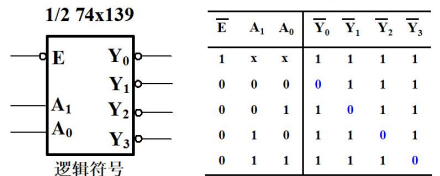
- 16线-4线优先编码器
- 16个输入信号 $\overline{I_{15}} \sim \overline{I_0}$ ，低电平有效， $\overline{I_{15}}$ 优先级最高
- 输出4位二进制正码 $A_3 \sim A_0$ ， A_3 为最高位



双2线-4线译码器74x139

简称2-4译码器

- \overline{E} ：使能输入，低电平有效
- $\overline{Y_0} \sim \overline{Y_3}$ ：译码输出，低电平有效

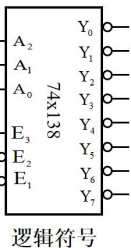


真值表

\overline{E}	A ₁	A ₀	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

3线-8线译码器74x138

- 简称3-8译码器
- $A_2 \sim A_0$ ：待译码输入信号
 - A_2 为最高位， A_0 为最低位
- $\overline{Y_0} \sim \overline{Y_7}$ ：译码输出信号
 - 低电平有效
 - 最多只有一个有效
- E_3, E_2, E_1 ：使能输入信号
 - 同时有效时才译码
 - E_3 高电平有效
 - E_1, E_2 低电平有效



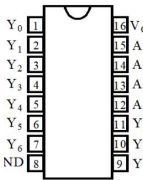
E_3	$\overline{E_2}$	$\overline{E_1}$	A ₂	A ₁	A ₀	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	x	x	x	x	x	1	1	1	1	1	1	1	1
0	1	1	x	x	x	1	1	1	1	1	1	1	1
0	1	1	1	x	x	1	1	1	1	1	1	1	1
0	1	1	1	1	0	0	0	0	1	1	1	1	1
0	1	1	1	1	0	1	0	1	1	1	1	1	1
0	1	1	1	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	1	0	1	1	1	1
0	1	1	1	1	1	1	1	0	1	0	1	1	1
0	1	1	1	1	1	1	1	1	0	1	0	1	1
0	1	1	1	1	1	1	1	1	1	0	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0	1	0
0	1	1	1	1	1	1	1	1	1	1	1	0	0

$$\overline{Y_i} = E_3 \overline{E_2} \overline{E_1} m_i \quad \text{当 } E_3 \overline{E_2} \overline{E_1} = 100 \text{ 时, } \overline{Y_i} = \overline{m_i}$$

二进制译码器能产生输入信号的全部最小项，而所有组合逻辑函数均可写成最小项之和的形式。将 n 位二进制译码输出的最小项组合起来，可获得任何输入变量不大于 n 的组合函数。

二十进制译码器 74x42

将8421BCD码译成10个状态输出



$$\overline{Y_i} = E_3 \overline{E_2} \overline{E_1} m_i$$

$$\overline{Y_i} = \overline{D_m}$$

当 $ABC = 000$ 时

$$\overline{Y_i} = \begin{cases} D, & i = 0 \\ 1, & i = 1 \sim 7 \end{cases}$$

按照通道地址 $A_2 A_1 A_0$ 的取值，将输入数据 D 从相应的输出通道 Y_i 输出，其他输出通道保持高电平

双4选1数据选择器74x153

- 公用通道选择控制
- 独立选通(使能)控制

功能表	\overline{E}	S ₁	S ₀	Y
1	x	x	x	0
0	0	0	0	D ₀
0	0	0	1	D ₁
0	0	1	0	D ₂
0	0	1	1	D ₃

数据选择器实现组合逻辑函数

用1片74x153和非门实现

$$Y_1 = \overline{A}B + A\overline{B}$$

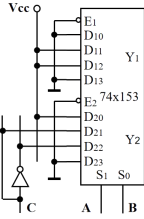
$$= 1 \cdot (m_1 + m_2) + 0 \cdot (m_3 + m_3)$$

$$Y_2 = \overline{A}C + B\overline{C}$$

$$= 1 \cdot m_0 + C \cdot m_1 + \overline{C} \cdot m_2 + 0 \cdot m_3$$

Y ₂	AB	00	01	11	10
1	0	1	0	0	1
1	1	0	1	0	0

1'm₀, C'm₁, C'm₂, 1C'm₃

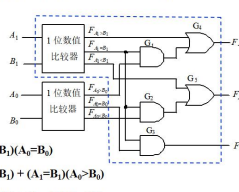


8选1数据选择器74x151

- 带使能和互补输出的8通道数据选择器
- D₀~D₇：8路数据输入
- Y, \overline{Y} ：互补输出
- S₂~S₀：通道选择输入，S₂为最高位
- E₁：使能输入，低电平有效
 - $\overline{E_1}=0$ 时， $Y=D_i$, $\overline{Y}=\overline{D_i}$
 - $\overline{E_1}=1$ 时， $Y=0$, $\overline{Y}=1$

在不增加逻辑情况下，任意2变量逻辑函数，在可增加非门情况下，任意3变量逻辑函数

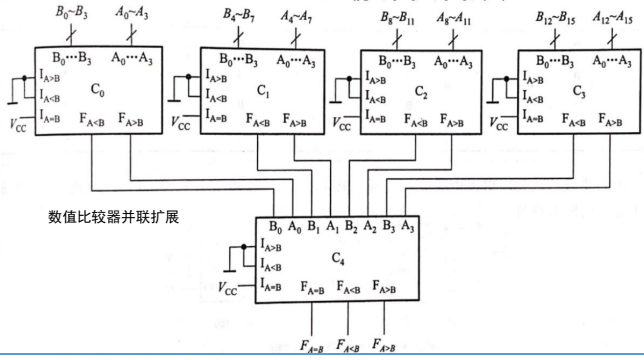
两位数值比较器(续)



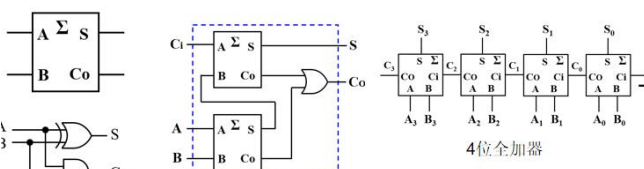
$$F_{A=B} = (A_1=B_1)(A_0=B_0)$$

$$F_{A>B} = (A_1>B_1) + (A_1=B_1)(A_0>B_0)$$

$$F_{A<B} = (A_1<B_1) + (A_1=B_1)(A_0<B_0)$$



使用1位全加器实现4位全加器



1位半加器

使用2个门

S门延迟1

Co门延迟1

1位全加器

使用2*2+1=5个门

S门延迟2 (Ci->S₁; A/B->S₂)

Co门延迟3 (Ci->Co₂; A/B->Co₃)

使用5*4=20个门

S₀门延迟2, Co₁门延迟3

S₁门延迟3+1=4, C₁门延迟3+2=5

S₂门延迟5+1=6, C₂门延迟5+2=7

S₃门延迟7+1=8, C₃门延迟7+2=9

74x283应用(2)

- 74x283(0)
 - 按补码执行 $D' = X - Y$ 运算
 - $X \geq Y$ ：无借位， $V = 0$
 - $X < Y$ ：有借位， $V = 1$
- 74x283(1)
 - $V = 0$ ： $D = 0 + D' = D$
 - $V = 1$ ： $D = 0 - D' = -D$

即 $D = |X - Y|$

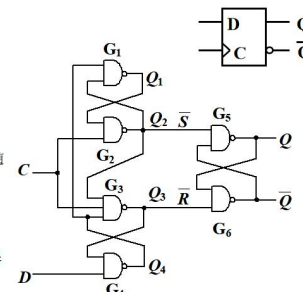
综合：

当 $C=0$ 时：

触发器保持原先状态，为更新做好准备

当 C 从0变1时：

Q变为D值，且随后封锁输入端的更新，保持这个D值不变



上升沿有效D触发器

半导体存储器

只读存储器 ROM

正常工作状态只是读出信息，断电后信息不会丢失，常用于存放固定信息(如程序、常数等)

X个字 × Y位 X个字对应log₂X条地址线(最高地址X-1)

Y位对应Y条数据线 总共XY个存储单元

注意：有的位可能是不必要的。

EG. 8位二进制数转化为BCD码只需要10位(高2位全是0)

DRAM(动态RAM)：内容不停刷新(与SRAM相比)

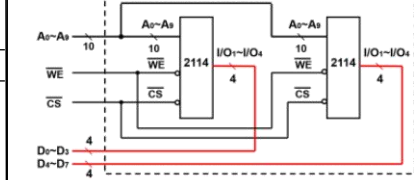
地址分两次输入

\overline{RAS} ：行地址选通 \overline{CAS} ：列地址选通

因此X个字对应(log₂X)/2条地址线。

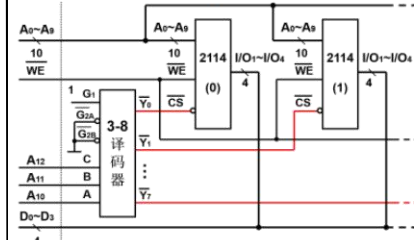
位扩展

除数据引脚外，芯片的其他引脚(地址和控制)并联



字扩展

除片选引脚外，芯片的其他引脚(地址、数据、写允许)并联；高位地址经译码选择芯片。



注：图中是用8个2114扩展的。后面六个没画。

四位同步二进制计数器 74x161

计数范围：0000~1111[74x160 只到1001]



Q₃~Q₀：计数输出，Q₀为最低位

TC：进位输出【TC在Q=1111时=1】

CEP, CET：计数使能(一般接1/低级计数器的TC)

CR：异步清零(与时钟信号无关，只要有效立刻清零)

PE：同步置数 D₃~D₀：置数输入，D₀为最低位

举例：构成X进制计数器(模X)

异步清零法：

当 $Q = X$ 时： $\overline{CR} = 0$

当 $Q = X-1$ 时： $C = 1$

原理：一旦计数到X，Q(X)立刻被按下去，清零。

同步置数法：

当 $Q = X-1$ 时： $\overline{PE} = 0$, $D = 0000$, $C = 1$

原理：在下一个CP上升沿时，进行同步置数，Q=0。

异步清零法的改进：将复位脉冲的宽度延长至时钟脉冲的宽度

当Q₂Q₁Q₀ ≠ 110时

R_D = 1

当Q₂Q₁Q₀ = 110时(CP=1)

R_D = 0

Q₂Q₁Q₀ = 000

直到CP=0时

R_D = 1

